



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

Thèse

présentée par

LAMBERT Jean-Philippe

pour l'obtention du titre de

**Docteur de l'Université de Metz
en Micro-électronique**

Optimisation et numérisation de l'étage radiofréquence d'un modem numérique pour des applications haut débit sur câble TV.

Date de soutenance: le 06/07/1999.

Composition du jury:

Rapporteur:

M. BRAUN Francis:

Professeur, ULP Strasbourg

M. THIELTGEN Alain:

Professeur, ESINSA Sophia Antipolis

Directeur:

LEPLEY Bernard:

Professeur, Université de Metz

Examineurs:

DANDACHE Abbas:

Maître de Conférence, Université de Metz

JEAN Philippe:

Ingénieur, 2MG-Communication

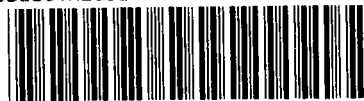
LICM / CLOES

Laboratoire Interfaces Composants et Microélectronique

Centre Lorrain d'Optique et d'Electronique des Solides

Université de Metz et SUPRI.EC

BIBLIOTHEQUE UNIVERSITAIRE DE METZ



022 304492 6

BIBLIOTHEQUE UNIVERSITAIRE - METZ	
N° inv.	19990535
Cote	S/M3 99/21
Loc	Magasin

6151943

S1M3 99121

Thèse

présentée par

LAMBERT Jean-Philippe

pour l'obtention du titre de

**Docteur de l'Université de Metz
en Micro-électronique**

Optimisation et numérisation de l'étage radiofréquence d'un modem numérique pour des applications haut débit sur câble TV.

Date de soutenance: le 06/07/1999.

Composition du jury:

Rapporteur:

M. BRAUN Francis:
M. THIELTGEN Alain:

Professeur, ULP Strasbourg
Professeur, ESINSA Sophia Antipolis

Directeur:

LEPLEY Bernard:

Professeur, Université de Metz

Examineurs:

DANDACHE Abbas:
JEAN Philippe:

Maître de Conférence, Université de Metz
Ingénieur, 2MG-Communication

LICM / CLOES

Laboratoire Interfaces Composants et Microélectronique
Centre Lorrain d'Optique et d'Electronique des Solides
Université de Metz et SUPELEC

*A ma femme.
A mes parents.
A tous mes amis.*

REMERCIEMENTS

REMERCIEMENTS

Je tiens tout d'abord à remercier M. Bernard LEPLEY, directeur du LICM, qui m'a accepté au sein de son laboratoire, et pour l'aide et pour les conseils qu'il m'a fournis tout au long de ces années de travail.

Je tiens également à remercier M. Abbas DANDACHE, et M. Fabrice MONTEIRO, qui m'ont encadré et conseillé pour que ce travail puisse arriver à son terme.

Je remercie tout particulièrement les membres du jury, M. THIELTGEN Alain, et M. BRAUN Francis d'avoir accepté d'être les rapporteurs de mon travail.

Je remercie aussi M. JEAN Philippe d'avoir fait partie de mon jury de soutenance, et permis que démarre ce travail avec notre participation au projet Européen EURICO.

Ma gratitude va aussi aux membres du laboratoire, et notamment aux thésards Mlle Angélique ZANDONELLA, M. Thierry VALLINO, M. Serge PHILIP et M. Hervé BERVILLER, à la secrétaire de la filière Télécom Mme Gaëlle ILLOUL, ainsi qu'au technicien M. Jean-François STOCKEMER, pour l'ambiance conviviale qui a régné grâce à eux au sein de notre petite équipe.

Je remercie également ma femme, ma famille, ainsi que tous mes amis, pour le soutien moral qu'ils m'ont apporté.

RESUME

RESUME

L'essor des télécommunications et des applications s'y rattachant est un des faits marquant de cette fin de siècle, et notamment dans les domaines des réseaux et des modems numériques à haut débit. Nous nous sommes particulièrement intéressés aux étages radiofréquences de ces modems, et surtout à ceux préconisés par la recommandation DAVIC (Digital Audio-Visual Council). Cette recommandation détermine le protocole de transmission, ainsi que les différentes couches physiques nécessaires à une application multimédia sur réseau coaxial. Le but de notre travail a été de trouver une solution architecturale permettant de réaliser un étage radiofréquence totalement numérisé et compatible DAVIC. L'étude des étages radiofréquences analogiques (structure, réalisation, etc.) et leur simulation ont permis de déterminer les principales caractéristiques de chacun des blocs fonctionnels les constituants (filtres, mélangeurs, etc.). A partir de ces caractéristiques, l'étude des différentes techniques numériques permettant de réaliser ces mêmes fonctions essentielles à un étage radiofréquence nous a permis de choisir une architecture totalement numérisée. Celle-ci a été décrite en langage VHDL synthétisable, et simulée sous le logiciel Altera MaxPlusII. Les résultats ont permis de démontrer la faisabilité de notre système, avec cependant la nécessité d'opter pour une architecture pipe-line parallélisée afin de pouvoir l'implanter au maximum en technologie CMOS. Toutefois l'emploi d'une technologie plus rapide (ECL, AsGa, ou autre) s'avère nécessaire vue les fréquences d'échantillonnages demandées par l'application (1,072 GHz pour un signal de 87 MHz émis sur au moins 12 points par période). Une simulation complémentaire sur le logiciel Ptolemy a permis de démontrer que notre système permet une meilleure qualité de transmission que les étages radiofréquences analogiques usuels.

Mots clés: Modulation numérique, Démodulation numérique, Mélangeur de fréquence, VHDL, Etages radiofréquences analogiques et numériques, Architecture pipe-line parallélisée, DAVIC, Simulation fonctionnelle.

ABSTRACT

Recent progress in telecommunication applications is the most important fact of this end of century, particularly in networks and high bit rate digital modem domains. We focus on radiofrequency stages used for these modems, and especially on those specified by the DAVIC (Digital Audio-Visual Council) recommendation. This one fixes the transmission protocol and the different layers needed to performed an interactive multimedia application on coaxial cable network. Our goal was to find an architectural solution to realize a DAVIC compliant fully digital radiofrequency stage. The study of analog radiofrequency stages (structure, realization, etc.) and their simulation allowed to define its fonctionnal characteristics (mixer, filter, etc.). We use these ones to finally choose an architectural solution using digital architecture techniques. This architecture was described in VHDL, and simulated with MaxPlusII software from Altera. The results demonstrated the feasibility of our parallelized pipe-line architecture, using a CMOS technology of implementation in its major part. However, a faster technology (ECL or AsGa) is needed to performed the necessary frequencies of the application (1.072 GHz to describe a signal at 87 MHz with 12 points by period). A complementary simulation on Ptolemy demonstrated a better transmission quality with our system than the usual analog radiofrequency stages.

Key-words: Digital modulation, Digital demodulation, Mixer, VHDL, Analog and digital radiofrequency stages, Parallelised pipe-line architecture, DAVIC, Functional simulation.

BIBLIOGRAPHIE

- [1]: Davic. «The specification Davic 1.0, rev 4».
Digital Audio Visual Council, Berlin, 11-15 December 1995.
- [2]: STEIN
« Les modems pour transmission de données ».
Collection Technique et Scientifique des Télécommunications-Cnet/ENST. 2nde édition.
Masson 1991.
- [3]: DEGRUGILLIER
« Conception de sources stables utilisant la multiplication de fréquence par diode à avalanche en gamme millimétrique. »
Thèse de Doctorat. Université de Lille I. 1986.
- [4]: BOUREGBA
« Etudes théorique et expérimentale des diodes à effet tunnel résonnant. Utilisation en oscillation et en multiplication. »
Thèse de Doctorat. Université de Lille I. 1991.
- [5]: YA NAD'
« Frequency conversion on a Josephson junction. »
Radio Engineering & Electronics Physics. Vol 17; N° 11; pp 1892-1896; 1997.
- [6]: VATERKOWSKI
« Mélangeur d'émission à diode à avalanche. Etude théorique et expérimentale. Application aux télécommunications numériques sur onde porteuse millimétrique. »
Thèse de Doctorat. Université de Lille I. 1979.
- [7]: DEVILLE
« Etude générale du up-converter sommateur de fréquence à varactor. Etude expérimentale en bande X d'un up-converter en circuit micro-strip. »
Thèse de Doctorat. Université de Paris VI. 1976.
- [8]: COEURE
« Supraconductivité - Effet Josephson. »
Technique de l'ingénieur. Vol E41; N° E1725; 1984.
- [9]: BEDU
« Non-linéarité de conduction dans les hétérostructure résonnantes. Application en détection et en mélange. »
Thèse de Doctorat. Université de Lille I. 1992.
- [10]: ABDELLAOUI
« Utilisation de la matrice de conversion pour l'étude de dispositifs non-linéaires à transposition de fréquence. Application aux mélangeurs. »
Thèse de Doctorat. Ecole Centrale Paris. 1991.

BIBLIOGRAPHIE

- [11]: De LUSTRAC
« Conception de circuit Josephson ultra-rapide. Modélisation de la jonction tunnel ayant une constante de temps de l'ordre de la picoseconde. Conception d'une famille logique à couplage direct adapté aux jonctions Josephson picoseconde. Application à un circuit additionneur, et à un circuit multiplieur. »
Thèse de Doctorat. Université de Paris VI. 1986.
- [12]: FEAUTRIER
« Jonction SIS en Nb/Al₂O₃/Nb pour des récepteurs en radio-astronomie millimétrique et sub-millimétrique. »
Thèse de Doctorat. Université de Grenoble I. 1992.
- [13]: LEHNERT
« Conception de capteurs supra-conducteurs destinés à des mesures radio-astronomiques: Elaboration et caractérisation des jonctions tunnel en niobium aluminium. »
Thèse de Doctorat. INSA Lyon. 1994.
- [14]: EL MOUDDEN
« Modélisation de l'amplificateur classe C et généralisation à la multiplication de deux signaux et au changement de fréquence en technologies unipolaire et bipolaire. »
Thèse de Doctorat. ENSEEIHT Toulouse / INPT. 1993.
- [15]: MOORE
« A dual gate MESFET mixer using a simplified experimental design approach. »
Microwave Journal. Vol 30; N°11; 1987.
- [16]: PERCIVAL
« A subharmonic pumped cascode converter. »
IRECON International Sydney 1983: 19th International Electronics Convention And Exhibition;
Digest of paper.
5-9 Sept 1983. Sydney; Australia (Sydney Australia; Inst. Radio & Electronique Eng. Australia 1983).
- [17]: RADHY
« Etude des non-linéarités et du bruit dans les transistors bigrilles submicroniques à effet de champ. Applications en microondes: Amplification à gain contrôlé; Multiplication de fréquences. »
Thèse de Doctorat. Université de Lille I. 1985.
- [18]: TEMISHE
« Frequency multiplication using dual gate GaAs FET. »
Thesis; University of Warwick; UK 1981.
- [19]: RENSCHLER
« Analysis and basic operation of the MC1595. »
Multiplier series-part1/Application note AN489.
Motorola Semiconductor Products Inc. 1980.
- [20]: MASQUELIER
« Multiplier CMOS à haute précision, et son application dans l'analyse spectrale. »
Thèse de Doctorat. Université de Lille I. 1991.

- [21]: LAMBERT; DANDACHE; MONTEIRO; LEPLEY.
« Design of Radiofrequency Stages for a High Rate Digital Modem »
ICECS'98; IEEE International Conference on Electronic Circuit and System. Vol 2; pp 319-322; 7-10
Septembre 1998; Lisbon, Portugal; (IEEE1998).
- [22]: GYSELINCKX; RYNDERS; ENGELS, BOLSENS
« A 4*2.5 Mchip/s Direct Sequence Spread Spectrum Receiver with Digital IF and Integrated ARM6
Core. »
IEEE Custom Integrated Circuits Conference, May 1997.
- [23]: SCHAUMONT; VERNALDE; ENGELS; BOLSENS
« Digital Upconversion Architecture for Quadrature Modulators. »
EDTC'97; European Design & Test Conference; pp 542-546; March 1997; Paris, France.
- [24]: ZIMMERMANN
« Binary Adder Architectures for Cell-Based VLSI and their Synthesis. »
PhD Thesis; Swiss Federal Institute of Technology; Zürich 1998.
- [25]: WESTE; ESHRAGHIAN
« Principles of CMOS VLSI Design: a systems perspective »
2nd Edition, Addison-Wesley, 1993.
- [26]: HAMACHER; VRANESIC; ZAKY
« Computer Organization »
McGraw-Hill, 1990.
- [27]: BELLANGER
« Traitement numérique du signal: Théorie et pratique. »
Collection scientifique et technique des télécommunications.
5^{ème} édition. MASSON 1996.
- [28]: VAN DER ENDEN; VERHOECKX
« Traitement numérique du signal: Une introduction. »
MASSON 1992.
- [29]: YANG
« A Stream-Based In-Line Allocatable Multiplier for Configurable Computing »
Master Thesis; Virginia Polytechnic Institute and State University; 1997.
- [30]: WALLACE
« A suggestion for Fast Multiplier »
IEEE Transactions on Electronic Computers. February 1964.
- [31]: GOTO; SATO; NAKAJIMA; SUKEMURA
« A 54 X 54 Regularly Structured Tree Multiplier »
IEEE Journal of Solid-State Circuits. Vol 27; N°9, 1992.

- [32]: BOOTH
« A Signed Binary Multiplications Technique »
Quarterly Journal of Mechanical and Applied Math. Vol 4; 1951.
- [33]: BARRET
« Low-Power Decimation Filter for Multi-Standard Transceiver Applications. »
Master Thesis; University of California, Berkeley, USA. 1997.
- [34]: GHOSH; NANDY
« Design and realization of high performance wave-pipelined 8*8 bit multiplier in CMOS technology. »
IEEE Transactions on VLSI Systems. Vol 3; N°1; 1995.
- [35]: KLASS; FLYNN; VAN de GOR
« A 16 X 16-bit Static CMOS Wave-Pipelined Multiplier »
1994 IEEE International Symposium on Circuits and Systems. 30 May - 2 June 1994; London, UK
(New York, USA, IEEE 1994).
- [36]: CALVEZ
« Spécification et conception des ASICs »
MASSON 1993.
- [37]: LAMBERT; DANDACHE; MONTEIRO; LEPLEY
« Feasibility of a Fully Digital Radio-Frequency Stage for a DAVIC Compliant Modem
Application. ».
Acceptée pour publication les 6/8 Septembre 1999 à ECS'99 Bratislava, Slovaquie.
- [38]: LAMBERT; DANDACHE; MONTEIRO; LEPLEY
« Performance Evaluation of Analogue and Digital Radio-Fréquency Stages for a DAVIC
compliant Application. ».
Acceptée pour publication dans Microelectronics Journal, Elsevier Science Revue, Nederland.
(Numéro d'identification MEJ674)

SOMMAIRE

REMERCIEMENTS	2
RESUME	4
BIBLIOGRAPHIE	6
SOMMAIRE	11
LISTE DES FIGURES	17
INTRODUCTION GENERALE	24
1. LES ETAGES RADIOFREQUENCES DANS LES MODEMS NUMERIQUES	29
1.1. INTRODUCTION	30
1.2. CHAINE DE TRANSMISSION DE DONNEES NUMERIQUES	30
1.3. LES ETAGES RADIOFREQUENCES ANALOGIQUES	31
1.3.1. Introduction	31
1.3.2. Modulation et démodulation numérique	31
1.3.3. Le mélange de fréquence	34
1.3.3.1. Introduction	34
1.3.3.2. Les mélangeurs à diodes	35
1.3.3.2.1. Introduction	35
1.3.3.2.2. Diodes varactor et diodes à avalanche	35
1.3.3.2.3. Diodes à jonction SIS, effet Josephson	37
1.3.3.3. Les mélangeurs à transistors	41
1.3.3.3.1. Introduction	41
1.3.3.3.2. Transistors bipolaires	41
1.3.3.3.3. Transistors à effet de champ	42
1.3.3.3.4. Montages cascades à transistors bipolaires	43
1.3.3.3.5. Transistors à effet de champ bi-grilles	44
1.3.3.4. Les mélangeurs à cellule de Gilbert	46
1.3.3.4.1. Introduction	46
1.3.3.4.2. Cellule de Gilbert à transistors bipolaires	47

SOMMAIRE

1.3.3.4.3. Cellule de Gilbert à transistors à effet de champ.....	48
1.3.3.5. Conclusion.....	50
1.3.4. Les différents filtres.....	51
1.3.5. Conclusion.....	51
1.4. LA RECOMMANDATION DAVIC.....	52
1.4.1. Introduction.....	52
1.4.2. Spécifications générales.....	52
1.4.3. L'étage radiofréquence.....	54
1.4.4. Conclusion.....	56
1.5. CHOIX DES FILTRES.....	56
1.5.1. Introduction.....	56
1.5.2. Mélangeur, ordre de filtre, et fréquence intermédiaire.....	57
1.5.3. Qualité de transmission, et type de mélangeur.....	60
1.5.4. Conclusion.....	61
1.6. CONCLUSION.....	62
2. NUMERISATION DES ETAGES RADIOFREQUENCES.....	63
2.1. INTRODUCTION.....	64
2.2. MODULATION I&Q PAR DDS.....	65
2.2.1. Introduction.....	65
2.2.2. Principe de la DDS.....	65
2.2.3. Génération d'une sinusoïde par DDS.....	66
2.2.4. Application au cas de la modulation I&Q.....	67
2.2.5. Conclusion.....	67
2.3. ADDITIONNEURS NUMERIQUES.....	68
2.3.1. Introduction.....	68
2.3.2. Additionneur 1 bit.....	68
2.3.2.1. Demi additionneur.....	68
2.3.2.2. Additionneur complet.....	69
2.3.3. Additionneur à propagation de retenue.....	69
2.3.4. Additionneur à sauvegarde de retenue.....	70
2.3.5. Additionneur à retenue sélective.....	71
2.3.6. Additionneur à arbre de Wallace.....	71
2.3.7. Conclusion.....	72
2.4. MELANGE FREQUENTIEL PAR MULTIPLICATION NUMERIQUE.....	73
2.4.1. Introduction.....	73
2.4.2. Justification mathématique.....	74
2.4.3. Multiplieur naïf.....	75

2.4.4. Multiplieur en arbre de Wallace.....	77
2.4.5. Multiplieur par code de Booth.....	78
2.4.6. Conclusion.....	79
2.5. DEMODULATION I&Q.....	80
2.6. LES DIFFERENTS FILTRES NUMERIQUES.....	81
2.6.1. Introduction.....	81
2.6.2. Filtres numériques à réponse impulsionnelle finie.....	81
2.6.3. Filtres numériques à réponse impulsionnelle infinie.....	82
2.6.4. Filtres numériques à décimation.....	83
2.6.5. Conclusion.....	85
2.7. CONCLUSION.....	86
3. REALISATION DE L'ETAGE RF NUMERIQUE, ET DESCRIPTIF VHDL.....	87
3.1. INTRODUCTION.....	88
3.2. CONTRAINTES DE REALISATION.....	89
3.2.1. Introduction.....	89
3.2.2. Limitations de fréquence.....	89
3.2.3. Limitations technologiques.....	89
3.2.4. Synthèse des contraintes de réalisation.....	90
3.3. ARCHITECTURE GLOBALE RETENUE.....	90
3.3.1. Introduction.....	90
3.3.2. Modulateur et démodulateur numérique.....	91
3.3.2.1. Architecture.....	91
3.3.2.2. Génération de porteuse.....	92
3.3.2.3. Multiplexeur.....	93
3.3.2.4. Compteur par 16.....	94
3.3.2.5. Additionneur à propagation de retenue.....	94
3.3.2.6. Conclusion.....	96
3.3.3. Mélangeur de fréquence.....	97
3.3.3.1. Introduction.....	97
3.3.3.2. Propagation du flot de données.....	98
3.3.3.3. Cellule de multiplication élémentaire.....	98
3.3.3.4. Architecture pipe-line d'une cellule de multiplication.....	99
3.3.3.5. Architecture parallélisée et reconstitution du signal.....	100
3.3.3.6. Conclusion.....	101
3.3.4. Etages de filtrage.....	101
3.3.4.1. Introduction.....	101
3.3.4.2. Architecture.....	102

3.3.4.3. Etages de décimation.....	103
3.3.4.4. Additionneur de Wallace.....	104
3.3.4.5. Conclusion.....	105
3.3.5. Architecture de l'étage radiofréquence numérique.....	106
3.3.5.1. Calcul des différentes valeurs de fréquence.....	106
3.3.5.1.1. <i>Choix de la fréquence intermédiaire</i>	106
3.3.5.1.2. <i>Gamme de fréquence des oscillateurs</i>	107
3.3.5.1.3. <i>Valeurs des fréquences d'échantillonnage</i>	107
3.3.5.1.4. <i>Coefficients du filtre de fréquence intermédiaire</i>	107
3.3.5.1.5. <i>Coefficients des filtres de démodulation</i>	110
3.3.5.1.6. <i>Implantation des filtres</i>	111
3.3.5.2. Architecture générale	112
 3.4. CONCLUSION.....	 114
 4. SIMULATION FONCTIONNELLE.....	 115
4.1. INTRODUCTION.....	116
4.2. LE LOGICIEL PTOLEMY.....	116
4.3. PARAMETRES DE SIMULATION.....	117
4.4. SIMULATION DE L'ETAGE RADIOFREQUENCE.....	119
4.4.1. Introduction:.....	119
4.4.2. Blocs fonctionnels supplémentaires nécessaires à la simulation du système.....	119
4.4.2.1. Introduction.....	119
4.4.2.2. Générateur de données binaire.....	120
4.4.2.3. Codeur DQPSK.....	120
4.4.2.4. Décodeur DQPSK.....	122
4.4.2.5. Mise en forme des symboles I&Q.....	123
4.4.2.6. Filtre de bande.....	126
4.4.2.7. Support de transmission bruité.....	126
4.4.3. Blocs fonctionnels décrivant l'architecture de l'étage radiofréquence.....	127
4.4.3.1. Introduction.....	127
4.4.3.2. Modulateur I&Q.....	127
4.4.3.3. Démodulateur I&Q.....	130
4.4.3.4. Oscillateur local.....	133
4.4.3.5. Mélangeurs de fréquence.....	133
4.4.3.6. Filtre de fréquence intermédiaire.....	137
4.4.3.7. Conclusion.....	138
4.4.4. Simulation du système complet.....	138
4.4.4.1. Introduction.....	138
4.4.4.2. Transmission idéale.....	141
4.4.4.3. Transmission bruitée.....	141

SOMMAIRE

4.4.4.4. Résultats de simulation.....	143
4.5. CONCLUSION.....	144
CONCLUSION GENERALE.....	145
ANNEXE.....	148
Annexe I: Exemple de calcul d'un produit de multiplication par codage de Booth.....	150
Annexe II: Description des étages de filtrage du système.....	151

LISTE DES FIGURES

- Figure 1.1:** Schéma de principe d'une liaison numérique; cas d'une transmission point à point.
- Figure 1.2:** Modulation et démodulation I&Q.
- Figure 1.3:** Schéma d'une jonction SIS.
- Figure 1.4:** Caractéristique $I(V)$ d'une jonction tunnel SIS Josephson; (a): sans irradiation micro-onde; (b): avec irradiation micro-onde.
- Figure 1.5:** Schéma de base pour un mélangeur de fréquence à transistor bipolaire.
- Figure 1.6:** Schéma de base pour l'emploi d'un transistor à effet de champs en mélangeur.
- Figure 1.7:** Schéma de base pour un mélangeur de fréquence à cascode à transistors bipolaires.
- Figure 1.8** Schéma de base pour un mélangeur à DGFET.
- Figure 1.9:** Schéma équivalent d'un DGFET.
- Figure 1.10:** Schéma équivalent pour un fonctionnement du DGFET en mode 3.
- Figure 1.11:** Schéma électrique d'une cellule de Gilbert à transistors bipolaires.
- Figure 1.12:** Schéma électrique d'une cellule de Gilbert à transistors à effet de champs.
- Figure 1.13:** Gamme de fréquence d'utilisation pour les différents types de mélangeur.
- Figure 1.14:** Architecture d'un modem basé sur la recommandation DAVIC.
- Figure 1.15:** Allocation spectrale du support de transmission.
- Figure 1.16:** Architecture de l'étage radiofréquence d'un modem DAVIC.
- Figure 1.17:** Constellation du signal DQPSK.
- Figure 1.18:** Gabarit normalisé du filtre de fréquence intermédiaire.

LISTE DES FIGURES

- Figure 1.19:** Spectre d'un signal BF, d'un oscillateur local (OL), d'un mélangeur idéal, et d'un mélangeur réel.
- Figure 1.20:** Allure des spectres transmis pour chaque mélangeur; Cas d'une fréquence intermédiaire à 70 MHz.
- Figure 1.21:** Valeur de la fréquence intermédiaire en fonction de l'ordre de filtrage et du type de mélangeur employé: cas critique d'une émission à 10 MHz en voie montante.
- Figure 1.22:** Taux d'erreurs pour chaque mélangeur et ordre de filtrage employé: cas critique d'une émission à 10 MHz en voie montante.
- Figure 2.1:** Schéma de principe d'une génération de signal par DDS.
- Figure 2.2:** Schéma de principe d'une génération de signal par DDS à additionneur.
- Figure 2.3:** Schéma d'une génération de signal par DDS à multiplexeur.
- Figure 2.4:** Exemple d'une synthèse directe par DDS pour une modulation I&Q.
- Figure 2.5:** Symbole logique (a), et schéma électrique d'un demi additionneur (b).
- Figure 2.6:** Symbole logique (a), et schéma électrique d'un additionneur complet (b).
- Figure 2.7:** Symbole logique (a), et schéma fonctionnel d'un additionneur à propagation de retenue (b).
- Figure 2.8:** Symbole logique (a), et schéma fonctionnel d'un additionneur à sauvegarde de retenue (b).
- Figure 2.9:** Cellule de base d'un additionneur à retenue sélective avec additionneur complet 1 bit (a), et avec additionneur à propagation de retenue (b).
- Figure 2.10:** Structure d'un additionneur en arbre de Wallace pour 4 opérandes.
- Figure 2.11:** Caractéristiques générales des différentes architectures d'additionneurs. (n est le nombre de cellules d'addition complète utilisées)
- Figure 2.12:** Exemple de multiplication deux nombres à 4 digits.

LISTE DES FIGURES

- Figure 2.13:** Cellule de multiplication élémentaire.
- Figure 2.14:** Schéma bloc d'un multiplicateur naïf pour deux nombres binaires de 4 bits.
- Figure 2.15:** Architecture d'un multiplicateur à arbre de Wallace pour deux nombres binaires de 4 bits.
- Figure 2.16:** Exemple d'architecture de multiplicateur de Booth 16 X 16 bits.
- Figure 2.17:** Caractéristiques générales des différentes architectures de multiplieurs. (n est le nombre de cellules d'addition complète utilisées)
- Figure 2.18:** Architecture d'un démodulateur I&Q numérique.
- Figure 2.19:** Architectures des filtres RIF; (a): structure directe; (b): structure transposée.
- Figure 2.20:** Architectures des filtres RII; (a): structure N-D; (b): structure D-N.
- Figure 2.21:** Réduction de cadence - Allure des différents signaux pour le cas d'une décimation par 2.
- Figure 2.22:** Architectures des filtres à décimation. (a): architecture à filtre RIF; (b): architecture à filtre RII; (c): exemple d'architecture améliorée à filtre RIF.
- Figure 2.23:** Caractéristiques générales des différents filtres numériques.
- Figure 3.1:** Architecture globale du modulateur numérique(a), et du démodulateur numérique (b).
- Figure 3.2:** Architecture de l'oscillateur numérique.
- Figure 3.3:** Architecture pipe line réursive du multiplexeur à 16 entrées.
- Figure 3.4:** Schéma électrique du compteur par 16.
- Figure 3.5:** Symbole logique (a), et schéma électrique d'un additionneur complet (b) ayant une architecture pipe-line.
- Figure 3.6:** Architecture globale d'un additionneur à propagation de retenue à architecture pipe-line.
- Figure 3.7:** Propagation des données dans l'architecture du multiplieur.

LISTE DES FIGURES

- Figure 3.8:** Symbole logique (a), et schéma électrique (b) d'une cellule de multiplication élémentaire ayant une architecture pipe-line.
- Figure 3.9:** Architecture pipe-line du multiplieur numérique.
- Figure 3.10:** Architecture d'un mélangeur de fréquence à architecture pipe-line parallélisée.
- Figure 3.11:** Exemple d'architecture d'un filtre à décimation à un étage (a); et à deux étages (b).
- Figure 3.12:** Schéma électrique des diviseurs de fréquence (a):par 4; (b): par 8.
- Figure 3.13:** Architecture d'un étage de décimation.
- Figure 3.14:** Schéma de câblage pour un additionneur en arbre de Wallace sur 10 opérands.
- Figure 3.15:** Architecture du filtre de fréquence intermédiaire.
- Figure 3.16:** Gabarit du premier étage du filtre de fréquence intermédiaire pour un échantillonnage à (a): 1.072 GHz; (b): 480 MHz.
- Figure 3.17:** Gabarit simplifié du deuxième étage du filtre de fréquence intermédiaire échantillonné à 320 MHz.
- Figure 3.18:** Architecture et gabarit du filtre de démodulation.
- Figure 3.19:** Architecture pipe-line d'un filtre RIF; exemple pour 5 coefficients.
- Figure 3.20:** Nombre de valeurs discrètes par période pour les différents signaux de l'architecture.
- Figure 3.21:** Architecture générale de l'étage radiofréquence numérisé du modem serveur.
- Figure 3.22:** Architecture générale de l'étage radiofréquence numérisé du modem client.
- Figure 4.1:** Tableau de correspondance entre valeur de fréquence d'échantillonnage réelle du système et valeur de séquencement réduite employée sous Ptolemy.
- Figure 4.2:** Schéma du générateur de donnée binaire.

- Figure 4.3:** Schéma du codeur DQPSK.
- Figure 4.4:** Signaux obtenus lors de la simulation du codeur DQPSK.
- Figure 4.5:** Schéma du décodeur DQPSK.
- Figure 4.6:** Schéma de test du codage et du décodage DQPSK.
- Figure 4.7:** Signaux obtenus lors du test de codage et de décodage DQPSK.
- Figure 4.8:** Schéma du bloc de mise en forme des données I&Q.
- Figure 4.9:** Schéma de test du bloc de mise en forme des données I&Q.
- Figure 4.10:** Signaux obtenus lors du test du bloc de mise en forme des données I&Q.
- Figure 4.11:** Schéma du filtrage de bande.
- Figure 4.12:** Schéma du support de transmission.
- Figure 4.13:** Schéma du modulateur I&Q.
- Figure 4.14:** Schéma de test du modulateur I&Q.
- Figure 4.15:** Signaux obtenus durant le test du modulateur I&Q.
- Figure 4.16:** Schéma du démodulateur I&Q.
- Figure 4.17:** Schéma du test d'émission-réception entre modulateur et démodulateur I&Q.
- Figure 4.18:** Signaux obtenus lors du test d'émission-réception entre modulateur et démodulateur I&Q.
- Figure 4.20:** Schéma du multiplexeur-4.
- Figure 4.21:** Schéma du démultiplexeur-4.
- Figure 4.22:** Schéma de l'architecture de multiplication du mélangeur d'émission.

LISTE DES FIGURES

- Figure 4.23:** Schéma global du mélangeur d'émission.
- Figure 4.24:** Schéma global du mélangeur de réception.
- Figure 4.25:** Schéma de test du mélangeur d'émission.
- Figure 4.26:** Schéma de test du mélangeur de réception.
- Figure 4.27:** Signal obtenu pour le test du mélangeur (a): d'émission; (b): de réception.
- Figure 4.28:** Schéma du premier filtre de fréquence intermédiaire.
- Figure 4.29:** Schéma de test pour une transmission idéale.
- Figure 4.30:** Signaux obtenus lors du test pour une transmission idéale.
- Figure 4.31:** Schéma de test pour une transmission bruitée.
- Figure 4.32:** Evolution du taux d'erreurs pour une transmission bruitée: Cas d'une transmission à 10 MHz et 87 MHz.

INTRODUCTION GENERALE

L'essor des télécommunications et des applications multimédia est un des faits technologiques les plus marquant de cette fin de siècle. Les moyens matériels et logiciels de développement et de mise en place de ces systèmes ont vu leurs performances augmenter conjointement avec la baisse des coûts de réalisation. L'explosion des applications dites « grand-public » en est la plus grande preuve. Les services offerts dans le domaine des télécommunications ont également vu leurs prix chuter depuis leur apparition, comme par exemple dans le domaine de la téléphonie mobile GSM (Global Système Mobile) et DECT (Digital Encode Cordless Telephone), ou encore dans le domaine des exploitations des réseaux locaux (LAN ou Local Area Network) et globaux (MAN ou Macro Area Network), et surtout dans le domaine du multimédia avec l'essor d'Internet et de la micro-informatique. Chaque jour, de nouvelles applications de plus en plus complexes apparaissent. Elles offrent des performances toujours plus grandes, et notamment des débits de transmission qui s'accroissent sans cesse. La micro-électronique et l'intégration numérique font partie des éléments principaux de ces développements technologiques. La réponse actuelle à cette course aux performances est l'intégration toujours plus poussée des fonctions requises au sein des circuits intégrés par la réduction de la taille de gravure de ceux-ci. Ceci permettrait d'ici quelques années, d'atteindre des fréquences de fonctionnement de plus en plus proches du gigahertz, d'intégrer encore plus de fonctions au sein d'une puce, et d'assurer encore plus de performances dans les réalisations futures. Ces progrès technologiques ont parallèlement permis l'essor des techniques de numérisation des fonctions et de traitement du signal, notamment dans les applications en télécommunication de type multimédia. C'est essor s'est essentiellement traduit par l'apparition des modems numériques à haut débit, ayant des performances toujours plus grandes pour chaque nouvelle application.

Les modems, sans qui deux terminaux ne pourraient pas communiquer surtout à longue distance, sont les noyaux de toutes les applications télécom. Ils doivent ainsi assurer un certain nombre de performances pour respecter les normes correspondant à chaque application. Par exemple, la norme MCNS (Multimedia Cable Network System) pour les Etats-Unis, et notamment la recommandation DAVIC (Digital Audio-VIsual Council) pour l'Europe, ont été mises au point pour homogénéiser les différents types de réseaux existant (LAN, MAN, etc.) dans le domaine des hauts débits. Elles sont ainsi appuyées par un consortium international regroupant de grands groupes travaillant dans les domaines de

l'électronique, de l'informatique et des télécommunications. Plus particulièrement, la recommandation DAVIC permet la transmission de données (images, son et tous types de données à haut débit) sur plusieurs types de support de transmission (fibre optique, câble coaxial, faisceaux hertziens). La mise au point des modems pour ce type d'application nécessite la réalisation de nouveaux composants assurant de nouvelles fonctionnalités. Des outils de CAO (Conception Assistée par Ordinateur) très performants sont ainsi de plus en plus utilisés, car ils permettent de réduire le temps de conception ainsi que les coûts de réalisation par les possibilités de simulation qui sont offertes. Des langages de description fonctionnelle, tel que Verilog, ou VHDL (Very High Description Langage), permettent de décrire l'architecture des circuits intégrés à réaliser par un langage de programmation, de les simuler efficacement tout restant proche de la réalité, et d'en faire une synthèse sur layout plus ou moins directe. Grâce à ces progrès logiciels, de nombreuses réalisations de modems employés dans des applications multimédia aussi variées que complexes sont apparues. Les techniques de numérisation ont favorisé le passage de l'analogique au numérique, et permettent ainsi la diversification des « services » offerts par les diverses applications existantes. Les fonctions internes des modems suivent ainsi la tendance actuelle de numérisation des fonctions qui jusqu'ici n'était exclusivement réalisées qu'en analogique. Malgré cela, certaines de ces fonctions restent analogiques, comme les étages radiofréquences dans les réalisations actuelles de modems numériques.

Le but du travail développé ici est de trouver une solution architecturale adaptée à la réalisation d'un étage radiofréquence numérisé de modem employé dans une application interactive multimédia. Cette étude a été motivée dans un premier temps par le projet Européen EURICO qui consiste en un consortium de sociétés européennes réunies autour de différents projets novateurs, et dont le but est la mise en place d'une application multimédia interactive sur réseau câblé. Ceci a permis un partenariat entre une société du Technopôle messin, impliquée dans le projet EURICO, et notre équipe. D'autre part, notre autre motivation a été de pousser plus loin l'intégration de l'architecture générale d'un modem. L'étage étudié devra ainsi répondre à la recommandation DAVIC pour le mode de transmission à moyen débit (1.544 Mbits/s) qui utilise une modulation par sauts différentiels de phase à 4 états (DQPSK-4) sur deux voies de transmission. De plus, l'architecture choisie devra être en grande partie implantable en technologie CMOS de préférence.

Après une étude de l'architecture standard d'une chaîne de transmission de données numériques, nous nous intéresserons particulièrement aux fonctions que doit assurer l'étage radiofréquence analogique. Ces fonctions assurent la modulation, la démodulation, le décalage fréquentiel et le filtrage. Nous verrons ainsi quelles sont les méthodes couramment employées pour les réaliser. Un état de l'art des différentes techniques employées sera effectué, afin de définir les principes de fonctionnement les plus aisés à numériser. Nous nous intéresserons ensuite aux spécifications de la recommandation DAVIC. Une simulation fonctionnelle réalisée sur le logiciel COMSIS permettra de déterminer les performances des différentes réalisations envisageables, et de déterminer les modes de fonctionnement les plus aisés à numériser.

Dans le deuxième chapitre, nous utiliserons les différents modes de fonctionnement analogiques pour déterminer quelles sont les fonctions numériques potentiellement utilisables. Dans chaque cas, un bref état de l'art des différentes techniques numériques couramment employées sera effectué pour permettre d'affiner les choix de conception pour les différents blocs fonctionnels envisagés.

Dans le troisième chapitre, les contraintes de fréquence et les contraintes technologiques seront définies à partir du cahier des charges donné par la recommandation DAVIC. Ceci permettra d'effectuer un choix sur l'architecture à employer pour les différents blocs fonctionnels. L'architecture globale de l'étage radiofréquence numérisé sera ainsi définie. Chaque bloc fonctionnel verra la vitesse du flot de données le traversant augmentée par l'emploi d'une architecture pipe-line, et/ou parallélisée, et/ou récursive. L'architecture globale sera ainsi définie, et décrite en langage VHDL. Le but de cette description est de pouvoir effectuer la simulation sous Altera de chacune des fonctions de l'étage afin d'en valider le fonctionnement global. Pour ce faire, nous devons impérativement décrire notre système par du code VHDL synthétisable, c'est à dire que le logiciel Altera puisse en faire une implantation sur un des circuits qu'il propose. Nous pourrons ainsi déterminer les performances potentielles d'une telle réalisation selon la technologie employée.

Dans le quatrième et dernier chapitre, nous utiliserons les données obtenues à partir des simulations réalisées sous Altera afin de réaliser une simulation fonctionnelle complète de l'étage radiofréquence sous le logiciel Ptolemy. Ce logiciel permettra de déterminer les performances d'une réalisation totalement numérique, et de les comparer à ceux d'une réalisation analogique. Une comparaison qualitative permettra de déterminer les avantages, et

inconvenients, d'une telle structure par rapport à celles rencontrées en analogique (coût de réalisation, limitations en fréquence, problèmes de technologie, etc.). Les performances d'une réalisation en ASIC seront évaluées par rapport aux problèmes technologiques d'implantation.

CHAPITRE 1

LES ETAGES RADIOFREQUENCES DANS LES MODEMS NUMERIQUES

1.1. INTRODUCTION.

Dans ce chapitre, nous allons étudier l'architecture de base d'une chaîne de transmission de données numériques. Cette étude a été motivée par le projet Européen EURICO auquel nous avons participé pour la conception d'un étage radiofréquence analogique. Nous étudierons particulièrement ce type d'étages ainsi que les fonctionnalités à assurer en vue d'une numérisation de ceux-ci. Nous verrons qu'un étage radiofréquence est essentiellement composé de blocs fonctionnels assurant la modulation, le mélange de fréquence, la démodulation, et le filtrage. Nous ferons ensuite un état de l'art pour chacune des fonctions rencontrées, afin d'en extraire les différents principes de fonctionnement. Nous constaterons que les étages de filtrage dépendent en grande partie de l'application, et de l'architecture employée. Nous étudierons particulièrement l'architecture employée par la recommandation DAVIC [1]. Nous utiliserons celle-ci pour déterminer par simulation quels sont les meilleurs compromis de réalisation entre le filtrage et le reste de l'architecture.

1.2. CHAINE DE TRANSMISSION DE DONNEES NUMERIQUES.

Dans une application interactive de type modem, une chaîne de transmission numérique est généralement composée d'émetteurs et de récepteurs qui échangent des données sur un support de transmission (voir figure 1.1). Ce dernier possède des caractéristiques (atténuation, impédance caractéristique, bande passante, etc.) qui ont une grande influence sur la qualité de la transmission [2].

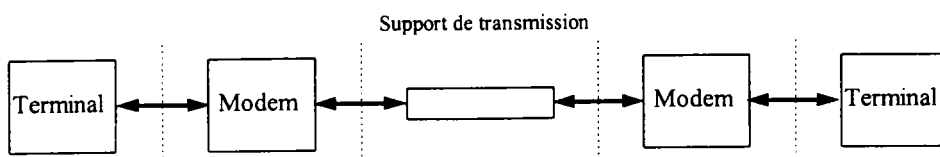


Fig. 1.1: Schéma de principe d'une liaison numérique; cas d'une transmission point à point.

Dès lors des choix seront à faire, d'une part sur le type de signal qui va transiter sur le support de transmission, et d'autre part sur les bandes de fréquence d'émission et de réception. Les données numériques, dites en bande de base, ne peuvent être transmises directement sur une longue distance. Elles sont alors utilisées pour transmettre un signal sinusoïdal modulé, dit en bande transposée, et de fréquence porteuse fixée. Cependant, dans le cas d'une transmission bidirectionnelle, émission et réception s'effectuent le plus souvent dans deux bandes de fréquence différentes, d'où la nécessité d'employer le mélange de fréquence et le filtrage pour séparer les deux bandes de transmission. Ces fonctions sont réalisées par les étages radiofréquences des modems.

1.3. LES ETAGES RADIOFREQUENCES ANALOGIQUES.

1.3.1. Introduction.

Dans cette partie, nous allons voir quelles sont les fonctions générales d'un étage radiofréquence. Nous verrons ainsi la principale méthode analogique de modulation et de démodulation employée dans une application de modem numérique. Ensuite, un état de l'art rapide concernant les mélangeurs de fréquence les plus courants sera présenté. Nous en déduirons les différentes méthodes employées pour réaliser le mélange fréquentiel. De la même manière, nous rappellerons quels sont les filtres les plus couramment employés en analogique.

1.3.2. Modulation et démodulation numérique.

Il existe différentes techniques de modulation et de démodulation en analogique (modulation de fréquence, de phase, d'amplitude, etc.). Dans une réalisation type modem numérique, on peut employer différents types de modulation (modulation par sauts de phase, par sauts d'amplitude, etc.) qui emploient toutes un groupe de n bits issus de la trame de données pour coder la porteuse sinusoïdale d'émission. Comme le montre l'équation 1.1, on peut définir le rapport de modulation R (qui représente la largeur du signal modulé, et qui est

donné en bauds) à partir du débit numérique D (nombre de symboles binaires émis par seconde donné en bits/s) et du nombre n de bits servant au codage. Le nombre d'états possible pour le signal sinusoïdal modulé par la séquence de donnée à émettre sera alors de 2^n .

$$(Eq\ 1.1) \quad R = \frac{D}{n}$$

Avec l'apparition de nouvelles techniques de codage, on utilise de plus en plus une modulation en phase et quadrature, appelée aussi modulation I&Q. Cette technique consiste à décomposer les signaux transmis en une partie réelle et une partie imaginaire. On emploie alors deux porteuses sinusoïdales en quadrature, c'est dire déphasées de $\pi/2$, qui sont modulées respectivement par les symboles I et Q (voir figure 1.2). Ces symboles correspondent au signal de phase (I) et au signal de quadrature (Q). En additionnant ces deux signaux, on peut ainsi représenter le signal modulé par un diagramme de Fresnel à porteuse supprimée, appelé aussi constellation du signal. Chaque point de coordonnées (I, Q) correspond dans notre cas à un groupe de données émises sur le support de transmission. A la démodulation, on effectue l'opération inverse pour retrouver les symboles I et Q précédemment employés, et restituer la trame des données émises.

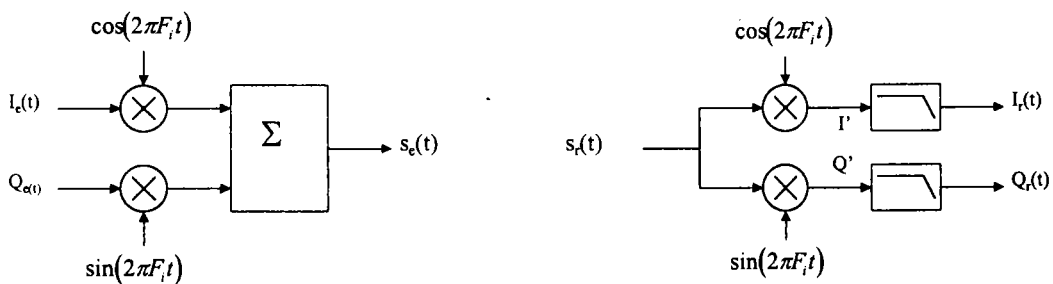


Fig. 1.2: Modulateur et démodulateur I&Q.

Pour la modulation, l'équation 1.2 nous donne $s_e(t)$:

$$(Eq\ 1.2) \quad s_e(t) = I_e(t) \cos(2\pi F_c t) + Q_e(t) \sin(2\pi F_c t)$$

Pour la démodulation du signal, l'équation 1.3 nous donne les valeurs de I' et Q'. On considère que les oscillateurs de réception sont déphasés de θ l'un par rapport à l'autre.

$$(Eq\ 1.3) \quad \begin{cases} I' = s_r(t) \cos(2\pi F_i t + \theta) \\ Q' = s_r(t) \sin(2\pi F_i t + \theta) \end{cases}$$

Si on considère une transmission idéale, c'est à dire sans atténuation, sans ajout de bruit, sans distorsion, etc., on peut remplacer directement $s_i(t)$ par l'expression de $s_e(t)$, on obtient l'équation 1.4.

$$(Eq\ 1.4) \quad \begin{cases} I' = [I_e(t) \cos(2\pi F_i t) + Q_e(t) \sin(2\pi F_i t)] \cos(2\pi F_i t + \theta) \\ Q' = [I_e(t) \cos(2\pi F_i t) + Q_e(t) \sin(2\pi F_i t)] \sin(2\pi F_i t + \theta) \end{cases}$$

\Leftrightarrow

$$(Eq\ 1.5) \quad \begin{cases} I' = I_e(t) \cos(2\pi F_i t) \cos(2\pi F_i t + \theta) + Q_e(t) \sin(2\pi F_i t) \cos(2\pi F_i t + \theta) \\ Q' = I_e(t) \cos(2\pi F_i t) \sin(2\pi F_i t + \theta) + Q_e(t) \sin(2\pi F_i t) \sin(2\pi F_i t + \theta) \end{cases}$$

\Leftrightarrow

$$(Eq\ 1.6) \quad \begin{cases} I' = \frac{I_e(t)}{2} [\cos(4\pi F_i t + \theta) + \cos(\theta)] + \frac{Q_e(t)}{2} [\sin(4\pi F_i t + \theta) - \sin(\theta)] \\ Q' = \frac{I_e(t)}{2} [\sin(4\pi F_i t + \theta) + \sin(\theta)] + \frac{Q_e(t)}{2} [\cos(4\pi F_i t + \theta) - \cos(\theta)] \end{cases}$$

Donc après filtrage passe bas de $I'(t)$ et $Q'(t)$, on trouve les valeurs de $I_r(t)$ et $Q_r(t)$:

$$(Eq\ 1.7) \quad \begin{cases} I_r(t) = \frac{I_e(t)}{2} \cos(\theta) - \frac{Q_e(t)}{2} \sin(\theta) \\ Q_r(t) = \frac{I_e(t)}{2} \sin(\theta) - \frac{Q_e(t)}{2} \cos(\theta) \end{cases}$$

D'où on peut en déduire par un calcul rapide les valeurs de I_e et Q_e . On a alors l'équation 1.8:

$$(Eq\ 1.8) \quad \begin{cases} I_e(t) = \frac{2I_r(t) \cos(\theta) - 2Q_r(t) \sin(\theta)}{\cos(2\theta)} \\ Q_e(t) = \frac{2I_r(t) \sin(\theta) - 2Q_r(t) \cos(\theta)}{\cos(2\theta)} \end{cases}$$

On remarque que les expressions de l'équation 1.8 ne peuvent être calculées que si la valeur $\cos(2\theta)$ est non nulle, c'est à dire que le déphasage entre l'oscillateur local et le signal de fréquence intermédiaire ne doit pas être de $\frac{\pi}{4} + k\frac{\pi}{2}$, avec k entier, sinon on ne peut déterminer quelle est la valeur des symboles I et Q émis. De plus, il faut rajouter que bien souvent le signal reçu est non seulement déphasé par rapport au signal émis, mais aussi atténué et bruité [2]. Ceci entraîne la nécessité d'employer des algorithmes de codage performants pour permettre, après calcul du premier point reçu, de déterminer quelles sont les valeurs de toutes les données émises au départ.

1.3.3. Le mélange de fréquence.

1.3.3.1. Introduction.

Le mélange de fréquence est employé dans différents types applications. Celles-ci sont le plus souvent la modulation, la démodulation, et le décalage spectral de signal. Ces différentes applications requierent un mélangeur (aussi appelé mixer) ayant des caractéristiques particulières (linéarités, gain de conversion, gamme d'utilisation), afin d'assurer un décalage en fréquence du signal avec un minimum de dégradations. Il existe plusieurs types de montages réalisant cette fonction. Ceux-ci utilisent les diodes, les transistors (bipolaires, et à effet de champ), les montages à plusieurs transistors (cascode et transistors à effet de champ bi-grille), et les cellules de Gilbert. Ces composants couvrent des gammes de fréquence allant des tensions continues jusqu'au térahertz (10^{12} Hz). Leurs applications couvrent ainsi différents domaines (mesure, audio, radio, vidéo, télévision, télécommunication, satellite, radar, radioastronomie, etc.). Nous proposons, dans cette partie, un état de l'art des différentes techniques employées pour réaliser le mélange de deux signaux.

De cette étude, nous allons déduire quels sont les modes de fonctionnement pour chacun des montages considérés. Nous verrons également les gammes de fréquences couvertes par ceux-ci.

1.3.3.2. Les mélangeurs à diodes.

1.3.3.2.1. Introduction.

Il existe plusieurs types de mélangeurs à diodes. Ceux-ci sont réalisés par des montages employant une diode varactor (ou diode à avalanche). Ce sont des jonctions P-N à réactances non linéaires et DEGRUGILLIER [3] a montré qu'elles sont assimilables:

- pour les varactors à des capacitances non-linéaires $C(V)$ variant en fonction du signal alternatif d'entrée et de la tension inverse de polarisation.
- pour les diodes à avalanche à une inductance non linéaire $L(I)$ variant en fonction du courant alternatif qui la traverse, et de la tension inverse de polarisation.

Ces diodes ont des fréquences de fonctionnement comprises dans une gamme d'environ 10 GHz à 1,5 THz.

Il est aussi possible d'utiliser une diode à jonction SIS (Supraconducteur Isolant Supraconducteur), qui utilise l'effet tunnel [4], ou encore mettre à profit l'effet Josephson [5]. Ce type de diode est plus performantes et peut fonctionner entre 100 GHz et 2,5 THz.

1.3.3.2.2. Diodes varactors et diodes à avalanche.

VATERKOWSKI [6] a montré dans son mémoire que l'on peut décomposer une diode varactor (ou diode à avalanche) en deux zones: une zone d'avalanche d'épaisseur δ où existe le phénomène d'ionisation entraînant le phénomène de mélange, et une zone de transit d'épaisseur $W-\delta$ où les porteurs se déplacent à leur vitesse limite. Deux schémas équivalents sont couramment employés pour ce type de diode: Soit on les modélise par une conductance en parallèle avec une inductance [6], soit par une résistance en série avec une capacité [7]. DEGRUGILLIER [3] reprend dans son mémoire l'équation de Read généralisée

(équation 1.9) pour exprimer l'évolution temporelle du courant de conduction dans différents cas. Nous avons:

$$(Eq\ 1.9) \quad \tau_i \frac{dI(t)}{dt} = I(t)[\bar{\alpha} * \delta - 1] + I_s$$

avec:

τ_i : le temps de réponse intrinsèque du phénomène d'avalanche

$\bar{\alpha}$: le taux d'ionisation moyen correspondant aux deux types de porteurs (électrons et trous)

δ : la longueur de la zone d'avalanche

I_s : le courant de saturation de la jonction.

En se plaçant dans des conditions particulières, DEGRUGILLIER [3] a montré que les deux types de porteurs possèdent des taux d'ionisation variant comme une exponentielle, et donc étant fortement non linéaire en fonction du champ électrique $E(t)$. On a une expression de $I_c(t)$ qui devient une exponentielle d'exponentielle et donc, a priori, extrêmement non linéaire dans la zone d'avalanche où se produit le mélange de fréquence. La tension $V(t)$ aux bornes de la diode utilisée se comporte comme la somme d'une composante continue V_0 et d'une composante alternative $v(t)$. On arrive à démontrer, après développement en série de Taylor à l'ordre deux du taux d'ionisation $\bar{\alpha}$ autour de V_0 , en remplaçant cette expression dans l'équation 1.9, et en appliquant la condition d'avalanche qui est donnée par $\bar{\alpha}(V_0)\delta - 1 = 0$, que la tension $v(t)$ aux bornes de la diode obéit à l'équation 1.10.

$$(Eq\ 1.10) \quad v(t) = \frac{\tau_i}{\bar{\alpha}' I(t)} \frac{dI(t)}{dt} - \frac{\bar{\alpha}''}{2\delta\bar{\alpha}'} v^2(t)$$

Si $v(t)$ est la somme de deux tensions alternatives, alors qu'il y a apparition d'un terme quadratique générateur d'harmoniques de mélange à l'ordre 2, on a alors bien réalisé la fonction de mélange désirée. Nous sommes arrêtés au deuxième ordre, mais cela est aussi vrai pour un développement aux ordres supérieurs.

1.3.3.2.3. *Diodes à jonction SIS, effet Josephson.*

Une jonction SIS est formée de deux jonctions supra-conductrices A et B séparées par une fine barrière d'isolant C [8] (voir figure 1.3). Pour traiter efficacement l'effet tunnel, il nous faut revenir à la théorie quantique des particules. L'emploi de logiciels de simulations permettant le traitement des diverses données s'avère alors nécessaire.



Fig. 1.3: Schéma d'une jonction SIS; A, B: supra-conducteurs; C: isolant d'épaisseur entre 1 et 5 nm.

BEDU [9] a montré dans son mémoire que la méthode de calcul repose sur la résolution de l'équation de Schrödinger unidimensionnelle et indépendante du temps (équation 1.11), associée à l'équation de Poisson unidimensionnelle (équation 1.12), et à l'équation donnant la densité locale de charge dans la zone active (équation 1.13).

$$(Eq\ 1.11) \quad -\frac{\hbar^2}{2} \frac{d}{dz} \left[\frac{1}{m^*(z)} \frac{\partial \Psi(k_z, z)}{\partial z} \right] + [V(z) - E_z] \Psi(k_z, z) = 0$$

$$(Eq\ 1.12) \quad \frac{\partial^2 V(z)}{\partial z^2} = \frac{q}{\epsilon_0 \epsilon_r} [n(z) - N_d]$$

$$(Eq\ 1.13) \quad n(z) = \int_0^\infty \frac{dJ(E_z)}{q v(E_z, V_c)} |\Psi(k_z, z)|^2 dE_z$$

avec:

$$\hbar = \frac{h}{2\pi} \text{ où } h \text{ est la constante de Planck } (h=6,62 \cdot 10^{-34} \text{ J.s})$$

$m^*(z)$ la masse effective de l'électron

$\Psi(k_z, z)$ la fonction d'onde suivant la direction de l'axe des z

$V(z)$ la variation de potentiel selon la direction de croissance des z

E_z l'énergie longitudinale

$n(z)$ la densité locale de charges dans la zone active

$dJ(E_z)$ la contribution élémentaire du courant local

$v(E_z, V_c)$ la vitesse balistique des porteurs injectés, d'énergie E_z dans l'émetteur et de polarisation V_c

N_d la concentration de dopage

ϵ_0 la constante diélectrique du vide

ϵ_r la constante diélectrique relative

BEDU [9] et BOUREGBA [4] ont montré dans leurs mémoires respectifs qu'à partir de la résolution de ces trois équations, on peut modéliser la diode tunnel en modèles simples selon l'application désirée. Avec ces différents modèles, dont les caractéristiques sont très fortement non-linéaires, on utilise des logiciels de simulation employant le formalisme des matrices de transfert, aussi appelées matrice de conversion [10]. Une méthode reposant sur les probabilités de transmission peut également être employée. On retombe ainsi sur des calculs du type de ceux énoncés pour les diodes varactors et diodes à avalanche, avec des résultats similaires.

Il est intéressant de noter qu'un autre effet est exploitable: L'effet Josephson. Pour des courants suffisamment faibles, la jonction se comporte comme un supraconducteur, et n'a aucune tension à ses bornes: c'est l'effet Josephson continu. DE LUSTRAC [11] propose dans son mémoire une description de cet état par un effet quantique macroscopique de cohérence entre les paires de Cooper et les électrons, et qui peut être décrit par une fonction d'onde. L'intensité du courant Josephson traversant la jonction est alors donné par l'équation 1.14, avec I_0 le courant maximal et α la différence de phase entre les fonctions d'onde des supraconducteurs A et B:

$$(Eq 1.14) \quad I_j = I_0 \sin \alpha$$

Si le courant I injecté est supérieur à I_0 , la barrière devient résistive [8], et est le siège d'un courant de quasi-particules. Une tension V apparaît aux bornes de la jonction. On définit alors la tension V_g (voir équation 1.15) correspondante à l'énergie de bande interdite (voir figure 1.4), ΔA et ΔB étant les énergies de bande interdite des supraconducteurs A et B.

$$(Eq\ 1.15) \quad V_g = \frac{\Delta A + \Delta B}{2}$$

Il y a alors apparition d'une résistance R_n pour $V > V_g$. Cependant, à toute tension V est associée une variation temporelle de la phase des deux différentes fonctions d'onde, ce qui entraîne une oscillation spontanée du courant à la fréquence $f = 2 \frac{eV}{h}$, soit à 483,6 MHz/ μV : C'est l'effet Josephson alternatif. De plus, le courant Josephson voit son amplitude varier avec le champ magnétique auquel il est soumis (champ magnétique induit par le courant traversant la jonction). FEAUTRIER [12] dans son mémoire a montré que le courant traversant la diode se comporte comme une fonction en sinus cardinal (équation 1.16).

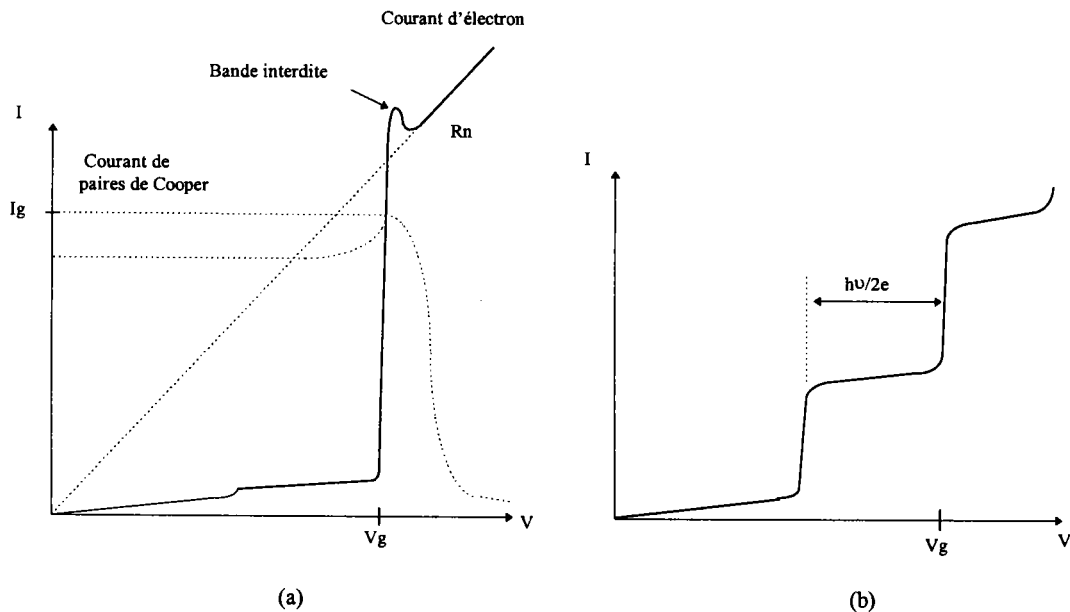


Fig. 1.4: Caractéristique $I(V)$ d'une jonction tunnel SIS Josephson; (a): sans irradiation micro-onde; (b): avec irradiation micro-onde.

$$(Eq 1.16) \quad I_j = I_0 \operatorname{sinc} \frac{\pi\Phi}{\Phi_0}$$

$$\text{avec } \Phi_0 = \frac{h}{2e}.$$

On remarquera que le courant Josephson s'annule à chaque fois que $\frac{\Phi}{\Phi_0}$ est un entier.

Il existe donc deux possibilités pour réaliser le mélangeur:

- Soit on annule le courant Josephson alternatif, et on n'emploie que l'effet tunnel [13]
- Soit on utilise le courant Josephson alternatif comme oscillateur local et on a un auto-mélangeur [9], ce qui permet de s'affranchir d'un oscillateur local.

Si on soumet une jonction SIS à un champ d'onde millimétrique (issu d'un oscillateur local par exemple), le signal micro-onde génère une tension sinusoïdale de fréquence ν telle que $V_{OL} = V_\nu \cos(2\pi\nu t)$. La tension de polarisation aux bornes de la jonction est donc: $V_{tot} = V_0 + V_\nu \cos(2\pi\nu t)$, où V_0 est la tension de polarisation de la jonction. Cette irradiation micro-onde fait apparaître une modification de la caractéristique statique de la jonction: on obtient une courbe $I(V)$ faisant apparaître des marches dites de Shapiro [8, 13] (voir figure 1.4). On obtient donc une caractéristique fortement non-linéaire. Pour obtenir des gains de conversion intéressants, il est préférable de se placer sur la première marche [13], et s'arranger pour que le courant Josephson I_j soit annulé par l'effet de la polarisation V_0 . On se ramène ainsi à l'emploi d'une modélisation par matrice de transfert [9, 10, 13].

On peut aussi utiliser simplement la polarisation de la jonction pour utiliser le courant Josephson alternatif en oscillateur local. Si on a un courant I_j suffisamment faible, alors il apparaît une oscillation spontanée de pulsation réglable (483,6 MHz/ μ V): Ainsi, pour mélanger des signaux hyperfréquences de très faibles intensités ($I_{RF} \ll I_0$) on utilise la jonction en auto-mélangeur [9].

1.3.3.3. Les mélangeurs à transistors.

1.3.3.3.1. Introduction.

Les réalisations employant les transistors sont nombreuses. On peut utiliser des montages à un seul transistor (bipolaire, ou effet de champ), ou bien à deux transistors (montage cascode, ou effet de champ bi-grille). dans chaque cas, les méthodes de calculs sont similaires et reposent sur les caractéristiques de non-linéarité des transistors. Les fréquences d'utilisation sont comprises entre 10 MHz et 100 GHz pour les transistors à effet de champ, entre 1 MHz et 200 MHz pour les transistors bipolaires et les montages cascodes, et entre 30 MHz et 20 GHz pour les transistors à effet de champ bi-grille. Ces valeurs dépendent évidemment de la technologie employée.

1.3.3.3.2. Transistors bipolaires.

Dans le cas du transistor bipolaire, la loi exponentielle de variation de I_b en fonction de V_{BE} est exploitée pour assurer le mélange fréquentiel. Considérons le montage de la figure 1.5.

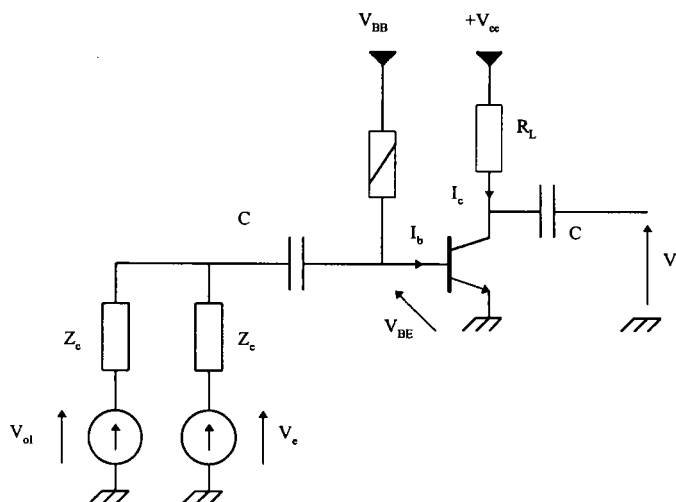


Fig. 1.5: Schéma de base pour un mélangeur de fréquence à transistor bipolaire.

EL MOUDDEN [14] a montré dans son mémoire que l'équation 1.17 donne l'expression de $V_s(t)$.

$$(Eq\ 1.17) \quad V_s(t) = V_{cc} - R_L * \beta * I_{SAT} * e^{\frac{e(V_{BB} + V_{OL}(t) + V_e(t))}{kT}}$$

En employant le développement limité de $e^x = 1 + x + (\sigma^2)$ dans l'équation 1.17, en posant $V_{CE0} = R_L * \beta * I_{SAT} * e^{\frac{eV_{BB}}{kT}}$, et $\gamma = e/(kT)$, nous obtenons l'équation 1.18 qui donne l'expression de $V_s(t)$ en petits signaux.

$$(Eq\ 1.18) \quad V_s(t) = V_{cc} - V_{CE0} (1 + \gamma V_{OL}(t) + \gamma V_e(t) + \gamma^2 V_{OL}(t) V_e(t))$$

L'équation 1.18 montre que l'on obtient bien le mélange de fréquence désiré. Il faudra néanmoins filtrer le signal de sortie car il y a apparition d'harmoniques lors de l'opération de mélange.

1.3.3.3.3. Transistors à effet de champ.

Dans le cas du FET, la zone de pincement de $I_d = f(V_{DS})$ est plus particulièrement utilisée. On se place donc sur un point de polarisation se situant dans cette région, et on utilise la caractéristique non-linéaire du FET. Considérons le montage de la figure 1.6. MOORE [15] a démontré que l'expression de $I_d(t)$ est donnée par l'équation 1.19, avec n dépendant de la structure du transistor, et g_{pol} l'amplification au point de polarisation.

$$(Eq\ 1.19) \quad i_d(t) = g_{pol} * V_e(t) + \frac{n(n-1)I_{DSS}}{V_p^2} V_{OL}(t) V_e(t)$$

L'équation 1.19 montre que l'on peut à nouveau réaliser le mélange de fréquence, mais encore une fois avec la nécessité de filtrer le signal de sortie pour éliminer les harmoniques indésirables.

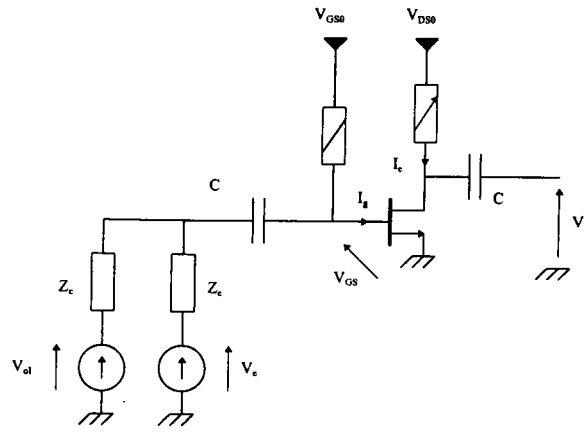


Fig. 1.6: Schéma de base pour l'emploi d'un transistor à effet de champ en mélangeur.

1.3.3.3.4. Montages cascades à transistors bipolaires.

L'équation du courant I_b de collecteur en fonction de V_{BE} est à nouveau employée. Considérons maintenant le montage de la figure 1.7.

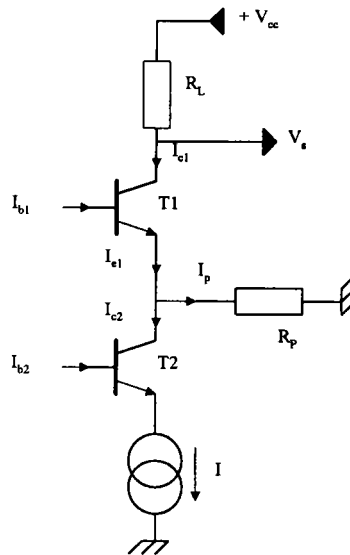


Fig. 1.7: Schéma de base pour un mélangeur de fréquence à cascade à transistors bipolaires.

PERCIVAL [16] a démontré que l'expression de $V_s(t)$ est donnée par l'équation 1.20, dans le cas où les transistors T1 et T2 sont identiques

$$(Eq\ 1.20) \quad V_s = V_{s0} - R_L (\beta + 1) I_s * e^{\frac{qV_{BE1}}{kT}} \left(1 + e^{\frac{q}{kT}(V_{BE2} - V_{BE1})} \right)$$

En utilisant le développement limité de $e^x = 1 + x + o(x^2)$, nous obtenons l'équation 1.21.

$$(Eq\ 1.21) \quad V_s = V_{s0} - (\beta + 1) R_L I_s \left[1 + \frac{qV_{BE2}}{kT} + \frac{q^2}{(kT)^2} V_{BE1} V_{BE2} - \frac{q^2}{(kT)^2} V_{BE1}^2 \right]$$

Donc, il est cette fois encore possible de récupérer les harmoniques de mélange désirés par filtrage.

1.3.3.5. Transistors à effet de champ bi-grilles.

Il est possible d'obtenir des résultats similaires avec des transistors à effet de champ bi-grille, ou DGFET. Considérons le montage de la figure 1.8.

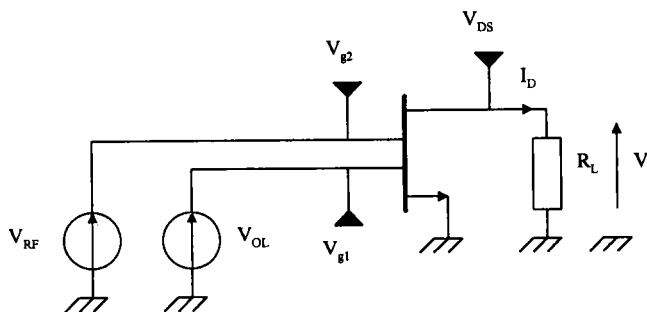


Fig. 1.8: Schéma de base pour un mélangeur à DGFET.

Le problème réside ici dans le choix de la polarisation. Le DGFET peut être décrit comme le montage de deux FETs en cascade (voir figure 1.9). RADHY [17] et TEMISHE [18] proposent dans leur mémoire respectif quatre possibilités de polarisation des FETs, ce qui induit quatre modes de fonctionnement qui sont:

- Mode 1: les deux FETs fonctionnent en régime de saturation et sont tous les deux équivalents à des sources de courant quasi-constantes.

- Mode 2: le premier FET fonctionne en régime de saturation, alors que le second fonctionne en régime linéaire et peut être considéré comme une résistance de valeur dépendante de V_{g_2} .

- Mode 3: le premier FET fonctionne en régime linéaire, et peut être considéré comme une résistance de valeur dépendante de V_{g_1} , et le second en régime de saturation.

- Mode 4: les deux FETs fonctionnent en régime linéaire, et fonctionnent comme des résistances de valeur dépendantes des points de polarisation choisis.

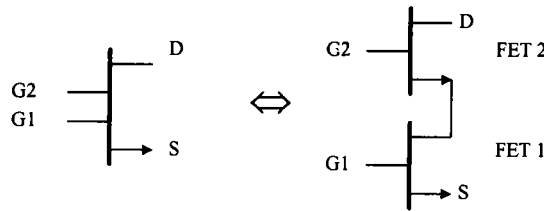


Fig. 1.9: Schéma équivalent d'un DGFET.

Pour une application en mélangeur, les modes 2 et 3 sont les plus appropriés [17, 18]. De plus, de meilleurs résultats sont obtenus dans le cas du mode 3 pour une injection de l'oscillateur local sur la grille 1 (polarisation en régime linéaire), et une injection du signal radiofréquence sur la grille 2 (source de courant). Le schéma équivalent de la figure 1.10 est alors obtenu.

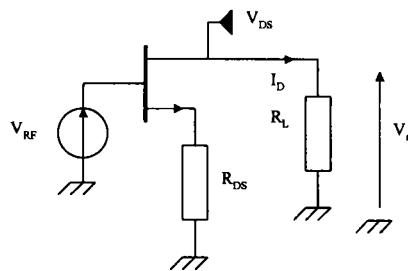


Fig. 1.10: Schéma équivalent pour un fonctionnement du DGFET en mode 3.

V_{g_1} polarise le FET 1 dans la région linéaire, et celui-ci peut être considéré comme une résistance variable dont la valeur dépend de V_{OL} , dont l'expression est:

$$(Eq\ 1.22) \quad R_{DS} = R_{DS0} \left(1 + \frac{V_{GS1}}{V_p} \right)^{1-n}$$

avec $V_p = R_{DS0} I_{DSS}$, et n dépendant de la structure du transistor.

De la même manière on a l'équation de I_D en fonction de V_{GS2} :

$$(Eq\ 1.23) \quad I_D = I_{DSS} \left(1 + \frac{V_{GS2}}{V_p} \right)^n$$

\Rightarrow

$$(Eq\ 1.24) \quad V_s = R_{DS0} \left(1 + \frac{V_{g1} + V_{OL}}{V_p} \right)^{1-n} I_{DSS} \left(1 + \frac{V_{g2} + V_{RF} - V_{DS1}}{V_p} \right)^n + V_{DS1}$$

En utilisant le développement limité de $(1+x)^n = 1+n*x+o(x^2)$, on obtient alors:

$$(Eq\ 1.25)$$

$$V_s = V_p + V_{DS1} + (n-1)(V_{g1} + V_{OL}) + n(V_{g2} + V_{RF} - V_{DS1}) + \frac{n(n-1)}{V_p} (V_{g1}V_{g2} + V_{g1}V_{RF} - V_{g1}V_{DS1} + V_{OL}V_{g2} + V_{OL}V_{RF} - V_{OL}V_{DS1})$$

On remarque par ailleurs que V_{DS1} est une fonction de I_D et de R_{DS} , ce qui revient à dire que les termes $V_{OL}V_{DS1}$, et $V_{OL}V_{RF}$ génèrent les harmoniques de mélanges recherchés, et qu'il faudra les isoler par filtrage.

1.3.3.4. Les mélangeurs à cellule de Gilbert.

1.3.3.4.1. Introduction.

Les cellules de Gilbert sont composées de trois étages amplificateurs montés en différentiels. Cette structure permet de compenser les effets non-linéaires de chacun des étages amplificateurs associés. On obtient des mélangeurs de fréquence qui utilisent la

caractéristique non linéaire des transistors, mais dont la fonction de mélange reste très linéaire. Ceci permet d'obtenir un mélange quasiment sans génération d'harmoniques indésirables. Ces cellules sont réalisées avec des transistors bipolaires, ou des transistors à effet de champ. La gamme de fréquence d'utilisation de ce type de mélangeur est comprise entre le continu et environ 20 GHz, et selon la technologie employée.

1.3.3.4.2. Cellule de Gilbert à transistors bipolaires.

Le principe de la cellule de Gilbert à transistors bipolaires a été traité dans la publication de RENSCHLER [19] dont nous donnons le résultat de calcul ci-après.

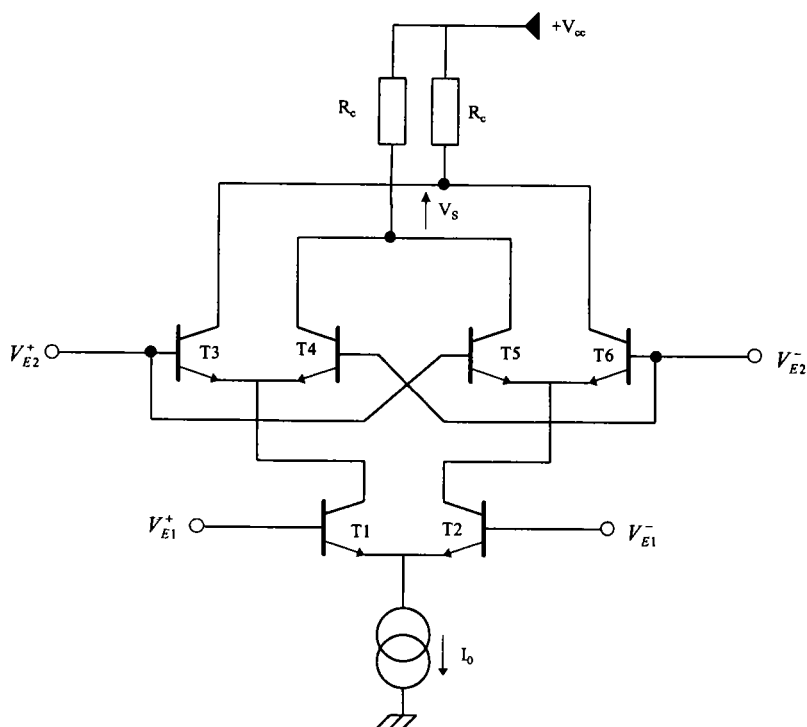


Fig. 1.11: Schéma électrique d'une cellule de Gilbert à transistors bipolaires.

Considérons maintenant le montage de la figure 1.11. En supposant que tous les transistors sont identiques, RENSCHLER [19] a montré que l'équation de la tension de sortie est donnée par l'équation 1.26.

$$(Eq\ 1.26) \quad V_s = -R_c * I_0 * \tanh\left[\frac{q(V_{E1}^+ - V_{E1}^-)}{2kT}\right] * \tanh\left[\frac{q(V_{E2}^+ - V_{E2}^-)}{2kT}\right]$$

En utilisant le développement limité de $\tanh(x)=x+\sigma(x^3)$, et dans le cas où $V_{Ei}^+ - V_{Ei}^- \ll \frac{2kT}{q}$, il vient que:

$$(Eq\ 1.27) \quad V_s \approx -\frac{1}{4} R_c * I_0 * \frac{q^2}{(kT)^2} * (V_{E1}^+ - V_{E1}^-) * (V_{E2}^+ - V_{E2}^-)$$

Le mélange des deux signaux d'entrée est donc bien réalisé sans générer d'harmoniques indésirables.

1.3.3.4.3. Cellule de Gilbert à transistors à effet de champ.

Considérons le montage donné en figure 1.12, avec tous les transistors identiques. MASQUELLIER [20], dans son mémoire, a montré qu'avec des transistors à effet de champ, il est possible d'obtenir des résultats similaires à ceux obtenus avec des transistors bipolaires. On peut démontrer que l'expression de $V_{E1}=V_{E1}^+ - V_{E1}^-$ qui peut être donné par l'équation 1.28, et que l'expression de $V_s(t)$ peut être donnée par l'équation 1.29, avec n qui dépend de l'architecture des transistors employés, et $V_{E2}=V_{E2}^+ - V_{E2}^-$.

$$(Eq\ 1.28) \quad \frac{V_{E1}}{V_P} \sqrt[n]{\frac{2 * I_{DSS}}{I_0}} = \left(1 + \frac{I_1 - I_2}{I_0}\right)^{\frac{1}{n}} - \left(1 - \frac{I_1 - I_2}{I_0}\right)^{\frac{1}{n}}$$

$$(Eq\ 1.29) \quad V_s = \xi * V_{E2} (I_1 - I_2)$$

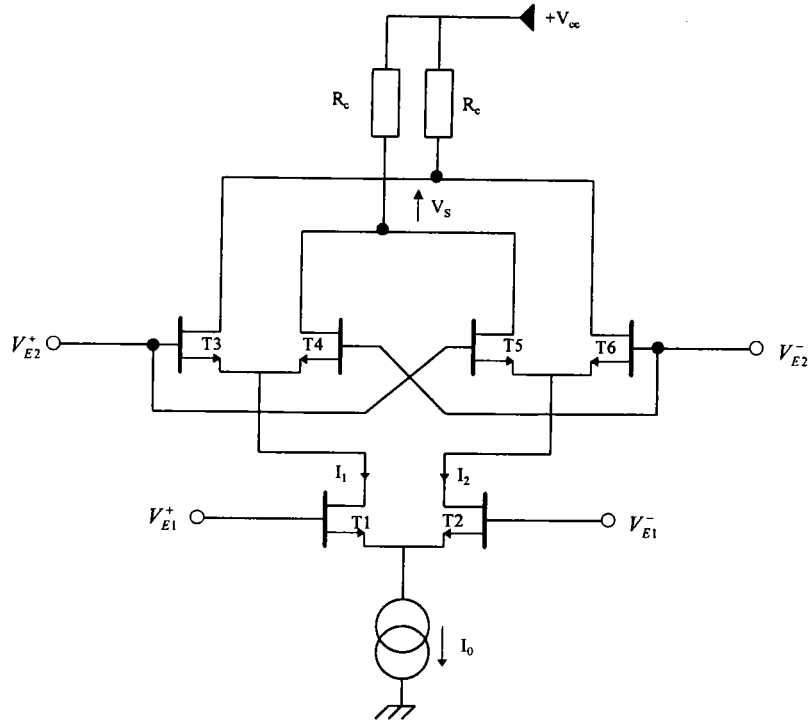


Fig. 1.12: Schéma électrique d'une cellule de Gilbert à transistors à effet de champ.

Si on pose que $\xi = \frac{n}{2V_p} \sqrt{\frac{2 * I_{DSS}}{I_0}}$, et que pour extraire l'expression de I_1 - I_2 on utilise

le développement limité de $(1 + x)^n = 1 + n * x + \sigma(x^2)$, alors on obtient l'équation 1.30 qui donne l'expression de $V_s(t)$ en fonction de V_{E1} et V_{E2} .

$$(Eq 1.30) \quad V_s = R_c * I_0 * \xi^2 * V_{E1} * V_{E2}$$

Nous avons donc bien réalisé un mélangeur de signaux en utilisant des FETs montés en cellule de Gilbert, avec toutefois une restriction sur les branchements de l'oscillateur local et du signal RF à transposer.

1.3.3.5. Conclusion.

Dans cette partie, nous avons présenté les mélangeurs de fréquence usuels. Nous avons tiré des différentes applications associées à chaque type de mélangeur, une répartition spectrale d'utilisation des composants qui est donnée en figure 1.13. Chacun de ces mélangeurs possède des caractéristiques propres, et des modes de fonctionnement différents.

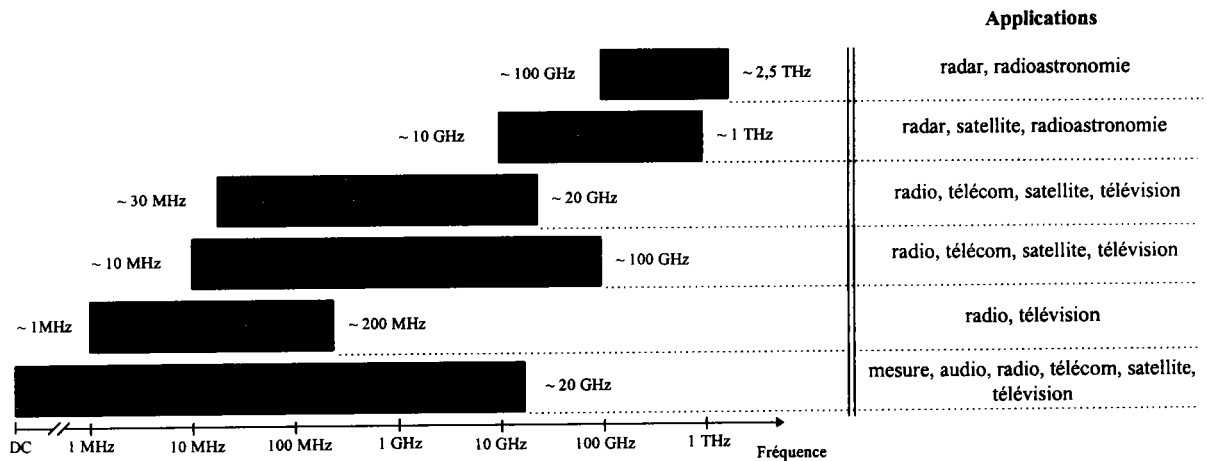


Fig. 1.13: Gamme de fréquence d'utilisation pour les différents types de mélangeur.

D'après les équations finales de fonctionnement (équations 1.10, 1.18, 1.19, 1.21, 1.25, 1.27, et 1.30), on peut définir ainsi deux modes de fonctionnement pour le mélange de fréquences:

- Le premier mode utilise les non-linéarités des composants pour générer des harmoniques de mélange, et en tirer la fréquence de sortie désirée. C'est le cas des diodes, des transistors à effet de champ et bipolaires, ainsi que le montage cascode à transistors bipolaires. Cette méthode génère de nombreux harmoniques indésirables, ce qui nécessite l'emploi de filtres très sélectifs pour isoler la fréquence désirée. Cependant, les performances de ces circuits sont relativement bonnes et permettent d'atteindre de très hautes fréquences.

- Le deuxième mode utilise le principe de la multiplication de deux signaux, et emploie la très bonne linéarité des composants pour obtenir uniquement les deux harmoniques de mélange désirés. C'est la méthode employée pour le transistor à effet de champ bi-grille, et les cellules de Gilbert. Cette méthode permet de ne générer que les deux harmoniques de mélange. On emploiera donc un filtrage un peu plus sélectif pour les transistors à effet de

champ bi-grille pour isoler la fréquence de mélange désirée, alors que pour les cellules de Gilbert les filtres employés seront relativement moins sélectifs. Les performances de ces circuits sont aussi bonnes que précédemment, mais les fréquences atteintes sont moins élevées.

1.3.4. Les différents filtres.

Les filtres dans les étages radiofréquences servent soit à limiter les bandes d'émission et de réception (filtres de bande), soit à éliminer les fréquences perturbatrices avant de réaliser la démodulation (filtre de fréquence intermédiaire). Comme nous l'avons vu dans la partie précédente, les fréquences indésirables à éliminer peuvent provenir des mélangeurs. Les performances du filtre à réaliser seront alors fortement liées au type de mélangeur qui sera employé. Il existe ainsi de nombreuses possibilités de réalisation des étages de filtrage. Ces filtres peuvent être de différents types (passe-bas, passe-haut, passe-bande), et synthétisés à partir de plusieurs méthodes de calcul (Butterworth, Chebyshev, Elliptique). Ici nous ne traiterons pas les méthodes de calcul de ces différents filtres. Nous ferons cependant remarquer que chaque réalisation nécessite des filtres particuliers selon les spécifications et l'architecture de l'application à mettre en oeuvre.

1.3.5. Conclusion.

Dans cette partie nous avons présenté un état de l'art succinct concernant les méthodes usuelles de conception des étages radiofréquences dans les modems numériques. Nous avons vu quel est le principe de modulation et de démodulation usuellement employé, ainsi que les techniques et les composants potentiellement utilisables pour réaliser le décalage en fréquence du signal modulé dans les bandes d'émission et de réception de l'application choisie. Nous avons fait également remarquer que le choix des filtres nécessaires à une application particulière dépend des spécifications requises par celle-ci. A chaque application il est ainsi possible de faire correspondre plusieurs réalisations qui auront des performances spécifiques en fonction du choix des composants et de l'architecture employée.

C'est pourquoi nous allons maintenant axer notre travail sur la recommandation DAVIC [1], afin de définir un cahier des charges pour notre étage en tenant compte des besoins de cette norme.

1.4. LA RECOMMANDATION DAVIC.

1.4.1. Introduction.

La recommandation DAVIC (Digital Audio-Visual Council) a été mise au point pour homogénéiser les différents types de réseaux existants (LAN, MAN, etc.) dans le domaine des hauts débits. Elle est appuyée par un consortium international regroupant des grands groupes travaillant dans les domaines de l'électronique, de l'informatique et des télécommunications.

1.4.2. Spécifications générales.

La recommandation DAVIC permet la transmission de données comme les images, le son et tous types de données à haut débit. Elle définit ainsi plusieurs types de support potentiellement utilisables (fibre optique, câble coaxial, faisceaux hertziens), sur lesquelles vont transiter les données. Ces données sont transmises selon un protocole d'émission complexe comprenant entre autres (voir figure 1.14):

- Un scrambling, qui « mélange » les données numériques pour éviter les trop grandes séries de « zéro » et de « un » consécutifs qui désynchroniseraient le système.
- Un codage Reed-Solomon réduit, qui permet la détection et éventuellement la correction des erreurs contenues dans la trame de données.
- Une mise sous forme de paquets de données par entrelacement convolutionnel.

En en réception la chaîne est composée de différents blocs qui permettent la restitution des données initialement émises. Ces blocs sont:

- Un désentrelacement convolutionnel qui restitue la trame de données codées.
- Un décodeur Reed-Solomon qui détecte et corrige les données erronées.
- Un descrambling qui restitue les données émises au départ.

Ces données sont émises à différents débits numériques qui sont associés à une mise en forme des symboles et différentes modulations numériques selon le mode de transmission (de 1,544 Mbits/s en modulation DQPSK, et jusqu'à 55,616 Mbits/s en modulation QAM 16, 64 ou 256 états).

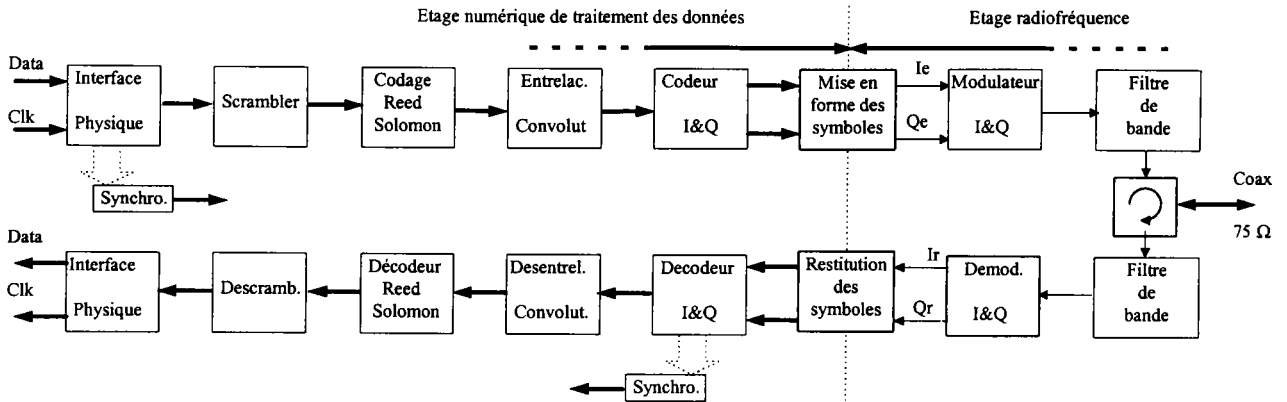


Fig. 1.14: Architecture d'un modem basé sur la recommandation DAVIC.

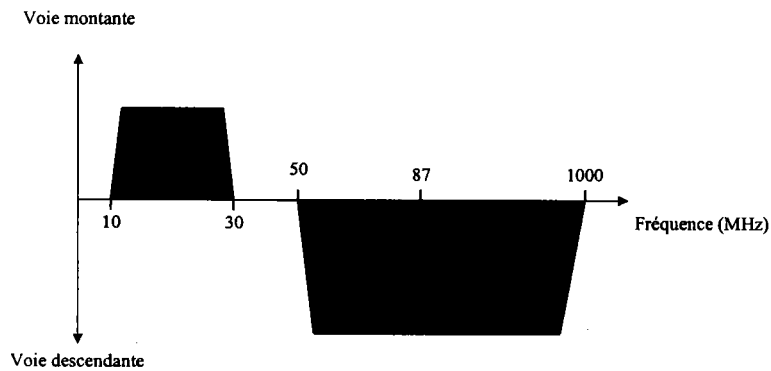


Fig 1.15: Allocation spectrale du support de transmission.

$$(Eq\ 1.30) \quad g(t) = \frac{\sin\left[\frac{\pi}{T}(1-\alpha)\right] + \frac{4\alpha t}{T} \cos\left[\frac{\pi}{T}(1+\alpha)\right]}{\frac{\pi}{T} \left[1 - \left(\frac{4\alpha t}{T}\right)^2\right]}$$

La mise en forme des symboles en sortie des codeurs I&Q est effectuée par un filtre dont la réponse impulsionnelle $g(t)$ est donnée par l'équation 1.30, avec une valeur de α

différente pour chaque mode de transmission, et T la période d'un symbole binaire émis. Cette mise en forme permet « d'adoucir » les transitions d'états de la porteuse, et ainsi de limiter la largeur de bande du signal modulé. Cette recommandation définit de même deux bandes de transmission: Une voie montante (client vers serveur) de 10 à 30 MHz, et une voie descendante (serveur vers client) de 50 MHz à 1 GHz, dans lesquelles l'agilité en fréquence est demandée (voir figure 1.15). L'architecture réseau est basée sur un serveur qui reçoit des données de plusieurs clients via la voie montante, la réponse du serveur étant émise sur la voie descendante. On peut ainsi mettre en oeuvre une architecture multi-serveurs/multi-clients permettant une très grande interactivité.

1.4.3. L'étage radiofréquence.

Nous allons nous intéresser particulièrement au cas de la transmission à 1,544 Mbits/s, en modulation DQPSK (Differential Quaternary Phase Shift Keying, ou modulation par sauts différentiels de phase à 4 états), et définir les fonctions nécessaires à sa mise en place. La figure 1.16 donne l'architecture de l'étage radiofréquence préconisé par DAVIC et utilisant le mode de transmission en DQPSK à 1,544 Mbits/s, en considérant que la mise en forme des symboles I&Q émis est effectuée par la partie numérique de la chaîne de transmission. Modulation et démodulation sont effectuées en phase et quadrature (modulation et démodulation I&Q) [2], qui définissent en émission et en réception le signal par sa partie réelle (I) et sa partie imaginaire (Q).

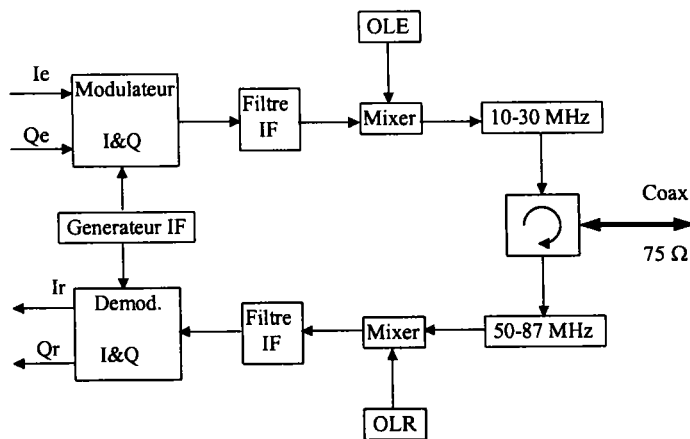


Fig. 1.16: Architecture de l'étage radiofréquence d'un modem DAVIC.

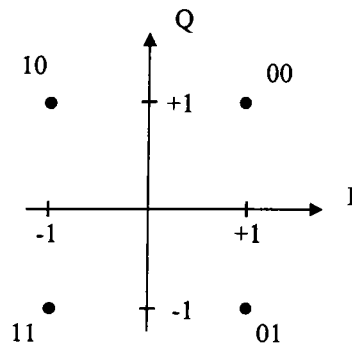


Fig. 1.17: Constellation du signal DQPSK.

Il est ainsi possible de moduler une porteuse sinusoïdale de fréquence F_i et de représenter le signal, dans notre cas un signal DQPSK, correspondant par un diagramme de Fresnel à porteuse supprimée (voir figure 1.17). Les filtres de fréquence intermédiaire sont définis comme ayant une bande passante de 772 kHz, et étant d'ordre 10, ce qui permet de d'isoler le signal de fréquence intermédiaire après décalage spectral (voir figure 1.18). Les mélangeurs peuvent être réalisés par différents montages (transistors, cellule de Gilbert) qui utilisent différents principes de fonctionnement, compte tenu de leur gamme de fonctionnement en fréquence.

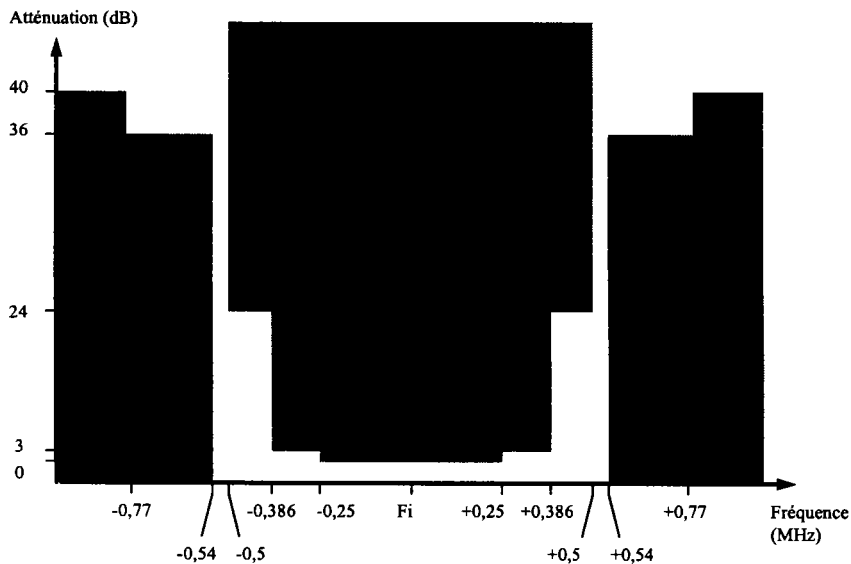


Fig. 1.18: Gabarit normalisé du filtre de fréquence intermédiaire.

Les filtres de bande (10-30 MHz et 50-87 MHz) demandent une atténuation de 30 dB du signal utile par rapport au signal de fréquence intermédiaire. En sortie d'un mélangeur, on obtient généralement la somme et la différence (en valeur absolue) des fréquences fournies à l'entrée. On cherche alors à isoler une des deux fréquences de sortie du mélangeur, et donc l'ordre du filtrage employé va dépendre de la qualité du décalage de fréquence réalisé, ainsi que des harmoniques indésirables supplémentaires produits par le mélangeur [21].

1.4.4. Conclusion.

Une présentation rapide de la recommandation DAVIC [1] a été faite. Nous en avons extrait l'architecture globale de l'étage radiofréquence, ainsi que ses principales caractéristiques. Celles-ci sont:

- L'emploi d'une modulation DQPSK (pour un débit numérique de 1,544 Mbits/s).
- Un gabarit de filtrage fixé par la recommandation pour la fréquence intermédiaire.
- Une atténuation de 30 dB du signal émis par rapport aux autres harmoniques de mélange.
- Un filtrage de voie montante entre 10 et 30 MHz et d'ordre non défini, qui va dépendre de l'application (rapport de modulation, modulation employée, mélangeur employé, etc.).
- Un filtrage de voie descendante entre 50 et 87 MHz et d'ordre non défini, qui va dépendre de l'application (rapport de modulation, modulation employée, mélangeur employé, etc.).
- La nécessité d'obtenir un taux d'erreur en réception, et après décodage, inférieur à 10^{-10} pour un rapport signal sur bruit supérieur à 20 dB.

1.5. CHOIX DES FILTRES.

1.5.1. Introduction.

La recommandation DAVIC propose, dans le cadre de ses applications, l'emploi de trois types de filtre pour la réalisation de l'étage radio-fréquence d'un modem. Le premier filtre est le filtre de fréquence intermédiaire dont le gabarit est fixé par la recommandation, et qui a été donné précédemment en figure 1.18. Il nécessite la réalisation d'un filtre de bande

passante égale à 722 kHz et d'ordre 10. Les deux filtres suivants concernent le filtrage de la voie montante (10 à 30 MHz) et de la voie descendante (50 à 87 MHz). Le gabarit et l'ordre de ces filtres ne sont pas défini. Cependant, il est nécessaire d'assurer une réjection d'au moins 30 dB entre les harmoniques indésirables issus du mélange de fréquence et le signal utile transmis. Une étude par simulation employant le logiciel COMSIS a permis de déterminer quels sont les compromis de réalisation acceptables pour assurer ces deux caractéristiques [21]. Le logiciel COMSIS est un logiciel de simulation fonctionnelle permettant la description d'une chaîne de transmission par différents blocs paramétrables, réalisant différentes fonctions, et nous permettant de valider nos choix architecturaux.

Le choix du type de filtre est effectué en fonction du type de mélange (élévateur ou abaisseur de fréquence), et surtout en fonction de sa linéarité. En effet, plus un mélangeur sera linéaire, moins il générera d'harmoniques indésirables qui devront être supprimés par filtrage. Ceci influe donc sur le choix de la valeur de la fréquence intermédiaire. La qualité de transmission dépend alors fortement de la qualité du décalage spectral réalisé par les mélangeurs.

1.5.2. Mélangeur, ordre de filtre, et fréquence intermédiaire.

Le choix du type de filtre (passe-bas, passe-bande, passe-haut) est à effectuer en fonction du type de mélangeur employé. Un mélangeur idéal permet un décalage spectral sans harmoniques indésirables. Dans le cas du mélangeur idéal, celui-ci génère deux raies spectrales comme le montre la figure 1.19. Le problème du filtrage va être de permettre l'isolation d'une de ces raies pour pouvoir l'émettre, ou la recevoir. Si on désire récupérer la raie supérieure, on peut employer un filtre passe-haut, ou passe-bande. si on désire récupérer la raie inférieure, on peut employer un filtre passe-bas ou passe-bande.

Dans la réalité, un mélangeur génère des harmoniques indésirables, mais qui sont généralement d'amplitude moins élevée que les deux raies spectrales désirées. On a donc deux possibilités:

- Soit on récupère la fréquence basse, et on peut donc, à l'émission, se contenter d'un filtre passe-bas. En réception, par contre on doit impérativement employer un filtre passe-bande.

- Soit on récupère la fréquence haute, et dans ce cas on emploie dans les deux cas un filtre passe-bande.

Le choix du type et de l'ordre du filtre va dépendre de la valeur de la fréquence intermédiaire, et de l'efficacité du mélangeur, afin de respecter le cahier des charges demandé par la recommandation DAVIC.

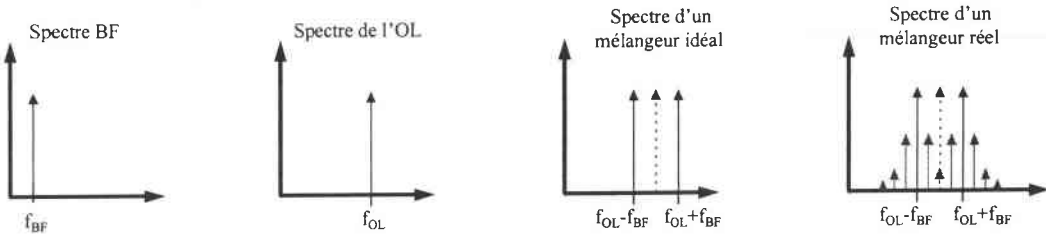


Fig. 1.19: Spectres d'un signal BF, d'un oscillateur local (OL), d'un mélangeur idéal, et d'un mélangeur réel.

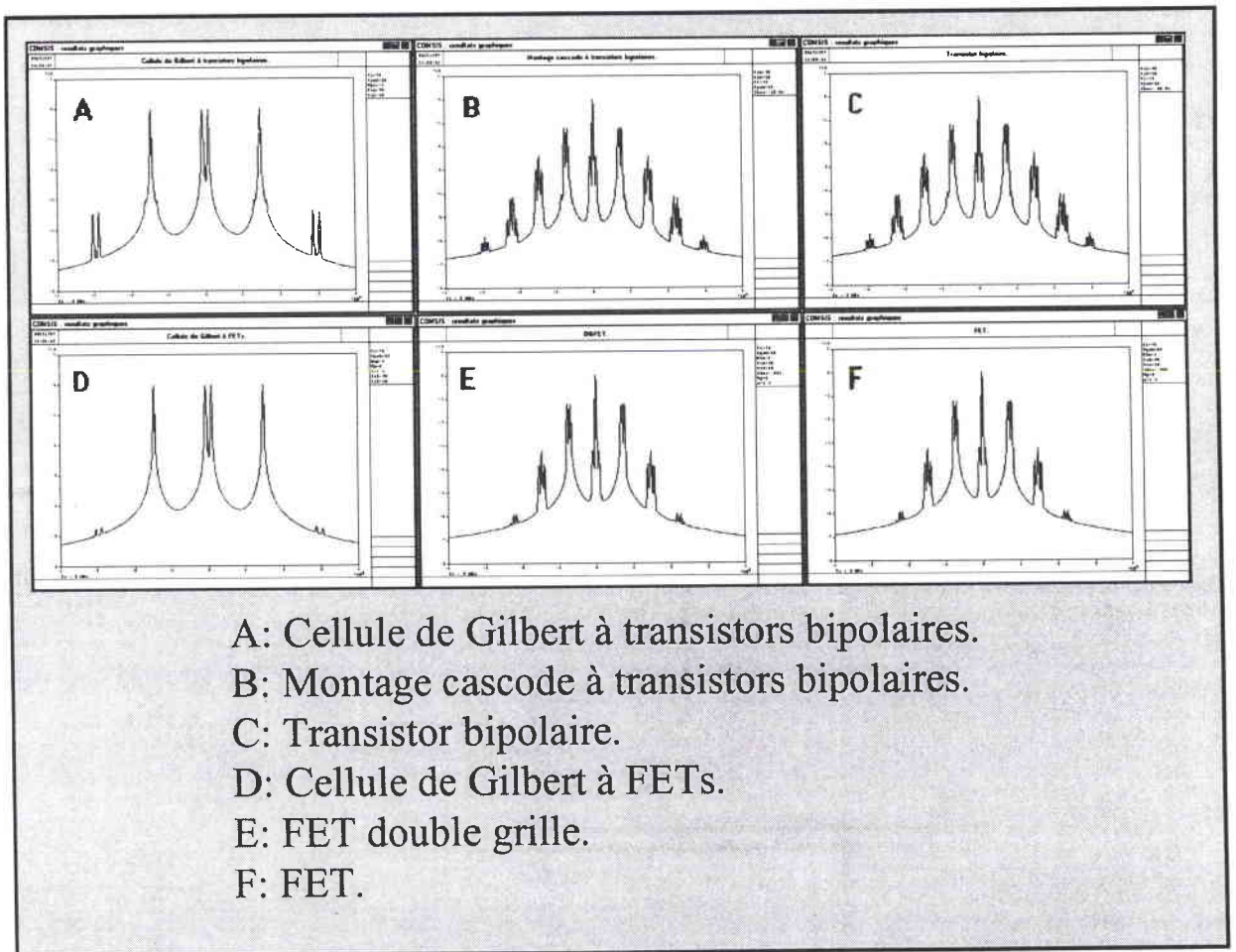


Fig. 1.20: Allure des spectres transmis pour chaque mélangeur; Cas d'une fréquence intermédiaire à 70 MHz

Nous avons démontré qu'il existe un lien important entre la valeur de la fréquence intermédiaire, l'ordre des filtres de bande, et le type de mélangeur employé, et que la qualité de transmission dépend fortement des choix de réalisation effectués sur ces trois facteurs [21]. Par exemple, comme le montre la figure 1.20, une réalisation à base de transistor, par rapport à une réalisation avec une cellule de Gilbert, va nécessiter un filtrage beaucoup plus sélectif. En effet, plus les non-linéarités des composants employés seront accrues, plus il y aura apparition d'harmoniques indésirables. Ceci joue énormément sur la valeur de la fréquence intermédiaire à employer. La figure 1.21 montre l'évolution de la valeur de la fréquence intermédiaire minimale permettant d'assurer, pour chaque type de mélangeur, une réjection d'au moins 30 dB entre harmoniques indésirables et signal utile. Plus les composants génèrent d'harmoniques, comme les transistors bipolaires et à effet de champ, plus la valeur de la fréquence intermédiaire doit être élevée pour assurer la réjection demandée. Les diodes n'apparaissent pas dans ces simulations car elles sont employées dans une gamme de fréquence trop élevée pour notre application.

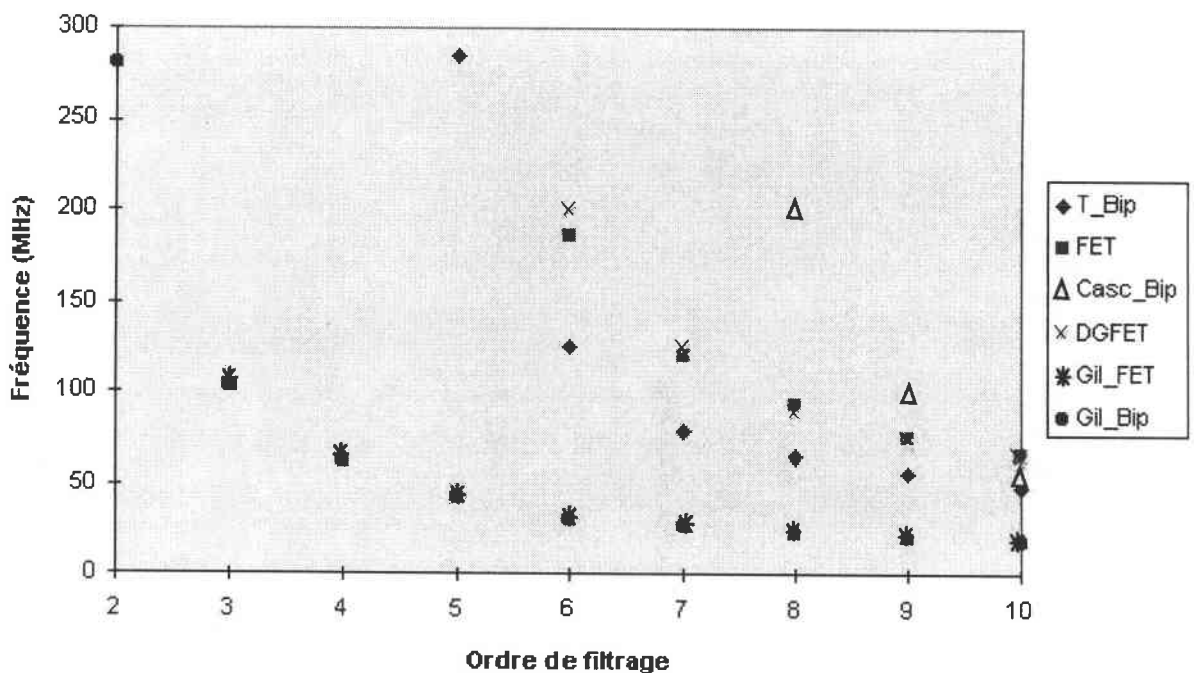


Fig. 1.21: Valeur de la fréquence intermédiaire en fonction de l'ordre de filtrage et du type de mélangeur: cas critique d'une émission à 10 MHz en voie montante.

1.5.3. Qualité de transmission, et type de mélangeur.

Nous avons aussi démontré que la qualité de transmission dépend fortement des choix de réalisation effectués sur la valeur de la fréquence intermédiaire, l'ordre des filtres de bande, et le type de mélangeur. Pour estimer les performances de l'association de chacun des mélangeurs avec un type de filtre particulier, nous avons simulé les deux étages radiofréquences (émetteur, et récepteur) de la chaîne de transmission dans le cas critique d'une émission à 10 MHz en voie montante (bande 10-30 MHz).

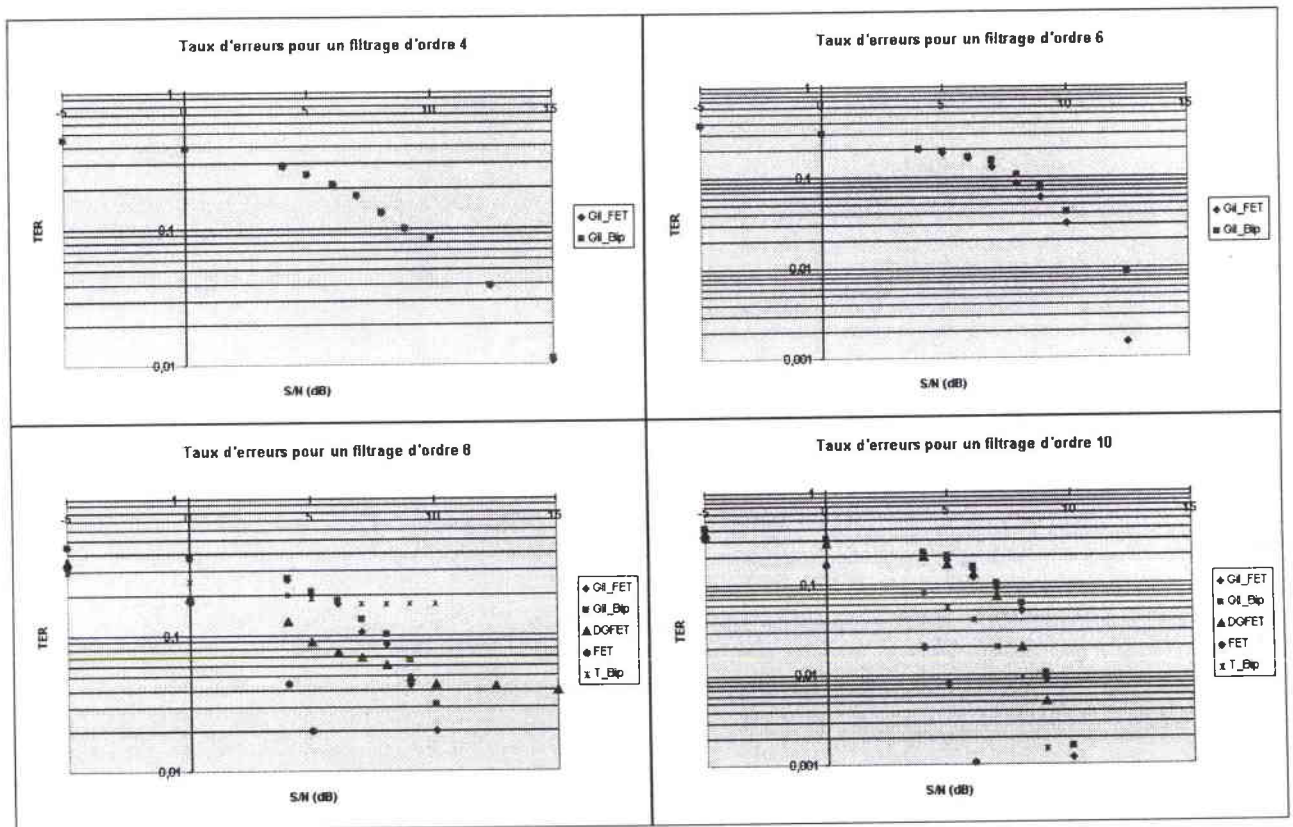


Fig. 1.22: Taux d'erreurs pour chaque mélangeur et chaque ordre de filtre employés: cas critique d'une émission à 10 MHz en voie montante.

Nous avons pu ainsi déterminer les variations du taux d'erreurs, entre émission et réception, en injectant du bruit blanc Gaussien de puissance variable sur le canal de transmission. Les courbes de la figure 1.22 montre l'évolution de celui-ci pour chaque mélangeur simulé. Les simulations sont effectuées en conservant les valeurs de fréquence

intermédiaire obtenues précédemment (voir figure 1.21), et nous faisons varier le niveau de bruit lors de la transmission. Ceci permet, par la méthode de Monte-Carlo, d'obtenir les résultats de la figure 1.22.

Pour le filtrage d'ordre 10, il est paradoxal de noter que les composants fortement non-linéaires (transistor bipolaire, transistor à effet de champ, et DGFET) donnent de meilleurs résultats que les composants linéaires (cellules de Gilbert). Ceci est vraisemblablement dû aux modèles employés qui sont plus performants à ces fréquences pour ces composants.

Pour le filtrage d'ordre 8, seuls les transistors à effet de champ et les cellules de Gilbert peuvent assurer une transmission sans erreurs, mais avec un rapport S/N élevé. Dans le cas des autres mélangeurs, il apparaît une stagnation du taux d'erreurs. Ceci montre les limites du filtrage et l'augmentation de l'influence des harmoniques générés par les modèles fortement non-linéaires de ces mélangeurs. Cependant, les transistors à effet de champ restent les plus performants.

Pour les filtrages d'ordre 4 et 6, seules les cellules de Gilbert permettent une transmission à taux d'erreurs nul, mais avec la nécessité d'assurer un rapport S/N conséquent. Ces types de mélangeurs possèdent des caractéristiques très linéaires qui leur permettent de ne pas détériorer le signal à l'émission, et surtout, contrairement aux autres mélangeurs, de ne pas générer trop d'harmoniques de mélange perturbant la transmission. On remarque par ailleurs que les cellules de Gilbert à FETs sont plus performantes que les cellules de Gilbert à transistors bipolaires. Ceci est dû à une meilleure linéarité des transistors à effet de champ par rapport aux transistors bipolaires employé dans ces cellules.

Le filtrage d'ordre 2 n'apparaît pas du fait des valeurs de fréquence intermédiaire qu'il aurait fallu employer. En effet, pour les cellules de Gilbert, celle ci aurait été d'environ 280 MHz, ce qui dépasse les performances du logiciel et des modèles employés.

1.5.4. Conclusion.

La simulation montre que l'étage de transposition de fréquence peut être réalisé de différentes manières, mais qu'un compromis est à faire entre filtrage, type de mélangeur, qualité de transmission, et coût de réalisation. La solution la plus facile à mettre en oeuvre, mais la plus coûteuse, est sans doute l'emploi des cellules de Gilbert avec un filtrage d'ordre

4. La solution la moins coûteuse, mais certainement la plus difficile à mettre en oeuvre, est l'emploi d'un FET avec filtrage d'ordre 8. Entre ces deux possibilités, il est certainement possible d'obtenir des résultats équivalents en accordant le circuit sur une seule fréquence, mais l'agilité en fréquence n'est plus assurée, et nous sortons du cadre de la recommandation DAVIC.

1.6. CONCLUSION.

Dans cette partie nous avons présenté un état de l'art des différentes techniques de réalisation des étages radiofréquences dans le cadre d'une réalisation de modem numérique. Nous avons particulièrement étudié la chaîne de transmission de données proposée par la recommandation DAVIC [1] dans le cadre d'une application modem interactive. Cette application comprend un étage de traitement des données, et un étage radiofréquence. Ce dernier permet d'adapter les données numériques au support de transmission. Cet étage nécessite un modulateur I&Q (phase et quadrature), un mélangeur, un démodulateur, et différents filtres. Pour permettre de définir les besoins réels pour une application de ce type, une simulation des différents étages radiofréquences potentiellement utilisables a été effectuée. Cette étude portant sur une transmission en voie montante, à la fréquence de 10 MHz, en modulation DQPSK, à 1,544 Mbits/s a permis de montrer quels sont les problèmes rencontrés lors de la mise au point de ces étages radiofréquences. Il en ressort que plusieurs possibilités de réalisation sont envisageables, mais qu'elles nécessitent d'effectuer un compromis entre ordre de filtrage, type de mélangeur, qualité de transmission, et surtout coût de réalisation.

Pour passer à une réalisation numérique, il est essentiel de conserver les qualités de simplicité de réalisation des modulateurs et démodulateurs numériques, ainsi que les qualités de linéarités des mélangeurs, et de réussir à s'affranchir de la complexité des étages de filtrage qui sont très difficiles à réaliser en numérique aux fréquences désirées (de 10 à 57 MHz).

CHAPITRE 2

NUMERISATION DES ETAGES RADIOFREQUENCES

2.1. INTRODUCTION.

Dans le premier chapitre, nous avons étudié les différentes fonctions essentielles à l'élaboration d'un étage radiofréquence en analogique, et nous en avons tiré les principales caractéristiques de fonctionnement. Pour pouvoir réaliser un tel étage en numérique, il faut préalablement faire un choix parmi les différentes réalisations correspondant aux différentes fonctions qui peuvent y être employées. Dans la littérature, on trouve quelques réalisations de partie numérisée d'étages radiofréquences. Par exemple, GYSELINCKX et al. [22] ont réalisé une étage de modulation à étalement de spectre totalement numérique et employant une technique de DDS (Digital Direct Synthesis) améliorée. Un autre exemple est la publication de SCHAUMONT et al. [23] qui présente un étage complètement numérisé de modulation I&Q associé à un décalage de fréquence. Ces deux exemples rapides montrent l'intérêt croissant de la recherche pour les architectures nouvelles dans le domaine du numérique. Un état de l'art concernant les différents fonctions nécessaires à la réalisation de notre étage radiofréquence numérisé s'impose donc.

Nous verrons ainsi comment il est possible de générer un signal sinusoïdal numérisé par emploi de la technique DDS pour réaliser les oscillateurs locaux nécessaires à l'application. Nous étudierons de même les différents additionneurs numériques usuels, afin de déterminer quelle architecture sera la mieux adaptée pour la modulation. Nous verrons également qu'il est possible de réaliser le mélange de fréquence par multiplication numérique, et nous étudierons les trois architectures les plus courantes pour réaliser cette fonction. Nous déterminerons les avantages et les inconvénients de chacune des structures. Nous verrons ensuite comment la démodulation peut être réalisée, et enfin, nous aborderons le problème du filtrage, qui reste délicat à de telles fréquences. Nous verrons que l'emploi de la technique de sous-échantillonnage par décimation peut remplacer dans notre cas, et sous certaines conditions, un filtrage numérique usuel, avec de meilleures performances.

2.2. MODULATION I&Q PAR DDS.

2.2.1. Introduction.

La DDS (Digital Direct Synthesis), ou synthèse numérique directe, est la technique la plus employée pour permettre la génération d'un signal numérisé [22]. Nous expliquerons son principe de base, puis comment l'appliquer à la génération d'un signal sinusoïdal. Nous verrons qu'il est alors possible de générer le signal modulé DQPSK par l'emploi d'un modulateur I&Q.

2.2.2. Principe de la DDS.

Le principe de la DDS consiste à 'recréer' numériquement, et point par point, le signal que l'on désire obtenir. Une cellule réalisant la DDS est généralement composée (voir figure 2.1):

- D'un bloc d'adressage
- D'une mémoire de type ROM.

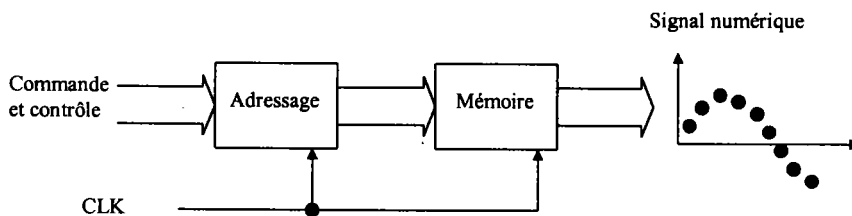


Fig. 2.1: Schéma de principe d'une génération de signal par DDS.

Dans la mémoire sont stockées différentes valeurs du signal que l'on désire obtenir. Le bloc d'adressage va permettre de lire ces différentes valeurs et, en employant une conversion numérique-analogique, on restitue l'allure du signal que l'on désire obtenir. Un filtrage passe-bas sera nécessaire pour éliminer les harmoniques issues du séquençage du convertisseur.

2.2.3. Génération d'une sinusoïde par DDS.

La génération d'un signal sinusoïdal par DDS reprend le schéma de la figure 2.1, qui utilise un additionneur pour réaliser le bloc d'adressage mémoire [22]. Dans la mémoire sont stockées N valeurs correspondant à une période du signal. Par une lecture successive de ces valeurs, on peut restituer le signal désiré en sortie. La lecture se fait par incrément P pour permettre de sélectionner l'adresse de la valeur désirée (voir figure 2.2). On obtient un signal sinusoïdal de fréquence $f_{\text{signal}} = P \cdot f_{\text{CLK}} / N$ qui est variable entre la moitié de la fréquence d'horloge et 1/N fois la valeur de la fréquence d'horloge. L'avantage d'une telle structure est qu'elle est simple à mettre en oeuvre. Son gros inconvénient est qu'elle est limitée par la vitesse de calcul de l'additionneur.

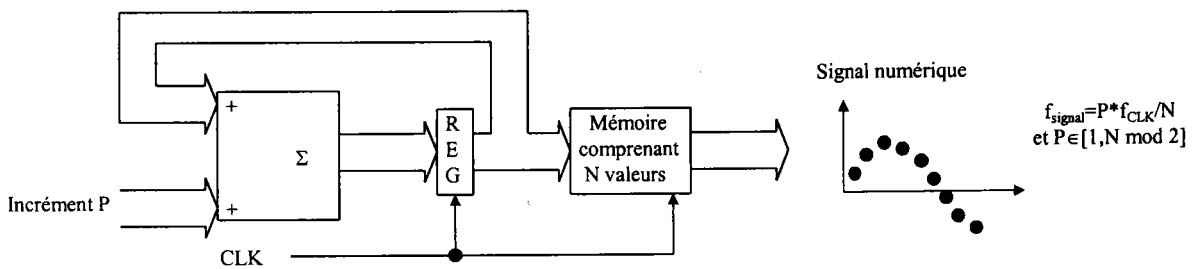


Fig. 2.2: Schéma de principe d'une génération de signal par DDS à additionneur.

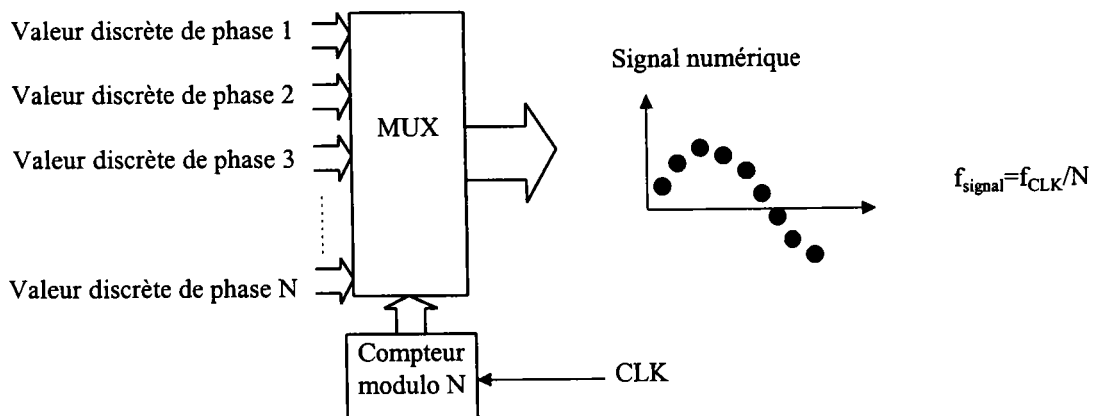


Fig 2.3: Schéma d'une génération de signal par DDS à multiplexeur.

Pour supprimer la limitation en vitesse induite par l'additionneur, on peut employer une technique câblée en lisant toute les valeurs de la mémoire. On emploie alors comme le montre la figure 2.3, un compteur modulo N, et un multiplexeur dont les N entrées sont câblées. Le réglage de la fréquence $f_{\text{signal}}=f_{\text{CLK}}/N$ se fait par variation de la fréquence de séquençement, et la description discrète du signal sur une période est toujours de N points.

2.2.4. Application au cas de la modulation I&Q.

SCHAUMONT [23] dans une des ses publications, a réalisé la modulation numérique par l'emploi de deux générateurs sinusoïdaux en quadrature (déphasé de $\pi/2$) qui sont modulés par les symboles I et Q, et que l'on additionne par la suite (voir figure 2.4). On a ici une architecture qui pourra être ainsi utilisée pour plusieurs types de modulation numérique. Les performances d'une telle réalisation sont essentiellement dépendantes de celles des multiplicateurs et des additionneurs.

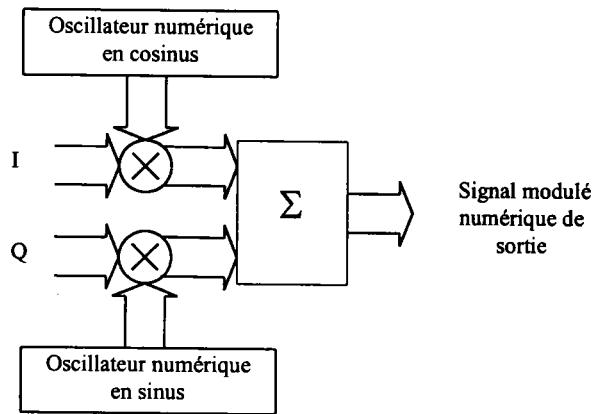


Fig. 2.4: Exemple d'une synthèse directe par DDS pour une modulation I&Q.

2.2.5. Conclusion.

Nous venons de voir qu'il est possible de réaliser des oscillateurs numériques, et des modulateurs numériques. Deux points critiques subsistent: la réalisation de la cellule de multiplication numérique, et la réalisation de la cellule d'addition numérique. En effet, dans

chaque cas, il va falloir trouver une solution qui permette d'augmenter la vitesse de calcul et/ou du flot de données traversant la cellule en question. Un état de l'art rapide des différentes architectures d'additionneurs et de multiplicateurs numériques s'impose donc.

2.3. ADDITIONNEURS NUMERIQUES.

2.3.1. Introduction.

Dans son mémoire, ZIMMERMANN [24] reprend les différents types d'additionneurs existants, et qui sont couramment employés dans des réalisations d'unités arithmétique et logique (ALU), ou des unités de calcul pour processeur (CPU). Notre intérêt est d'étudier différentes structures de réalisation, et de les optimiser (vitesse de calcul, complexité de structure) pour les employer dans les différents blocs nécessitant une addition (mélangeur et filtre).

Les additionneurs sont réalisés à partir de deux cellules de bases qui sont le demi additionneur, et l'additionneur complet. Celles-ci servent à réaliser quatre principaux types d'additionneurs simples: l'additionneur à propagation de retenue, l'additionneur à sauvegarde de retenue, l'additionneur à retenue sélective, et l'additionneur à arbre de Wallace.

2.3.2. Additionneur 1 bit.

2.3.2.1. Demi additionneur.

Le demi additionneur permet le calcul de la somme S et de la retenue R lors de l'addition entre deux bits A et B . Il est aussi assimilé à un comptage du nombre de bit à 1 parmi A et B . Il est aussi appelé compteur (2,2).

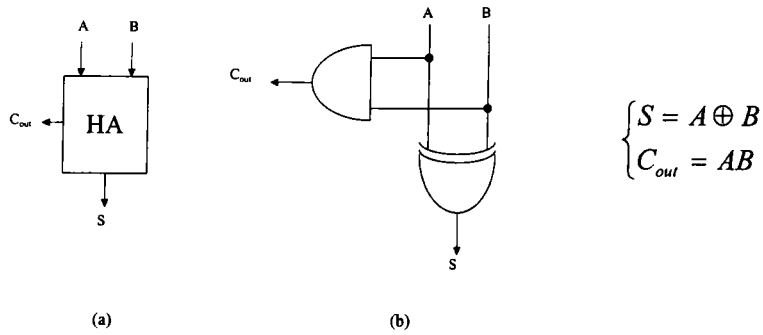


Fig. 2.5: Symbole logique (a), et schéma électrique d'un demi additionneur (b)

2.3.2.2. Additionneur complet.

L'additionneur complet permet le calcul de la somme S et de la retenue C_{out} lors de l'addition de trois bits A, B, et C_{in} . Il est aussi appelé compteur (3,2), car il permet le comptage du nombre de bit à 1 parmi A, B, et C_{in} .

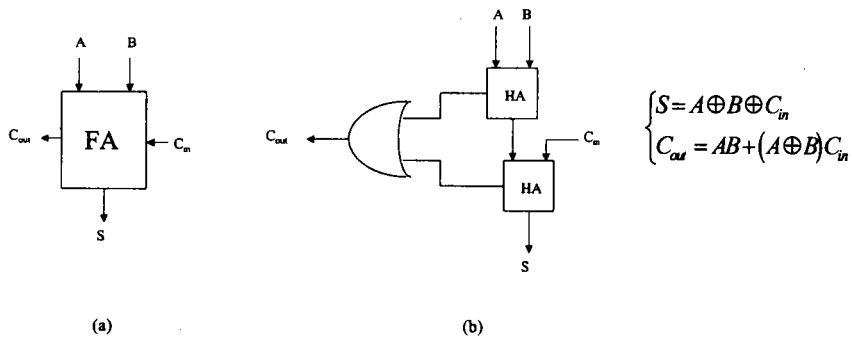


Fig. 2.6: Symbole logique (a), et schéma électrique d'un additionneur complet (b)

2.3.3. Additionneur à propagation de retenue.

Les additionneurs à propagation de retenue (CPA pour Carry Propagate Adder, appelé aussi Ripple Carry Adder) permettent de réaliser l'addition de deux nombres binaires de n bits, $A=(A_{n-1}, A_{n-2}, \dots, A_0)$ et $B=(B_{n-1}, B_{n-2}, \dots, B_0)$, et d'une retenue optionnelle C_{in} , en assurant la propagation de la retenue. Le résultat est un nombre de n+1 bits, consistant en un nombre $S=(S_{n-1}, S_{n-2}, \dots, S_0)$, et d'une retenue de débordement C_{out} . Comme le montre la figure 2.7, il

faut attendre la fin de la propagation de la retenue à travers les n cellules d'addition complètes (FA pour Full Adder), pour obtenir le résultat final. On a ici un additionneur très facile à câbler, et d'une très grande régularité, mais dont le temps de calcul est élevé.

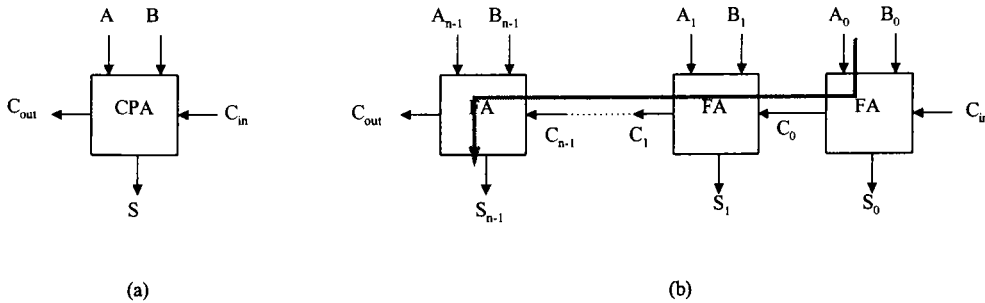


Fig. 2.7: Symbole logique (a), et schéma fonctionnel d'un additionneur à propagation de retenue (b).

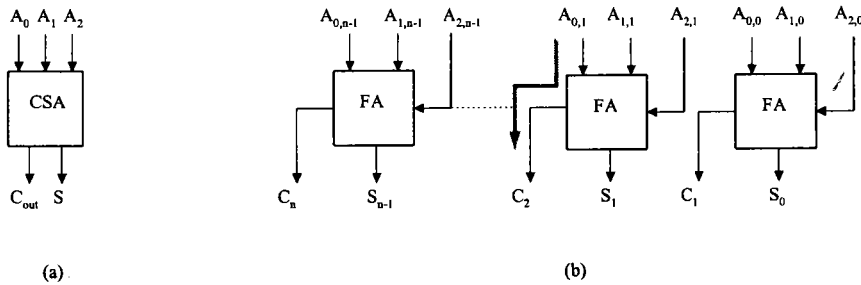


Fig. 2.8: Symbole logique (a), et schéma fonctionnel d'un additionneur à sauvegarde de retenue (b).

2.3.4. Additionneur à sauvegarde de retenue.

Les additionneurs à sauvegarde de retenue (CSA pour Carry Save Adder) assurent la fonction d'addition en traitant la retenue intermédiaire comme une sortie, et sans la propager au travers la cellule de calcul suivante. La retenue de chaque étage est ainsi « sauvegardée ». Le résultat est composé de deux nombres de n bits: S pour la somme et C pour la retenue. Un tel additionneur accepte 3 opérands binaires en entrée. Comme le montre la figure 2.8, l'architecture des ces additionneurs est composée d'un arrangement linéaire d'additionneurs complets. Celle ci possède un délai de calcul constant et indépendant du nombre de cellules FA employées. Cependant, un calcul complémentaire doit être effectué pour obtenir le résultat

final. En effet, on ne dispose que de deux nombres binaires qui doivent de nouveau être ajouté l'un à l'autre pour obtenir le résultat voulu.

2.3.5. Additionneur à retenue sélective.

Les additionneurs à retenue sélective permettent de réaliser des additionneurs binaires très rapides. Ils sont basés sur les cellules données en figure 2.9, qui utilisent respectivement soit des additionneurs complets (FA), soit des additionneurs à propagation de retenue (CPA). Le principe consiste à anticiper le calcul de la retenue entre deux bits A_i et B_i . Cette retenue détermine alors quelle est la bonne addition qui a été effectuée sur l'étage suivant. On peut alors avoir des additionneurs sur n bits dont le temps de calcul est proportionnel à $\text{Log}_2(n)$, ayant une bonne régularité de structure, mais dont la surface d'implantation reste assez élevée.

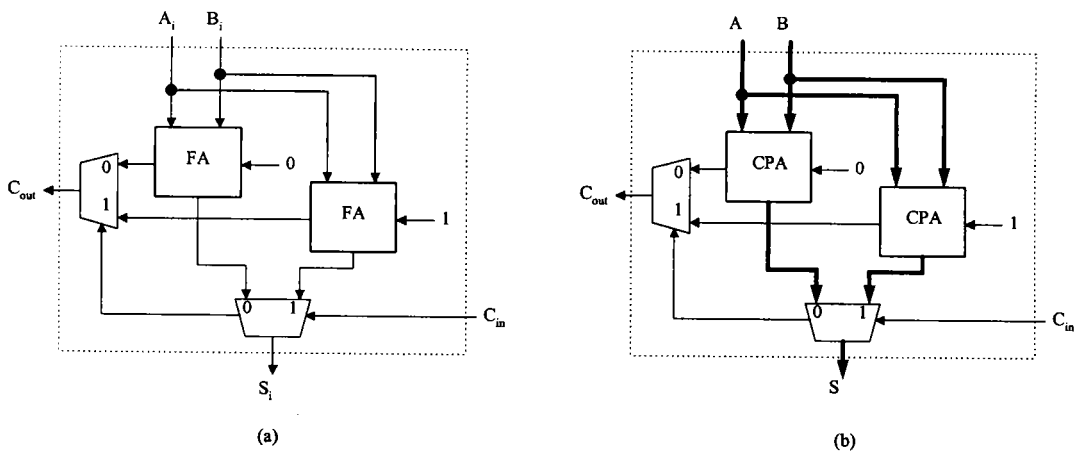


Fig. 2.9: Cellule de base d'un additionneur à retenue sélective avec additionneur complet 1 bit (a), et avec additionneur à propagation de retenue (b).

2.3.6. Additionneur à arbre de Wallace.

Les additionneurs à arbre de Wallace sont composés d'une structure arborescente d'additionneurs à sauvegarde de retenue, et d'un additionneur à propagation de retenue. Ceci leur permet d'être des additionneurs multi-opérandes très rapides. La figure 2.10 donne l'exemple de l'addition de 4 opérands A_0 , A_1 , A_2 et A_3 de n bits.

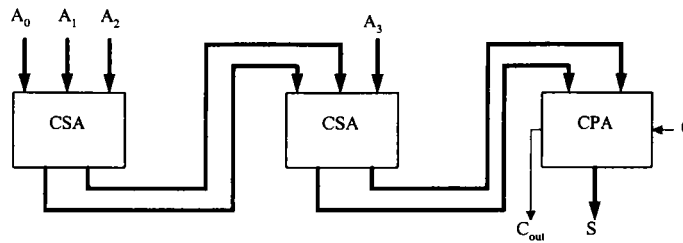


Fig. 2.10: Structure d'un additionneur en arbre de Wallace pour 4 opérandes.

2.3.7. Conclusion.

Dans cette partie, nous venons de voir les principaux types d'additionneurs: l'additionneur à propagation de retenue, l'additionneur à sauvegarde de retenue, l'additionneur à retenue sélective, et l'additionneur à arbre de Wallace. Chacun de ces additionneurs possède des caractéristiques qui sont énoncées dans le tableau de la figure 2.11. On remarquera que plus une architecture permet d'effectuer le calcul rapidement, plus sa structure devient irrégulière, et plus sa surface de layout augmente. Il faudra donc certainement trouver un compromis entre toutes ces caractéristiques.

Types d'additionneurs	Nombres de cellules d'addition	Rapidité de calcul	Régularité de structure	Surface de layout
Additionneurs à propagation de retenue	n	proportionnel à n	« Très bonne »	« Très petite »
Additionneurs à sauvegarde de retenue	n	proportionnel à n	« Très bonne »	« Moyenne »
Additionneurs à retenue sélective	2n	proportionnel à \sqrt{n}	« Moyenne » à « mauvaise »	« Elevée »
Additionneurs à arbre de Wallace	(n-1)*Nb opérandes	proportionnel à $\text{Log}_2(n)$	« Moyenne »	« Elevée »

Fig. 2.11: Caractéristiques générales des différentes architectures d'additionneurs. (n est le nombre de cellules d'addition complète utilisées)

2.4. MELANGE FREQUENTIEL PAR MULTIPLICATION NUMERIQUE.

2.4.1. Introduction.

Nous avons vu au chapitre 1 que le mélange de fréquence peut être réalisé par la multiplication de deux signaux. Cette technique est employée par les cellules de Gilbert, et donne de très bon résultat du fait de la très bonne linéarité de cette fonction. Pour réaliser les fonctions nécessitant une cellule de multiplication (mixer, modulateur, démodulateur, filtre), nous allons devoir utiliser une cellule de multiplication numérique. Une justification mathématique sera donnée afin de prouver qu'il est faisable de réaliser cette fonction par le biais de la multiplication numérique. Un état de l'art des architectures existantes sera présenté, en faisant remarquer que comme pour les additionneurs, ces architectures sont les plus souvent dédiées à des réalisations d'ALU ou de CPU.

L'opération de multiplication de deux entiers peut être décrites (voir figure 2.12), pour n'importe quelle base de calcul (binaire, décimal, etc.) par les deux étapes suivantes [24]:

- 1/ Le calcul des différents produits partiels
- 2/ L'addition des produits partiels obtenus.

Le produit de deux nombres de n digits peut être donné par un nombre de 2n digits. Dans le système binaire, une porte ET peut être employée pour générer les produits partiels $X_i Y_j$ entre chaque digit des deux multiplicandes [26]. Une addition (avec propagation de retenue) est effectuée sur chaque colonne de produits partiels.

				X_3	X_2	X_1	X_0	Multiplicande
				Y_3	Y_2	Y_1	Y_0	Multiplicande
			$X_3 Y_1$	$X_3 Y_3$	$X_2 Y_0$	$X_1 Y_0$	$X_0 Y_0$	
		$X_3 Y_2$	$X_2 Y_1$	$X_2 Y_1$	$X_1 Y_1$	$X_0 Y_1$		
	$X_3 Y_3$	$X_2 Y_3$	$X_1 Y_2$	$X_1 Y_2$	$X_0 Y_2$			
		$X_1 Y_3$	$X_0 Y_3$					
P_7	P_6	P_5	P_4	P_3	P_2	P_1	P_0	Produit

Fig. 2.12: Exemple de multiplication de deux nombres à 4 digits.

Généralement, on distingue trois catégories de multiplieurs [27]: Les multiplieurs à architecture série, les multiplieurs à architecture série/parallèle, et les multiplieurs à architecture parallèle. Pour notre application, nous recherchons une architecture permettant de réaliser une multiplication extrêmement rapide, ce qui est impossible avec la forme série et la forme série/parallèle, qui sont énoncées ci-dessus [27]: une architecture parallèle est donc à envisager. Cependant, il existe plusieurs architectures possibles pour la forme parallèle. Celles-ci sont les multiplieurs naïfs, les multiplieurs par arbre de Wallace, et les multiplieurs par codage de Booth. Les performances de ces trois types de multiplieurs seront étudiées, afin d'effectuer un choix sur l'architecture la plus adaptée à notre application.

2.4.2. Justification mathématique.

Pour justifier mathématiquement l'emploi d'une cellule de multiplication numérique, nous reprenons les calculs développés par VAN DER ENDEN et VERHOECKX [28], et BELLANGER [27] dans leurs ouvrages respectifs.

Considérons deux suites $x(n)$ et $y(n)$ définies sur N points. Soient $X(k)$ et $Y(k)$ leurs Transformée de Fourier Discrète (TFD) respectives. Les équations 2.1 et 2.2 donnent les relations reliant les suites $x(n)$ et $y(n)$ à leur transformée de Fourier $X(k)$ et $Y(k)$.

$$(Eq\ 2.1) \quad \begin{cases} x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) e^{2\pi i \frac{kn}{N}} \\ y(n) = \frac{1}{N} \sum_{k=0}^{N-1} Y(k) e^{2\pi i \frac{kn}{N}} \end{cases}$$

et

$$(Eq\ 2.2) \quad \begin{cases} X(k) = \sum_{n=0}^{N-1} x(n) e^{-2\pi i \frac{kn}{N}} \\ Y(k) = \sum_{n=0}^{N-1} y(n) e^{-2\pi i \frac{kn}{N}} \end{cases}$$

Soit $s(n)$ la suite définie par $s(n)=x(n)y(n)$ et l'équation 2.3 qui donne $S(k)$ sa TFD.

$$(Eq\ 2.3) \quad S(k) = \sum_{n=0}^{N-1} s(n) e^{-2\pi n \frac{k}{N}}$$

L'équation 2.4 donne l'expression de $s(n)$ en fonction de $S(k)$.

$$(Eq\ 2.4) \quad s(n) = \frac{1}{N} \sum_{k=0}^{N-1} S(k) e^{2\pi n \frac{k}{N}}$$

L'équation 2.5 donne l'expression de $S(k)$ en fonction de $X(k)$ et $Y(k)$ où $*$ représente le produit de convolution.

$$(Eq\ 2.5) \quad S(k) = \frac{1}{N} X(k) * Y(k)$$

Plaçons-nous dans le cas particulier où $x(n) = 2 \cos \frac{2\pi n f}{N}$. D'après VAN DER ENDEN et VERHOECKX [28], nous obtenons alors l'équation 2.6.

$$(Eq\ 2.6) \quad S(k) = Y(k - f) + Y(k + f)$$

Nous avons ainsi un décalage en fréquence de $\pm f$ du spectre $Y(k)$. Une formule similaire à celle obtenue en analogique est donc obtenue, et la réalisation d'un mélangeur de fréquence en numérique est donc possible.

2.4.3. Multiplieur naïf.

L'architecture du multiplieur naïf est directement issue du parallélogramme de calcul donné par la figure 2.12. Chaque cellule est composée d'une porte ET effectuant le produit partiel entre deux digits, et d'un additionneur complet permettant l'addition entre chaque

produit partiel d'une même colonne, ainsi que la propagation de la retenue sur la cellule voisine (voir figure 2.13). Chaque P_k correspond à un produit partiel $X_i Y_j$, chaque S_k correspond à la somme des produits partiels de la colonne, et chaque R_k aux retenues à propager. La cellule de multiplication élémentaire est obtenue par ajout d'une porte ET sur une entrée d'un additionneur complet.

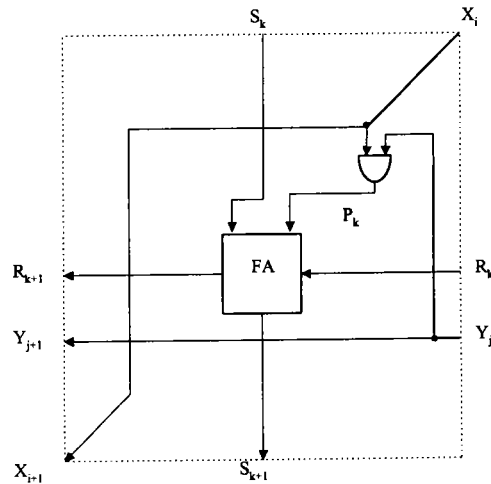


Fig. 2.13: Cellule de multiplication élémentaire.

Dans une architecture combinatoire, chaque produit partiel est généré en même temps, et on doit attendre le résultat de chaque additionneur en tenant compte des délais de propagation de chaque retenue générée. Le chemin critique correspond alors à une propagation verticale, puis horizontale des résultats. La flèche grise de la figure 2.14 donne le chemin critique dans le cas d'une multiplication de deux nombres binaires à 4 bits. Toutes les cellules de multiplication élémentaire possèdent le même délai de calcul (porte ET et additionneur complet). L'avantage d'une telle structure est sa grande régularité, et donc la possibilité d'effectuer une description VHDL par itération, et qui soit totalement paramétrable. Son grand désavantage est la proportionnalité entre délai critique et taille du multiplieur [29]. Cette architecture est la plus lente à effectuer le calcul ($2n-1$ additions si n est le nombre de bits des deux multiplicandes). Cependant, cette régularité permet de faciliter la synthèse du layout, de faciliter une mise sous forme pipe-line, et d'obtenir des multiplieurs numériques de petites tailles [29].

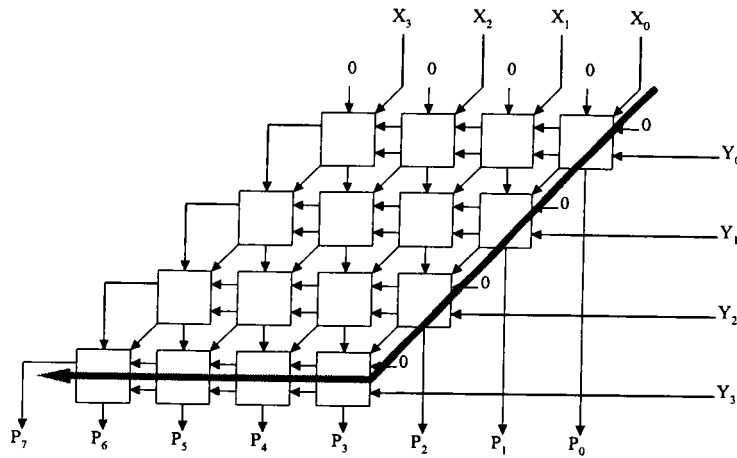


Fig. 2.14: Schéma bloc d'un multiplieur naïf pour deux nombres binaires de 4 bits.

2.4.4. Multiplieur en arbre de Wallace.

Nous avons vu que la multiplication se fait en deux étapes: le calcul des produits partiels, puis l'addition de ceux-ci. Le chemin critique d'un multiplieur dépend du délai de propagation des données pour chaque retenue des additionneurs. La figure 2.6 donne l'architecture d'une cellule d'addition complète. Cette cellule se trouve être la cellule de base d'un processeur pour réaliser le calcul de l'addition de deux nombres. On peut observer par ailleurs qu'un additionneur complet se révèle être un compteur de '1'. Donc, somme S_{k+1} et retenue R_{k+1} se trouvent être les sorties codées d'un arbre d'entrées en notation binaire [30]. Le multiplieur par arbre de Wallace est basé sur cette propriété. L'avantage d'une telle architecture (voir figure 2.15) est que l'on peut réaliser l'opération de multiplication sans avoir à attendre la propagation de la retenue. Ceci induit une plus grande rapidité de calcul du résultat final, car l'opération se réduit à plusieurs additions effectuées en parallèle. Pour réaliser une telle architecture, il faut préalablement regrouper les nombres à additionner en arbres, et orienter chaque groupe vers un additionneur complet. La seconde opération est de regrouper les résultats du premier calcul en un nouvel arbre, et de les orienter de nouveau vers des additionneurs complets. En continuant ces deux opérations, seulement deux nombres restent. Le temps de calcul correspond à $\text{Log}_2 n$ additions, où n est le nombre de bits des deux multiplicandes [30].

Le multiplieur à arbre de Wallace est plus rapide que l'additionneur naïf, mais son gros désavantage est sa structure irrégulière qui demande une attention toute particulière pour faciliter la synthèse du layout [31]. Malgré cela, il est difficile de réaliser un layout ayant une surface moindre que celui d'un multiplieur naïf.

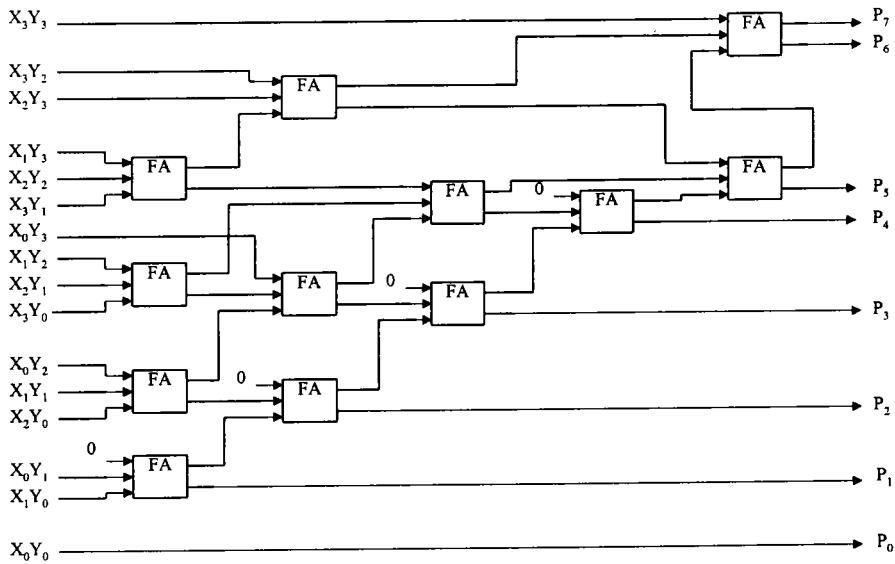


Fig. 2.15: Architecture d'un multiplieur à arbre de Wallace pour deux nombres binaires de 4 bits

2.4.5. Multiplieur par code de Booth.

Le principe du codage de Booth [32] est d'utiliser les séries de '1' adjacents d'un des deux multiplicandes pour réaliser la multiplication. On se limite alors à additionner ou soustraire selon les cas, les valeurs non nulles issues des multiplications partielles. La multiplication est alors beaucoup plus rapide [26].

Pour multiplier deux nombres M et R , on considère la somme $S=R$, puis on examine les bits M_n de M un par un, en commençant par le bit de poids faible, selon l'algorithme suivant:

- 1: Si $M_n=0$, et $M_{n+1}=0$, alors on multiplie la somme des produits partiels par 2, ce qui revient à faire un décalage à droite d'un bit.
- 2: Si $M_n=0$, et $M_{n+1}=1$, alors on additionne R à la somme des produits partiels, et on multiplie le résultat par 2, ce qui revient à faire un décalage à droite d'un bit.

- 3: Si $M_n=1$, et $M_{n+1}=0$, alors on soustrait R de la somme des produits partiels, et on multiplie le résultat par 2, ce qui revient à faire un décalage à droite d'un bit.
- 4: Si $M_n=1$, et $M_{n+1}=1$, alors on multiplie la somme des produits partiels par 2, ce qui revient à faire un décalage à droite d'un bit.
- 5: Ne pas multiplier par 2 dès que l'on arrive au rang M_n .

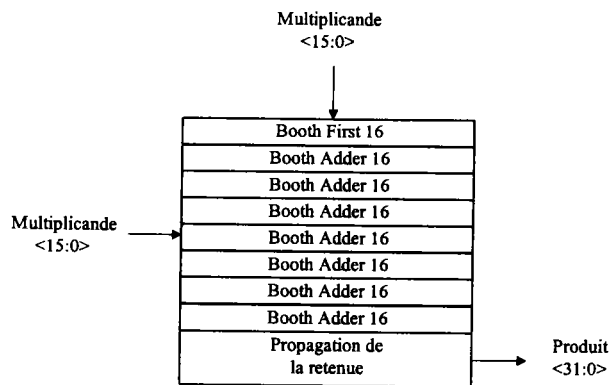


Fig. 2.16: Exemple d'architecture de multiplieur de Booth 16 X 16 bits.

L'avantage du codage de Booth est qu'il n'est pas nécessaire de corriger le résultat du produit quand l'un des deux multiplicandes est de valeur négative: on peut travailler en logique signée. Un multiplieur de Booth peut alors être décomposé en deux parties, une partie addition-codage, et une partie propagation de la retenue (voir figure 2.16). Les deux parties ont une architecture régulière, et le temps de calcul est très court, soit $(n-2)/2$ additions, si n est le nombre de bits des deux multiplicandes. Cette architecture est très utilisée pour les calculs de nombres signés dans les processeurs [26]. Un exemple de calcul simple est donné en annexe I.

2.4.6. Conclusion.

Nous venons de voir trois types d'architecture de multiplieurs: les multiplieurs naïfs, les multiplieurs à arbre de Wallace, et les multiplieurs à codage de Booth. Ces trois types d'architectures possèdent des avantages et des inconvénients qui sont résumés dans le tableau de la figure 2.17. On remarque, que comme pour les additionneurs, plus la vitesse de calcul

augmente, plus la surface de layout augmente, et plus structure devient irrégulière. Il faudra donc de nouveau trouver un compromis de réalisation entre tous ces paramètres afin de respecter les spécifications demandées par la recommandation DAVIC.

Types de multiplieurs	Nombres de cellules d'addition	Vitesse de calcul	Régularité de structure	Surface de layout
Multiplieur naïf	n^2	proportionnelle à $2n-1$	« Très bonne »	« Petite »
Multiplieur à arbre de Wallace	$2(n-1)*Nb$	proportionnelle à $\text{Log}_2(n)$	« Moyenne » à « mauvaise » selon les opérandes	« Moyenne »
Multiplieur à codage de Booth	Variable selon la taille des opérandes	proportionnelle à $(n-2)/2$	« Bonne »	« Elevée »

Fig. 2.17: Caractéristiques générales des différentes architectures de multiplieurs. (n est le nombre de cellules d'addition complète utilisées)

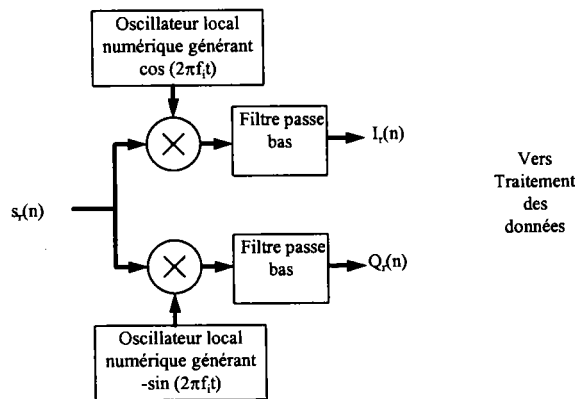


Fig. 2.18: Architecture d'un démodulateur I&Q numérique.

2.5. DEMODULATION I&Q.

La démodulation d'un signal modulé numériquement ne peut se faire qu'en reprenant l'architecture numérisée d'un démodulateur analogique donnée en figure 1.6 [27]. En effet, l'extraction des parties réelles et imaginaires, donc des symboles I et Q, n'est possible que par

cette technique. BARRETT [33] a montré dans son mémoire qu'il était possible de réaliser une telle structure en numérique, et que le point critique de réalisation se trouve au niveau des filtres passe-bas (voir figure 2.18). La difficulté de réalisation vient essentiellement des temps de calcul nécessaires aux blocs d'additions et de multiplications employés pour la réalisation d'un filtre numérique. Par exemple, dans le cas d'un filtre à réponse impulsionnelle finie à n coefficients, il faudra réaliser n multiplications et $n-1$ additions, le plus rapidement possible pour assurer une fréquence de séquençement la plus grande possible. Ces difficultés peuvent être contournées par le sous-échantillonnage et l'emploi du filtre numérique à décimation.

2.6. LES DIFFERENTS FILTRES NUMERIQUES.

2.6.1. Introduction.

Dans ce chapitre, nous allons aborder le problème du filtrage numérique. On distingue plusieurs catégories de filtres numériques [27, 28]: Les filtres numériques à réponse impulsionnelle finie (RIF), les filtres numériques à réponse impulsionnelle infinie (RII), et les filtres numériques multicauses, appelés aussi filtres numériques à décimation. Chacun de ces filtres peut être réalisé suivant différentes architectures, et possèdent des caractéristiques qui leur sont propres.

2.6.2. Filtres numériques à réponse impulsionnelle finie.

Les filtres numériques à réponse impulsionnelle finie (RIF) sont définis par une équation qui détermine les valeurs discrètes de sortie par une somme pondérée d'un ensemble fini de valeurs d'entrée. Les coefficients de pondération constituent la réponse impulsionnelle du filtre. Ce type de filtre détermine la valeur de sortie en fonction d'informations d'entrée « d'ancienneté » limitée.

L'équation 2.7 donne la relation reliant une série de N échantillons d'entrée $x_n(t)$, et une série de N échantillons de sortie $y_n(t)$, échantillonnés à la fréquence $f_e = \frac{1}{T}$, après passage à travers un filtre RIF.

$$(Eq\ 2.7) \quad y(n) = \sum_{i=0}^{N-1} a_i x(n-i)$$

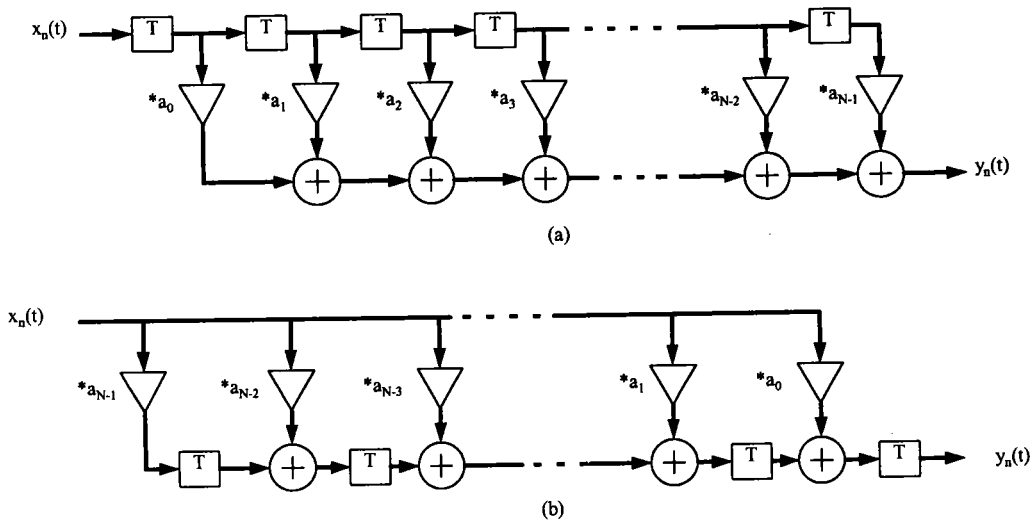


Fig. 2.19: Architectures des filtres RIF; (a): structure directe; (b): structure transposée.

2.6.3. Filtres numériques à réponse impulsionnelle infinie.

Les filtres numériques à réponse impulsionnelle infinie (RII) sont des filtres récursifs ayant des propriétés se rapprochant de celles des filtres analogiques. Pour obtenir les équations régissant les relations reliant une série de N échantillons d'entrée $x_n(t)$, et une série de N échantillons de sortie $y_n(t)$, échantillonnés à la fréquence $f_e = \frac{1}{T}$, on utilise le plus généralement la transformation en z. L'équation 2.8 donne la relation générale d'un filtre RII reliant les échantillons $x_n(t)$ et $y_n(t)$ en fonction de ses coefficients a_i et b_i .

$$(Eq\ 2.8) \quad y(n) = \sum_{i=0}^N a_i x(n-i) - \sum_{i=1}^N b_i y(n-i)$$

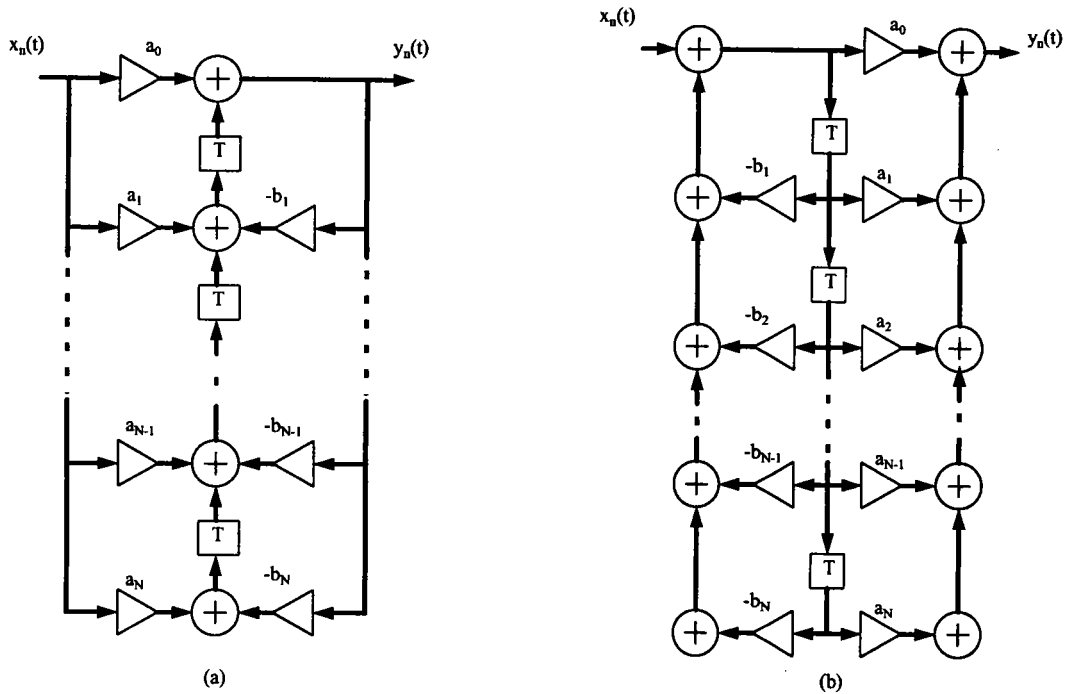


Fig. 2.20: Architectures des filtres RII; (a): structure N-D; (b): structure D-N.

2.6.4. Filtrés numériques à décimation.

BARRET [33] a montré dans son mémoire que les filtres numériques à décimation sont des systèmes utilisant une structure de filtre RIF ou RII, associée à une réduction de fréquence d'échantillonnage, car au cours des différentes opérations réalisées dans une chaîne de transmission, la largeur de bande du signal transmis varie. Le signal d'échantillonnage doit respecter le théorème de Shannon de telle sorte que la fréquence d'échantillonnage soit au moins du double de la fréquence maximale du spectre du signal. Etant donné que cette fréquence maximale peut varier, la fréquence d'échantillonnage qui lui est associée peut elle aussi varier. Considérons deux suites de nombres $x(nT_1)$ et $y(nT_2)$ échantillonnées respectivement à $f_1 = \frac{1}{T_1}$ et $f_2 = \frac{1}{T_2}$ (voir figure 2.21). Posons R le rapport de décimation tel que $T_2 = RT_1$. Il vient que $x(nT_1) = y(nRT_1)$. L'équation 2.9 donne la relation reliant $X(f)$ et $Y(f)$ les transformées de Fourier respectives de $x(n)$ et $y(n)$.

$$(Eq\ 2.9) \quad Y(f) = \frac{1}{R} X\left(\frac{f}{R}\right)$$

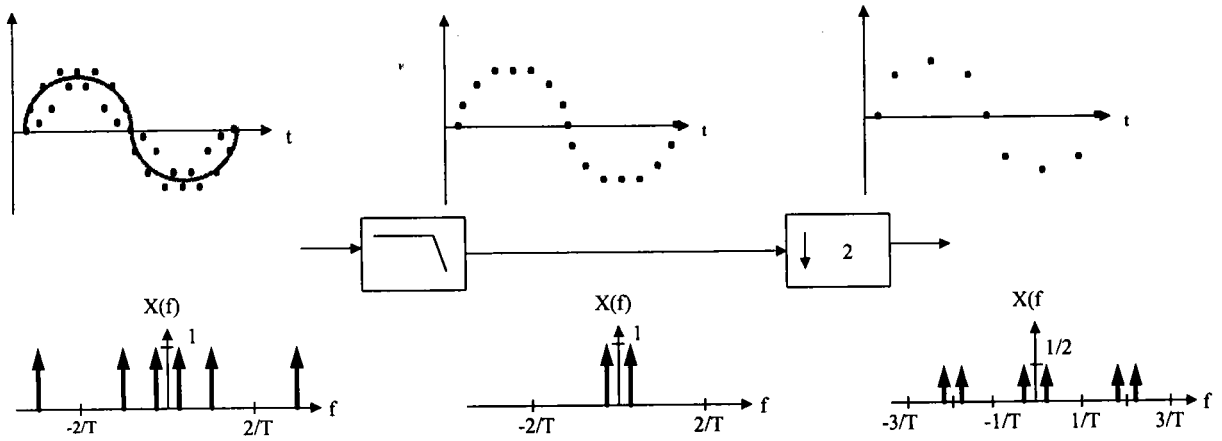


Fig. 2.21: Réduction de cadence - Allure des différents signaux pour le cas d'une décimation par 2.

La figure 2.21 donne un exemple d'allures des signaux échantillonnés et de leur transformée de Fourier respective. Dans cet exemple, nous sommes à la limite du théorème de Shannon, et la fréquence maximale du signal est égale à la moitié de la fréquence d'échantillonnage f_s . Pour pouvoir réaliser de telles structures, il est donc impératif d'éliminer les harmoniques indésirables afin d'éviter tout risque de repliement de spectre.

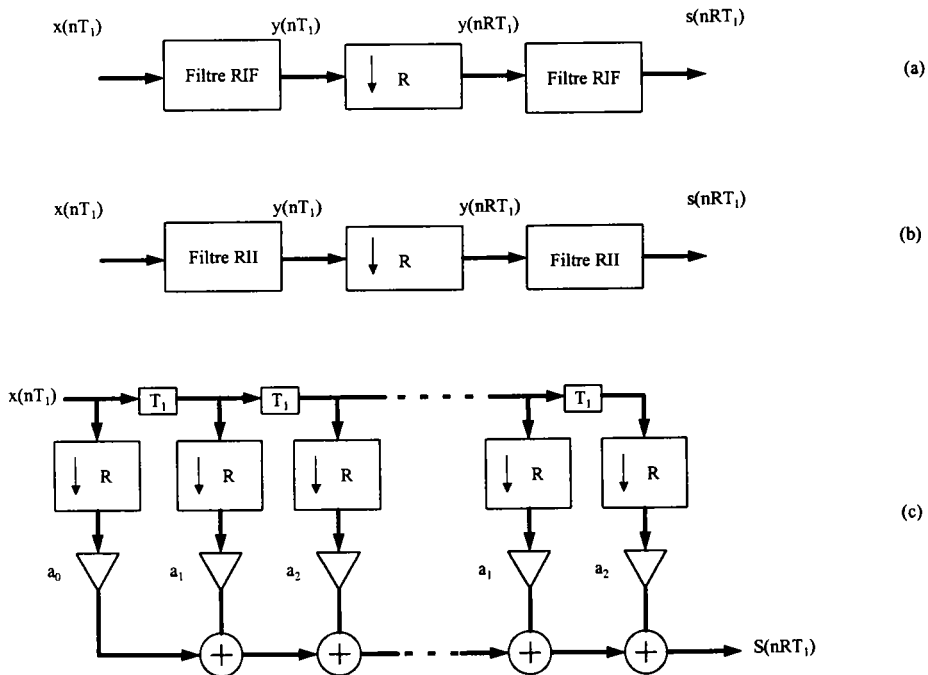


Fig. 2.22: Architectures des filtres à décimation. (a): architecture à filtre RIF; (b): architecture à filtre RII; (c): exemple d'architecture améliorée à filtre RIF.

C'est pourquoi, on a le plus souvent recours à une architecture comprenant un pré-filtrage permettant de limiter sommairement la largeur de bande du signal, puis une décimation afin de diminuer la fréquence d'échantillonnage, et enfin un autre filtre pour parfaire la limitation de fréquence voulue. Il existe plusieurs possibilités de réalisation comme le montre exhaustivement la figure 2.22. L'exemple de la figure 2.22(c) montre qu'il est possible d'effectuer un changement de cadence interne au filtre RIF considéré. Ceci a pour effet de permettre une plus grande facilité de calcul au niveau des multiplieurs et des additionneurs.

2.6.5. Conclusion.

Dans cette partie les filtres numériques usuels ont été succinctement étudiés. Les filtres numériques RIF, RII et à décimation possèdent des caractéristiques qui sont données dans la figure 2.23. On remarquera que les filtres à décimation peuvent avoir les caractéristiques des filtres RIF ou RII, selon leur structure de base. Néanmoins, ils ont le net avantage de permettre une plus grande implantation de fonction de calcul du fait de la baisse de la fréquence d'échantillonnage.

Caractéristiques	Filtres RIF	Filtres RII	Filtre à décimation
Stabilité	Toujours stable	Sous certaines conditions	Dépend de l'architecture
Mise en oeuvre	Simple	Parfois difficile	Dépend de l'architecture
Nb opérations par unité de temps	A peu près équivalent		Plus faible que les autres filtres
Linéarité de phase	Parfaite	Difficile à obtenir	Dépend de l'architecture
Application la mieux adaptée	Tous types de filtres		Filtrage à bande étroite

Fig. 2.23: Caractéristiques générales des différents filtres numériques.

2.7. CONCLUSION.

Dans ce chapitre, nous avons vu les différentes architectures possibles en vue d'une numérisation d'un étage radiofréquence dans le cadre d'une application modem. Chaque fonction à numériser peut avoir plusieurs réalisations potentielles.

Nous avons vu succinctement que les oscillateurs, les modulateurs et démodulateurs numériques peuvent être réalisés en employant la technique de la DDS pour générer les oscillateurs, et qu'ils emploient par ailleurs des additionneurs et des multiplicateurs rapides dont plusieurs réalisations sont envisageables. De la même manière, nous avons vu que le mélange de fréquence peut être réalisé par multiplication numérique. Le filtrage numérique nous offre trois architectures possibles (RIF, RII, ou décimation) qui possèdent chacun d'eux plusieurs architectures ayant des caractéristiques variables.

Il reste maintenant à définir quelles sont les contraintes qui vont permettre de choisir une architecture particulière pour chacun des blocs fonctionnels de notre étage.

CHAPITRE 3

REALISATION DE L'ETAGE RF NUMERIQUE, ET DESCRIPTIF VHDL

3.1. INTRODUCTION.

Dans cette partie, nous allons voir quelles sont les contraintes de réalisation imposées par la recommandation DAVIC, et celles que nous imposent implicitement la technologie. A partir de ces limitations, nous verrons que l'emploi de deux technologies d'implantation (CMOS, et ECL ou AsGa) ou d'une technologie mixte (Bi CMOS), est quasi inévitable si l'on veut réaliser toute l'architecture en numérique, l'objectif étant de se limiter au maximum à la technologie CMOS. Nous verrons ensuite quelle architecture est utilisable pour parvenir à augmenter la vitesse de séquençement du système, et d'assurer les émissions et réception de données aux fréquences spécifiées par la recommandation DAVIC. Nous verrons qu'il sera assez difficile d'assurer un bon compromis entre la rapidité du système, et sa surface d'implantation. Ceci est dû aux nombreux « latches » à implanter pour passer à une architecture pipe-line. Nous présenterons également les différents résultats de simulations du descriptif VHDL synthétisable de chaque bloc fonctionnel du système. Le code VHDL a été compilé sous le logiciel Altera MaxPlusII (version 9.01), et utilisant une implantation sur circuit FPGA de la famille FLEX10K. Ces simulations ont permis de définir les points délicats de réalisation, notamment du point de vue temporel (séquençement du flot de données, etc.). Il est par ailleurs à noter que le logiciel Altera est limité à des vecteurs de 32 bits, ce qui a posé des problèmes de programmation, notamment lors de l'utilisation de boucles itératives pour générer certains composants ou certaines fonctions. De ce fait, les ports d'entrées des composants ont été limités à 4 bits en entrée et à 6 bits en sortie pour la simulation. Une réalisation complète utilisant un logiciel plus puissant (de type Cadence) permettrait sans aucun doute de travailler avec des tailles de bus plus élevées afin d'obtenir une plus grande précision lors des différentes opérations réalisées sur le signal, et donc une meilleure qualité de transmission. Les résultats obtenus sont cependant transposables à une plus grande résolution des signaux, notamment en ce qui concerne le flot de données et son séquençement. Les simulations ainsi effectuées vont permettre de définir les performances respectives des blocs de mélange numérique, de modulation numérique, de démodulation numérique, et de filtrage numérique. Nous pourrons ainsi en déduire si une telle architecture est effectivement réalisable.

3.2. CONTRAINTES DE REALISATION.

3.2.1. Introduction.

La recommandation DAVIC nous donne différentes contraintes à respecter, notamment concernant les bandes de transmission, et les gabarits de filtrage. Des contraintes technologiques viennent s'ajouter à celles précédemment citées. Celles-ci découlent de la description discrète des signaux, et nous obligent à l'emploi d'au moins deux technologies d'implantation compte tenu des fréquences d'échantillonnage que nécessite le système.

3.2.2. Limitations de fréquence.

La recommandation DAVIC impose deux bandes de transmission: La voie montante (de 10 à 30 MHz), et la voie descendante (de 50 à 87 MHz), sans ordre de filtrage particulier. Par contre, le gabarit des filtres à fréquence intermédiaire est spécifié par une bande passante 772 kHz, et un ordre 10. De plus, pour le filtres de bande, une réjection de 30 dB entre signal utile et fréquence intermédiaire est demandée.

3.2.3. Limitations technologiques.

Pour obtenir un signal numérique « propre », les réalisations de type « grand-publics » demandent au moins 10 valeurs discrètes par période de la fréquence maximale pour assurer une description correcte du signal, et les réalisations de type industrielles en demandent au moins 14 [27, 28]. Si on ne tient pas compte des problèmes posés par la nécessité d'avoir une agilité en fréquence dans les deux bandes de transmission, on a (dans le cas extrême une transmission des données à la fréquence de 87 MHz) une opération d'échantillonnage à 1,218 GHz dans le cas d'une réalisation de type industrielle, ou 870 MHz dans le cas d'une réalisation de type « grand-public ». On ne peut donc plus avoir recours qu'à une technologie différente du CMOS pour l'implantation: Seules les technologies ECL, AsGa, et éventuellement BiCMOS permettent d'assurer de telles fréquences d'échantillonnage.

3.2.4. Synthèses des contraintes de réalisation.

La recommandation DAVIC nous impose des limitations en fréquence qui aboutissent à l'emploi de deux technologies d'implantation. Pour des raisons de coûts de réalisation, l'architecture de l'étage radiofréquence numérisé devra permettre l'intégration d'un maximum de fonctions en technologie CMOS. Pour faciliter la réalisation et la description en langage VHDL synthétisable, nous aurons recours à une description discrète du signal sur 16 points. Ceci est justifié par le fait que de réaliser un compteur par 16 est plus facile que de réaliser un compteur par 10 ou par 14, notamment lors de la réalisation des étages de comptage et multiplexage comme nous le verrons plus tard. Par quelques calculs préliminaires, nous obtenons alors des valeurs de fréquence d'échantillonnage comprise environ entre 160 et 480 MHz pour la voie montante. Pour la voie descendante, nous obtenons de la même manière des valeurs de fréquence d'échantillonnage comprise au moins entre 800 MHz et 1,392 GHz. Dans les deux cas, la réalisation n'est possible qu'en employant une parallélisation de l'architecture, et une technologie ECL, AsGa, ou éventuellement BiCMOS, pour les étages de sorties. De plus, les filtres de bandes (voie montante 10-30 MHz, et voie descendante 50-87 MHz), ne pourront pas être réalisés sous forme numérique, du fait de la complexité que requerrait leur implantation.

3.3. ARCHITECTURE GLOBALE RETENUE.

3.3.1. Introduction.

Dans cette partie nous allons décrire l'architecture interne de chacun des blocs fonctionnels de l'étage radiofréquence numérisé. Nous verrons comment il a été possible d'augmenter la vitesse de séquençement, et donc la vitesse du flot de données traversant chaque bloc. Les différentes architectures décrites seront ainsi simulées en utilisant le logiciel Altera MaxPlusII (version 9.01). Pour ce faire, une description en langage VHDL synthétisable du modulateur et du démodulateur numérique, du mélangeur numérique et des filtres numériques a été effectuée. Ceci a permis de valider les architectures employées, et d'en déterminer les performances sur circuit FPGA de la famille des FLEX10K, l'objectif

étant de se rapprocher le plus possible du temps de propagation minimal de fonctionnement et correspondant à la fréquence de travail de 125 MHz. Une évaluation des performances de notre architecture avec une autre technologie d'implantation est alors envisageable.

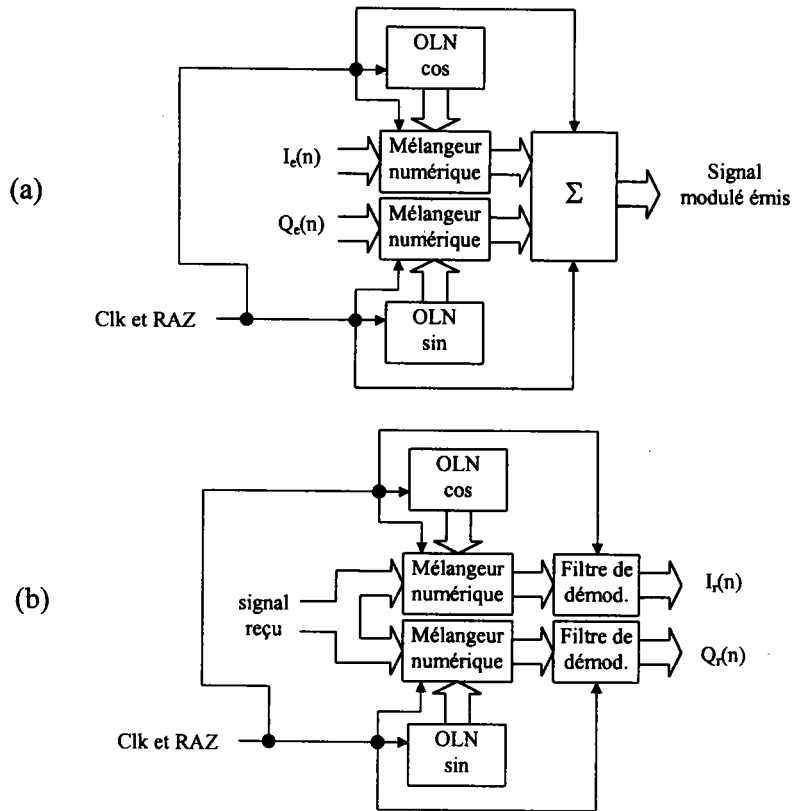


Fig. 3.1: Architecture globale du modulateur numérique (a), et du démodulateur numérique (b).

3.3.2. Modulateur et démodulateur numérique.

3.3.2.1. Architecture.

La figure 3.1. donne l'architecture globale du modulateur et du démodulateur numérique. Pour le modulateur, la technique de modulation I&Q est préconisée par DAVIC. On génère par DDS (Direct Digital Synthesis) deux signaux sinusoïdaux déphasés de $\pi/2$, qui sont modulés par les symboles I_e et Q_e , puis additionnés pour obtenir le signal DQPSK à 4 états désiré. Le modulateur est ainsi composé d'un compteur par 16 qui pilote les deux blocs de génération des porteuses sinusoïdales en quadratures, de deux multiplicateurs numériques,

et d'un additionneur numérique. Ces blocs de génération sont codés sur 16 points, et fournissent une valeur à chaque front montant de l'horloge. Pour le démodulateur, la technique inverse de démodulation I&Q est employée pour extraire les symboles I_e et Q_e précédemment émis.

3.3.2.2. Génération de porteuse.

Les oscillateurs numériques sont composés d'un multiplexeur à 16 entrées, qui assurent la génération des 16 points nécessaires à la description discrète du signal sinusoïdal désiré. La valeur de la fréquence de sortie de ces signaux sera donc 16 fois moins grande que la fréquence de séquençement de l'horloge CLK. La figure 3.2 donne l'architecture d'un oscillateur numérique. On peut remarquer que les données correspondantes aux valeurs discrètes des points du signal sont pré-câblées directement sur le multiplexeur, ce qui permet de s'affranchir de l'emploi d'une mémoire (voir partie 2.2.3). Cependant, la valeur de la fréquence de sortie du signal ne pourra être déterminée que par le choix de la fréquence de séquençement du système. Le nombre de bits sur lequel est effectué le codage numérique des différentes valeurs du tableau d'allocation de la figure 3.2 est paramétrable. La sélection de la valeur discrète de sortie se fait par l'emploi d'un compteur par 16.

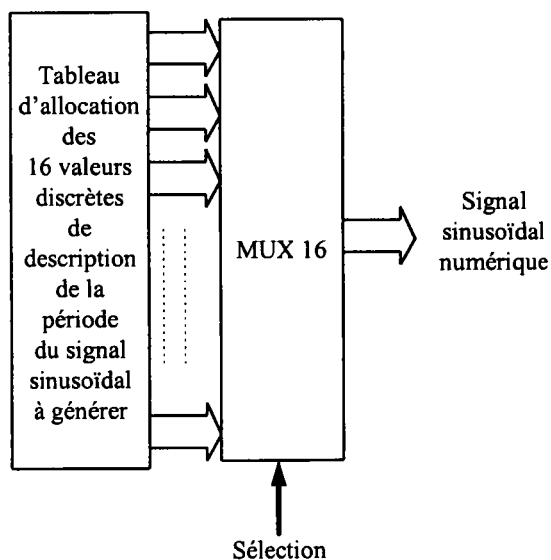


Fig. 3.2: Architecture de l'oscillateur numérique.

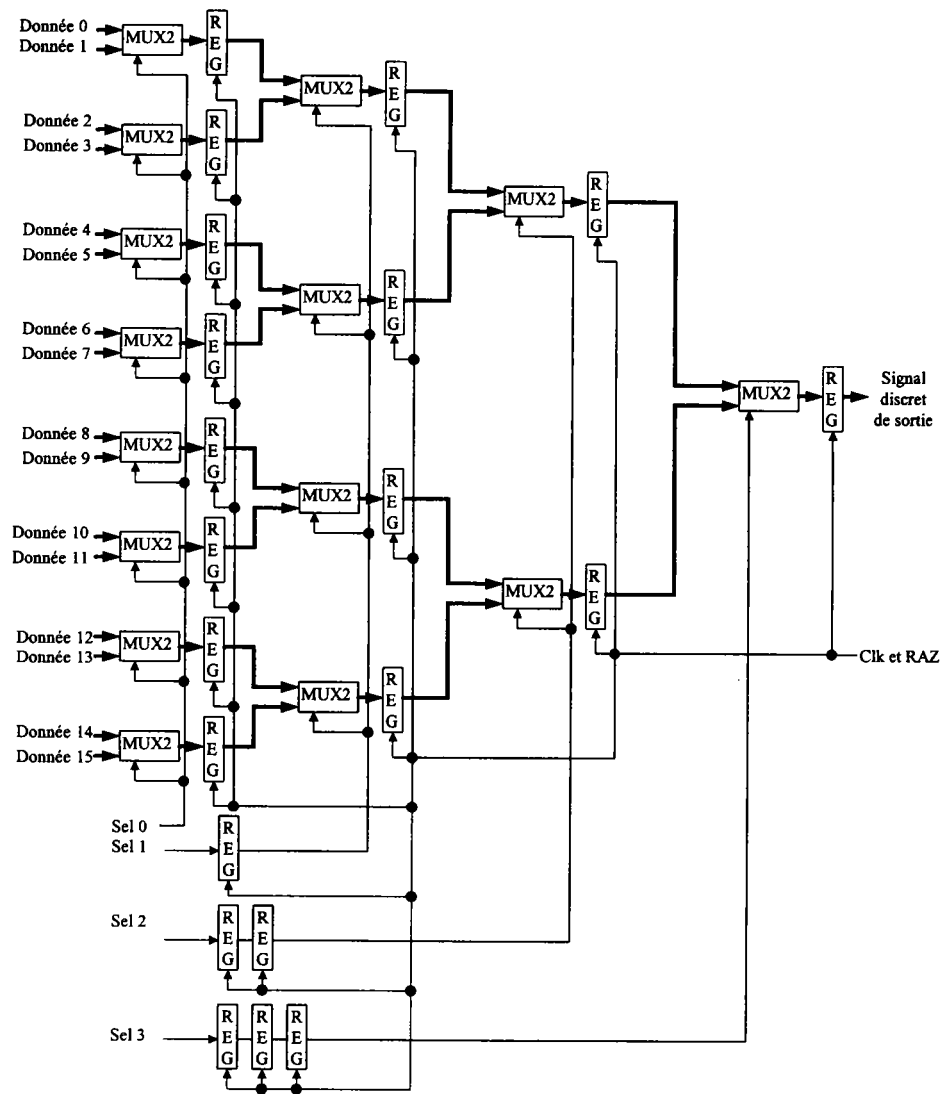


Fig. 3.3: Architecture pipe-line récursive du multiplexeur à 16 entrées.

3.3.2.3. Multiplexeur.

Différentes architectures de multiplexeur ont été simulées en employant les circuits FLEX10K proposés par Altera. Nous nous sommes aperçus que selon l'architecture employée, les performances de celui-ci varie énormément. Par exemple, un multiplexeur à 16 entrées décrits en VHDL « comportemental » atteint une vitesse de fonctionnement de seulement 22,77 MHz, alors qu'un multiplexeur décrit par une architecture récursive composés de 2 multiplexeurs à 8 entrées et d'un multiplexeur à 2 entrées atteint une vitesse de 50,76 MHz. De la même manière, un multiplexeur à architecture récursive composé de 5 multiplexeur à 4 entrées atteint une vitesse de 121,95 MHz, et enfin une architecture pipe-line

récursive à base de 15 multiplexeur à 2 entrées à finalement été testée. Celle-ci atteint ainsi une fréquence de fonctionnement de 125 MHz. Pour notre application, il est ainsi possible de conserver un flot de données important, et l'assurance de pouvoir générer le signal numérique désiré à la même vitesse que l'ensemble des autres blocs fonctionnels. Pour générer un signal sinusoïdal il suffit alors de câbler les différentes entrées du multiplexeur aux différentes valeurs discrètes de description du signal, ainsi qu'aux broches de sorties du compteur par 16.

3.3.2.4. Compteur par 16.

Le compteur par 16 est réalisé avec 4 bascules JK et trois portes ET montées comme le montre la figure 3.4. Les données de sorties sont toutes synchrones. La simulation sous Altéra a permis de déterminer que la fréquence de fonctionnement maximale pour ce circuit est de 125 MHz également.

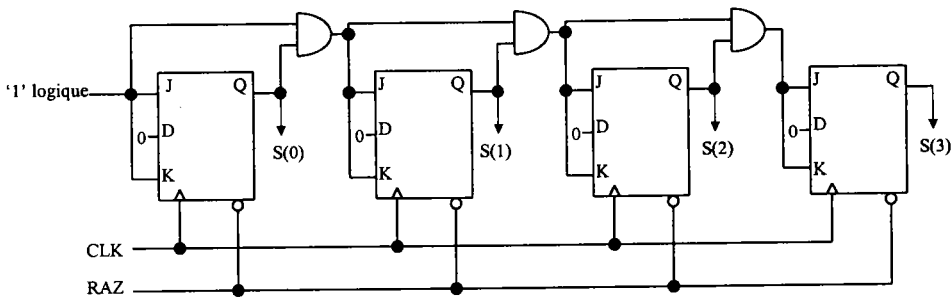


Fig. 3.4: Schéma électrique du compteur par 16.

3.3.2.5. Additionneur à propagation de retenue.

La réalisation de l'additionneur du modulateur I&Q a été effectuée en tenant compte de la nécessité de conserver un flot de données important, et la possibilité d'obtenir une réalisation en CMOS. L'utilisation d'une architecture pipeline appliquée à un additionneur à propagation de retenue a permis d'obtenir un bon compromis entre la surface d'implantation et la vitesse du flot de données. L'architecture d'un additionneur à propagation de retenue n'est pas la plus rapide en logique combinatoire, mais sa régularité de structure permet de

faciliter le passage à une architecture pipe-line. Il a cependant fallu rajouter des « latches » au sein même des additionneurs complets à 1 bit pour obtenir un flot constant et régulier de données à vitesse maximale. L'architecture complète de l'additionneur est alors simple à réaliser par ajout bascules D. La figure 3.5 nous donne l'architecture pipe-line d'un additionneur complet à 1 bit. On remarque que tous les trois fronts montant de l'horloge CLK, on a un résultat sur les sorties S et C_{out} correspondant à des données reçues trois fronts montant plus tôt. Cette cellule peut fonctionner à la fréquence de 125 MHz.

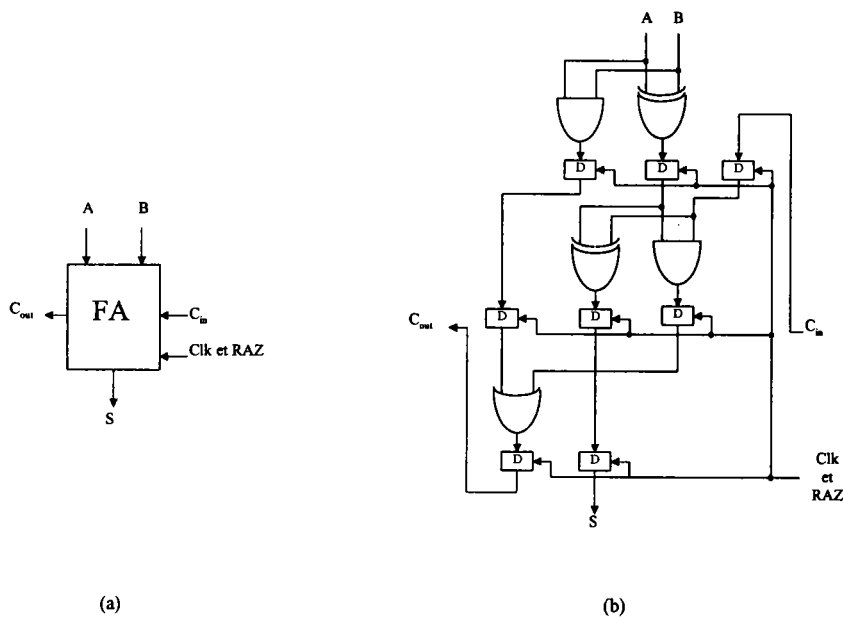


Fig. 3.5: Symbole logique (a), et schéma électrique d'un additionneur complet (b) ayant une architecture pipe-line.

A partir de la cellule FA décrite par la figure 3.5, on peut définir l'architecture pipe-line globale d'un additionneur à propagation de retenue (voir partie 2.3.3). La figure 3.6 donne un exemple d'architecture d'additionneur parallèle à propagation de retenue, pour des données d'entrée codées sur 4 bits: Cette architecture a été simulée. On peut remarquer que dans ce cas, le résultat de calcul entre deux nombres d'entrées ne sera disponible qu'après 12+2 soit 14 fronts montant de l'horloge. Cette architecture peut fonctionner à 125 MHz également. Il est possible de généraliser le temps de calcul de cette architecture. Il correspond au nombre de fronts montant M d'horloge requis en fonction du nombre n de bits de codage des données d'entrée: $M=3*n+2$ dans ce cas.

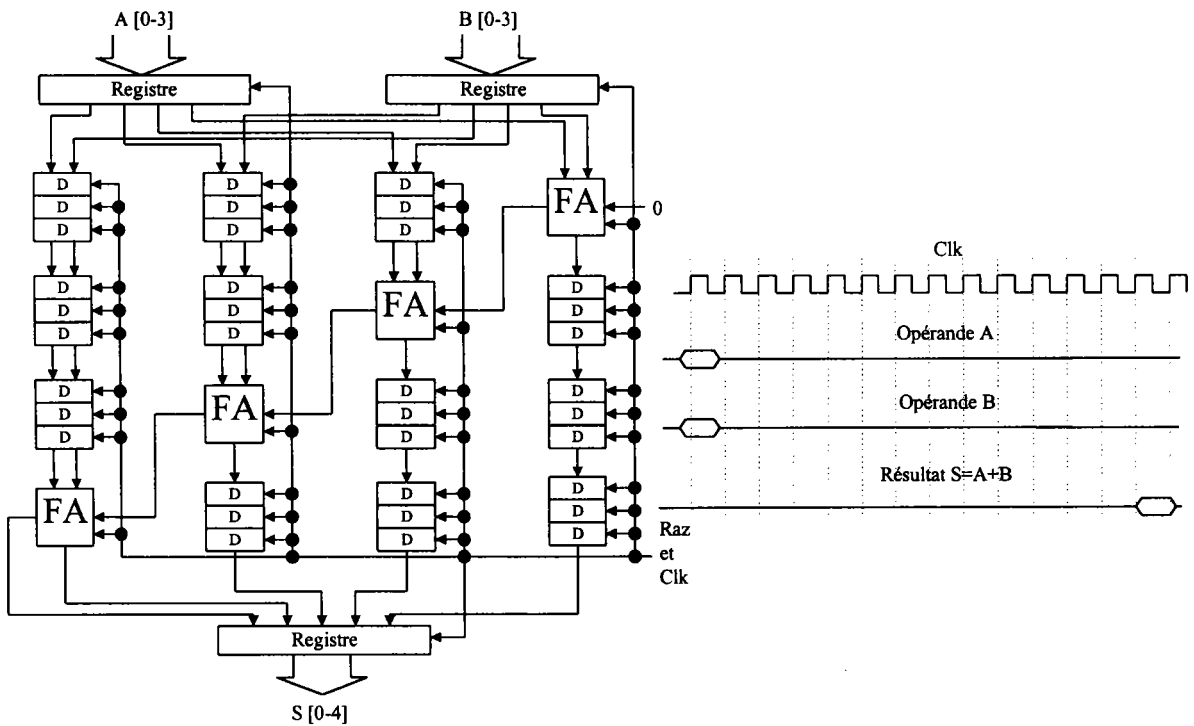


Fig. 3.6: Architecture globale d'un additionneur   propagation de retenue   architecture pipe-line.

3.3.2.6. Conclusion.

Dans cette partie, nous avons test  les architectures des fonctions essentielles constituant un modulateur et un d modulateur num rique. Tous les blocs fonctionnels (multiplexeur 16, compteur par 16, additionneur, etc..) travaillent   la fr quence de 125 MHz. Dans la partie suivante, le cas des blocs de multiplication sera trait , et ceux-ci, dans le cas d'une architecture pipe-line, travaillent  galement   la fr quence de 125 MHz. L' tage complet ne travaille cependant pas   cette m me fr quence. En effet, la simulation de l' tage complet a montr  que la fr quence maximale de travail est alors de 116.27 MHz. Ceci est d  au couplage des compteurs par 16 et des multiplexeurs 16, les temps de setup des signaux  tant un peu plus longs. Les r sultats obtenus permettent ainsi d'affirmer que la fr quence maximale de travail de cet  tage est fonction principalement de la technologie, et non de sa structure. En effet, dans le cas d'une implantation sur FLEX10K d'Altera, la fr quence de fonctionnement de 125 MHz correspond   un temps de propagation minimal des donn es  quivalent au temps de travers e d'une fonction combinatoire suivi d'une bascule D. De m me, la fr quence de 116,27 MHz correspond au temps de propagation minimal des donn es

équivalent au temps de traversée de deux fonctions combinatoires suivit d'une bascule D. De ce fait, le choix de la technologie d'implantation va dicter les performances de notre système.

3.3.3. Mélangeur de fréquence.

3.3.3.1. Introduction.

La cellule de mélangeur de fréquence a été réalisée sur la base d'un multiplicateur numérique. Comme pour l'additionneur, les critères de choix de l'architecture utilisée ont porté sur la régularité de structure du système. GHOSH et NANDY [34], dans leur publication, proposent l'emploi d'une architecture de multiplicateur naïf pour la réalisation d'un multiplicateur possédant une architecture pipe-line, une vitesse de fonctionnement et un flot de données important. L'architecture très régulière de ce type de multiplicateur permet une description VHDL aisée de l'architecture pipeline résultante. Cependant, une attention toute particulière sera portée à la propagation des données à l'intérieur de l'architecture. De ce fait, l'architecture de la cellule de multiplication élémentaire entre deux bits des opérandes devra être revue pour assurer un synchronisme entre propagation horizontale, verticale, et transversale des données. A partir de cette cellule, nous pourrons finalement obtenir un bloc fonctionnel de multiplication, en équilibrant les temps de propagation afin de synchroniser correctement les données en entrées et en sortie de chaque bloc de multiplication élémentaire.

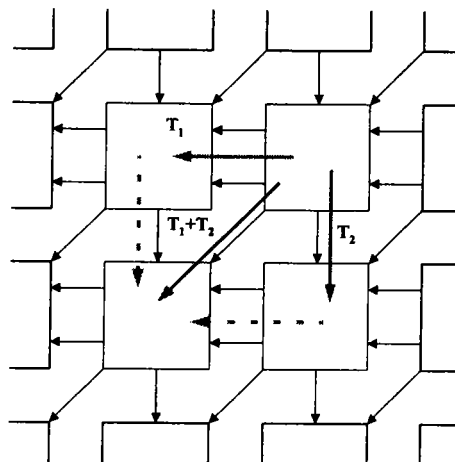


Fig. 3.7: Propagation des données dans l'architecture du multiplieur.

3.3.3.2. Propagation du flot de données.

En nous inspirant de la technique présentée par GHOSH et NANDY [34], qui utilisent dans leur réalisation une gestion dynamique de bus de données par la technique de « wave pipe-lining », nous avons réglé le flot de données de telle sorte qu'il soit synchrone pour chaque entrée d'une cellule de multiplication élémentaire. La figure 3.7 montre comment les données se propagent à travers ces cellules dans une architecture de multiplicateur naïf. Le temps de propagation diagonal doit donc être égal à la somme des temps de propagation horizontaux et verticaux.

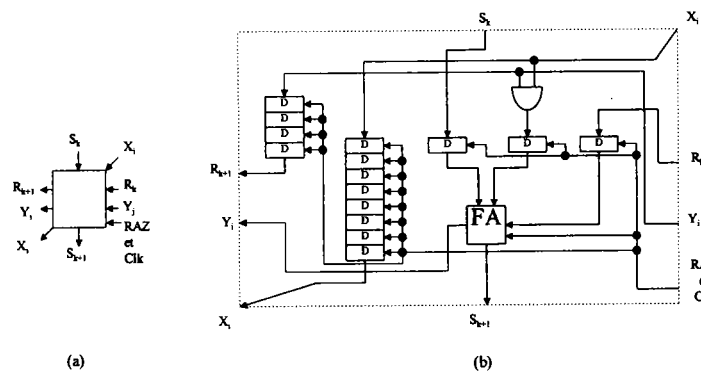


Fig. 3.8: Symbole logique (a), et schéma électrique (b) d'une cellule de multiplication élémentaire ayant une architecture pipe-line.

3.3.3.3. Cellule de multiplication élémentaire.

Comme la cellule d'addition complète, la cellule de multiplication élémentaire va être transformée. Nous devons tenir compte de plusieurs facteurs qui sont la propagation des bits issus des multiplicandes X et Y , de la propagation des retenues issues des additions des produits partiels, et surtout du sens de propagation de ces données. En effet, il existe trois possibilités pour la propagation des données: l'architecture du multiplieur se présente un peu comme un tableau, sur lequel on ne peut se déplacer que de la droite vers la gauche, que du haut vers le bas, et qu'en diagonale (voir figure 3.7). Il faut alors s'arranger pour que le nombre de fronts montants d'horloge de traversée verticale et horizontale des données soient égaux, et pour que le nombre de fronts montant d'horloge de traversée des données suivant la

diagonale soit égal à la somme des front montant de traversée horizontale et verticale des données dans une cellule. La figure 3.8 montre quelles sont les modifications qui sont apportées à l'architecture d'une cellule. Tous les quatre fronts montant d'horloge, un cycle complet de calcul sera effectué pour les données se propageant verticalement et horizontalement, et donc tous les huit fronts d'horloge, la propagation diagonale sera assurée. Cette cellule peut également fonctionner jusqu'à 125 MHz sous Altera.

3.3.3.4. Architecture pipe-line d'une cellule de multiplication.

A partir de l'architecture pipe-line de la cellule de multiplication, on peut obtenir l'architecture globale de la fonction de multiplication. La figure 3.9 donne un exemple de réalisation pour deux opérandes de 4 bits. L'architecture globale est semblable à celle développée par KLASS, FLYNN, et VAN de GOR [35].

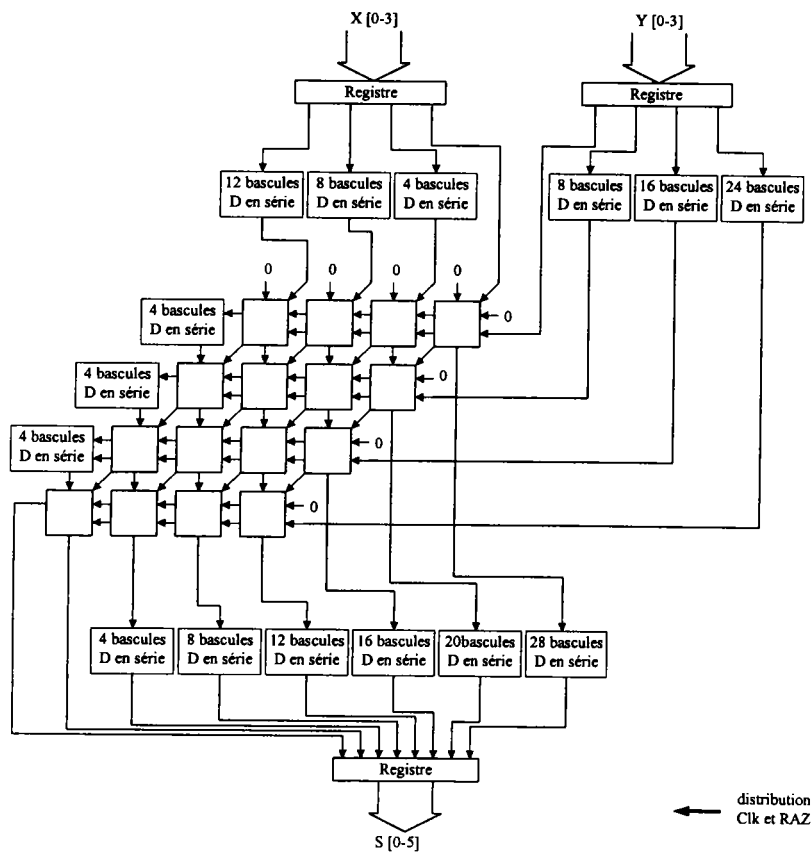


Fig. 3.9: Architecture pipe-line du multiplieur numérique.

Cette architecture se compose essentiellement de trois « latches » parallèles assurant le synchronisme et la propagation des données, de deux registres d'entrée, d'un registre de sortie, et de la cellule de calcul de multiplication. L'exemple d'architecture de multiplicateur naïf à architecture pipe-line donné par la figure 3.9 a été simulée sous Altera. A partir des résultats obtenus, il est possible de généraliser le temps de calcul de l'architecture: Il faut $M=4*n+8*(n-1)+2$ fronts montant d'horloge avant d'obtenir le résultat du produit entre deux opérandes. Cette architecture fonctionne également jusqu'à 125 MHz.

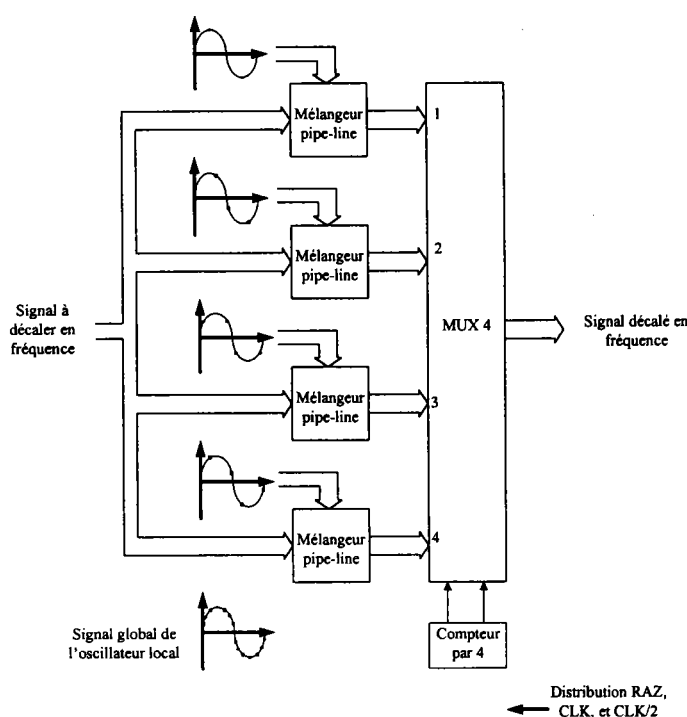


Fig. 3.10: Architecture d'un mélangeur de fréquence à architecture pipe-line parallélisée.

3.3.3.5. Architecture parallélisée et reconstitution du signal.

Pour augmenter encore la capacité d'intégration de notre système en technologie CMOS, nous avons été amenés à paralléliser notre système [36]. Nous avons ainsi parallélisé le bus de données en 4 branches qui sont échantillonnées 4 fois moins vite que la fréquence de séquençement globale, et qui décrivent chacune 4 points de calcul d'une période du signal, ce qui revient après reconstitution par multiplexage, à travailler sur 16 points. Nous avons donc simulé le mélangeur à architecture pipe-line parallélisée de la figure 3.10. Cette architecture

fonctionne par contre à 100 MHz, et le temps de propagation est quant à lui de $M=4*n+8*(n-1)+6$ fronts montants d'horloge (n est la résolution du signal d'entrée). La fréquence de séquençement maximale étant d'environ 1 GHz pour une architecture non-parallélisée, la fréquence de travail maximale du système est donc de 250 MHz pour une architecture parallélisée, ce qui est tout à fait réalisable en CMOS. Les résultats obtenus sont similaires avec cependant une surface d'implantation qui est environ 4 fois supérieure. Cette architecture permet néanmoins de plus grandes possibilités d'implantation en technologie CMOS. La variation de fréquence de séquençement est due à la présence des diviseurs de fréquence, des différents compteurs, et du multiplexeur, ces composants limitant cette fréquence de séquençement. Nous verrons par ailleurs que malgré cette fréquence d'horloge plus faible, il est tout de même possible d'employer cette architecture.

3.3.3.6. Conclusion.

Dans cette partie, nous avons réalisé et simulé deux architectures de mélangeurs numériques. En émission, il est possible d'employer une architecture parallélisée, car la reconstitution du signal est effectuée avant le filtrage de bande. Par contre, en réception, si on multiplie les branches de calcul, le problème du filtrage ne pourra être résolu qu'en reconstituant le signal, et donc revenir à une technologie plus rapide. Ceci revient à dire qu'en émission, une architecture pipe-line parallélisée pourra être employée, et une intégration en CMOS sera possible. Dans le cas de la réception, seule une architecture pipe-line sera employée, sans utiliser de duplication, et donc une technologie plus rapide (ECL, AsGa ou BiCMOS) s'impose.

3.3.4. Etages de filtrage.

3.3.4.1. Introduction.

Deux étages de filtrage sont à réaliser: Le filtre de fréquence intermédiaire et le filtre de démodulation. L'architecture employée dépend des gabarits de chacun de ces filtres et

de leur fréquence d'échantillonnage respective. Le gabarit des filtres de fréquence intermédiaire a été donné en figure 1.5. Celui-ci est d'ordre 10, de bande passante égale à 772 kHz, et centré sur la fréquence intermédiaire qui sera définie ultérieurement en fonction de différents paramètres (ordre des filtres de bandes, etc.). Nous avons vu dans la partie 2.6 quelles sont les différentes architectures possibles pour réaliser un filtre numérique. Nous allons voir ci-après que le problème de l'implantation d'un filtre numérique va nécessiter des compromis entre surface (nombre de cellule de multiplication-addition) et gabarit de filtrage.

3.3.4.2. Architecture.

D'après les différentes conclusions qui ont été faites dans les ouvrages de VAN DER ENDEN et VERHOECKX [28], et de BELLANGER [27], les filtres à décimation sont les mieux adaptés pour la réalisation d'un filtrage numérique à bande étroite (voir figure 2.21 du chapitre 2): Nous utiliserons donc ce principe. BARRETT [33] dans son mémoire propose deux architectures possibles pour la réalisation de filtres à décimation dans le cadre d'une application téléphonique de type GSM et DECT. Il propose l'emploi de filtres à décimation soit à un étage, soit à deux étages de décimation.

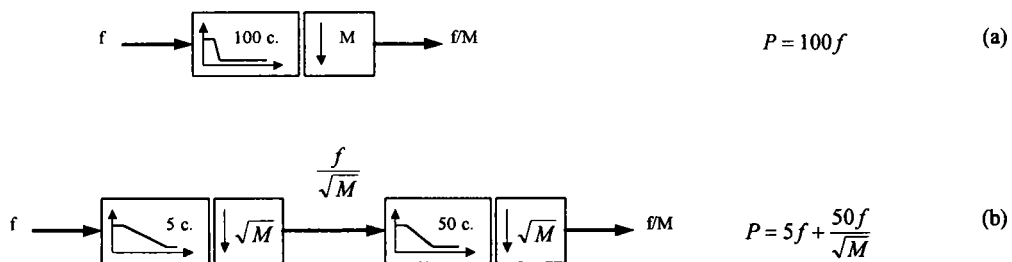


Fig. 3.11: Exemple d'architecture d'un filtre à décimation à un étage (a); et à deux étages (b).

La figure 3.11 montre, par un exemple simple, qu'il existe une correspondance entre ces deux types de filtres, et que la réalisation d'un filtre à décimation à deux étages nécessite moins de coefficients de calcul, et une puissance dissipée moindre. L'avantage d'une telle structure est donc qu'elle nécessite moins de cellules de multiplication, et qu'elle permet une implantation moins coûteuse en surface de layout. Le calcul des coefficients des deux étages

du filtre à décimation va dépendre des valeurs de fréquence intermédiaire, de fréquence d'échantillonnage, ainsi que de l'architecture choisie pour la réalisation du filtrage. Nous allons utiliser pour ce faire des filtres à décimation de type RIF, car ce sont les filtres qui permettront le mieux un passage à une architecture pipe-line [33].

3.3.4.3. Etages de décimation.

Les étages de décimation sont réalisés en utilisant des cellules de division de fréquence qui vont commander deux registres, l'un fonctionnant sur le front descendant de l'horloge, et l'autre sur le front montant [36]. Les cellules de division de fréquence sont réalisées par des compteurs. Leur architecture est composée de bascules JK montées en série. La figure 3.12 montre un exemple de câblage pour des diviseurs de fréquence par 2, 4 et 8. Ces architectures ont été simulées sous Altera, et leurs fréquences de fonctionnement maximale est de 125 MHz.

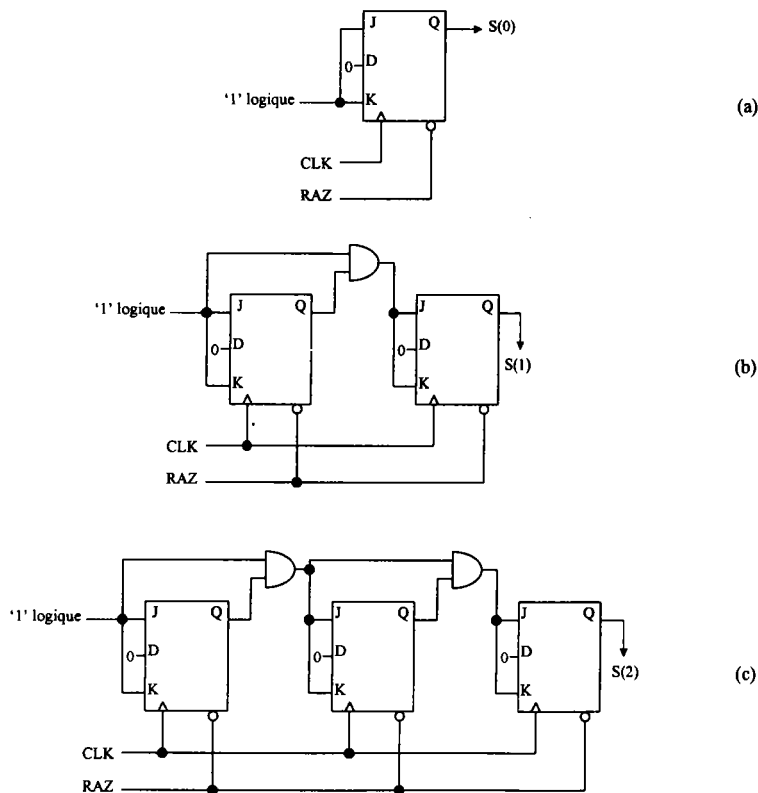


Fig. 3.12: Schéma électrique des diviseurs de fréquence (a): par 2; (b): par 4; (c): par 8.

La figure 3.13 montre l'architecture retenue pour réaliser les étages de décimation des filtres numériques employés. Nous employons deux registres sur n bits:, le premier étant commandés sur le front descendant de la nouvelle horloge de séquençement, et le deuxième sur le front montant de l'horloge de séquençement. Ceci permet d'avoir des données valides en sortie de l'étage. Employée seule, cette architecture fonctionne à 125 MHz, mais couplée avec les compteurs, la fréquence maximale de travail est alors de 116.27 MHz comme pour les oscillateurs locaux étudiés précédemment.

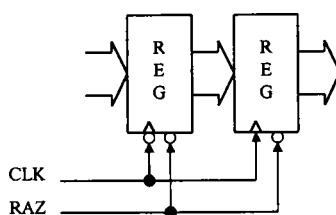


Fig. 3.13: Architecture d'un étage de décimation.

3.3.4.4. Additionneur de Wallace.

Pour réaliser les opérations de filtrage, nous avons besoins d'additionner les différents échantillons pondérés par les coefficients du filtre. Le problème est de réaliser une addition des différentes valeurs en conservant le flot de données à l'intérieur de l'additionneur employé. Comme nous l'avons vu au chapitre 2, l'additionneurs en arbre de Wallace est très performant dans le cas d'une addition entre de multiples opérandes. De plus, pour augmenter la vitesse de calcul, on peut regrouper les différents opérandes en sous-groupes et effectuer les opérations en parallèle, ce qui permet d'obtenir une meilleure régularité de structure [31]. La figure 3.14 donne un exemple d'architecture pour une addition par arbre de Wallace sur 10 opérandes. La difficulté va surtout être de réaliser la programmation d'une telle structure en langage VHDL, de telle manière que tout soit paramétrable: Le nombre d'opérandes A_i et le nombre de bits sur lesquels sont codées les données. De plus, la place des délais de retard permettant d'assurer le synchronisme du flot de données est variable suivant le nombre d'opérandes d'entrées. Il est à noter toutefois que les différents CSA ne sont pas identiques à chaque étage en raison de la retenue se décalant pour chaque étage d'un rang à gauche (augmentation du nombre de bit à chaque étage d'addition). Il est possible de généraliser le

temps de calcul d'un additionneur de Wallace en fonction du nombre n de bits de codage de ses entrées. Il est possible de définir que pour 10 opérands d'entrée codés sur n bits, il faudra $3*(n+5)+17$ fronts montants d'horloge pour obtenir le résultat de calcul. Cependant, ce type de calcul est spécifique pour chaque additionneur de Wallace et est fonction du nombre d'opérands d'entrée (voir parties 2.3.6 et 3.3.2.5). Cette architecture fonctionne à 125 MHz.

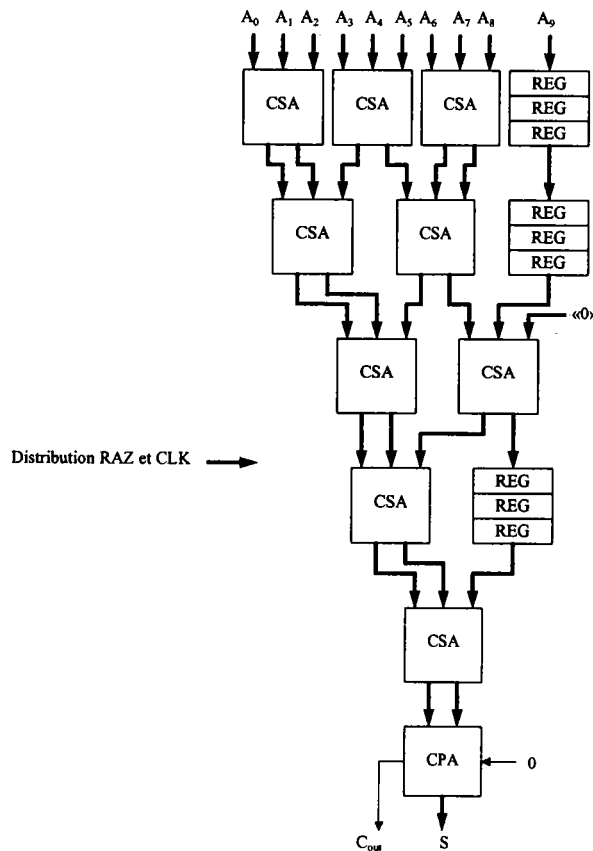


Fig 3.14: Schéma de câblage pour un additionneur en arbre de Wallace sur 10 opérands.

3.3.4.5. Conclusion.

Les différentes simulations effectuées ont permis de déterminer que la fréquence maximale de travail de nos filtres à décimation est de 116,27 MHz. L'architecture employée employant la réduction de cadence par décimation après filtrage, permet ainsi de réaliser les différents étages de filtrage désiré. Cependant, ceux-ci ne pourront être simulés efficacement qu'en passant par une simulation fonctionnelle afin d'en valider les coefficients.

3.3.5. Architecture de l'étage radiofréquence numérique.

3.3.5.1. Calcul des différentes valeurs de fréquence.

3.3.5.1.1. *Choix de la fréquence intermédiaire.*

Comme nous l'avons vu à la fin du chapitre 1, la valeur de la fréquence intermédiaire dépend de l'ordre des filtres de bande qui seront nécessaires pour répondre aux spécifications de la recommandation DAVIC. Les étages de transposition de fréquence à base de multiplicateur numérique sont censés être plus linéaires que les mélangeurs analogiques et notamment les cellules de Gilbert. En effet, les mélangeurs numériques envisagés effectuent une multiplication numérique qui ne prend pas en compte les effets de non-linéarités inhérentes aux transistors d'un montage analogique. De plus, il faut s'arranger pour que les fréquences employées permettent une réalisation du système en employant au maximum la technologie CMOS. Ceci implique l'utilisation d'une valeur de fréquence intermédiaire qui permette un juste compromis entre les spécifications de la recommandation DAVIC, et les problèmes de réalisation en CMOS. La fréquence intermédiaire en question doit permettre une réalisation de l'architecture au maximum en CMOS, et permettre une isolation d'au moins 30 dB entre le signal utile et les harmoniques indésirables.

Pour pouvoir comparer les performances de l'architecture numérique que nous avons définie, et celles qui ont été testées dans la partie 1.5 du chapitre 1, nous allons choisir de travailler avec une fréquence intermédiaire de 20 MHz (soit un séquençement à 320 MHz pour une description du signal par 16 valeurs discrètes par période). Le choix de cette valeur de fréquence intermédiaire est en partie dicté par notre expérience des réalisations de type analogique [21] (voir figure 1.21 du chapitre 1), et aussi par des raisons technologiques. En effet, en analogique, la fréquence intermédiaire doit être au moins égale à la moitié de largeur de la plus grande bande de transmission (18,5 MHz), et en numérique les fréquences de fonctionnement des systèmes ASIC implantés en technologie CMOS dépassent très rarement les 400 MHz [36]. De plus, on remarque sur la figure 1.21 du chapitre 1, et dans le cas des cellules de Gilbert, que pour un ordre de filtre de bande compris entre 6 et 10, la fréquence intermédiaire ne varie que de 18,5 à 30 MHz. Or, dès que l'on descend sous l'ordre 5, la fréquence atteint très rapidement les 280 MHz (voir courbe 1.21). Nous avons donc choisi une

valeur qui permette d'assurer un filtrage de bande et une implantation éventuelle en CMOS sans trop de difficultés, tout en tenant compte des résultats précédemment obtenus par simulation [21].

3.3.5.1.2. *Gamme de fréquence des oscillateurs.*

Les oscillateurs locaux assurant le décalage de fréquence par mélange, qui seront implantés en ECL, en AsGa, ou en BiCMOS, doivent assurer une transmission entre 10 et 30 MHz pour la voie montante, et 50 et 87 MHz pour la voie descendante. On a donc recours à un oscillateur local ayant une gamme de fréquences comprises entre 30 et 50 MHz pour la voie montante, ce qui permet d'isoler par filtrage passe-bas la fréquence à émettre dans la voie montante. Pour la voie descendante, on utilise un oscillateur local de gamme de fréquences comprises entre 30 et 67 MHz, ce qui permet d'isoler le signal sans trop de difficultés également, mais par filtrage passe-bande.

3.3.5.1.3. *Valeurs des fréquences d'échantillonnage.*

Les fréquences d'échantillonnages doivent assurer une description discrète du signal sur 16 points. On a donc une première horloge de séquençement qui pilote les différents oscillateurs utilisés pour la modulation et la démodulation à une fréquence de 320 MHz, et qui seront implantés en CMOS. Les fréquences d'échantillonnage des oscillateurs locaux assurant le décalage en fréquence sont comprises entre 480 et 800 MHz pour la voie montante, et 480 MHz et 1,072 GHz pour la voie descendante, et qui seront implantés en une autre technologie (ECL, AsGa, ou BiCMOS).

3.3.5.1.4. *Coefficients du filtre de fréquence intermédiaire.*

Nous avons vu dans la partie 3.3.4 que les filtres à décimation permettent d'assurer un filtrage à bande étroite performant par décomposition en étage (voir partie 2.6.5). La gamme

de fréquences d'échantillonnages en entrée du filtre va de 480 MHz à 1,072 GHz. En sortie du filtre la fréquence d'échantillonnage est de 320 MHz. Pour permettre de réaliser correctement le filtre à décimation, il est possible d'employer un étage de filtrage à décimation implanté en technologie ECL, AsGa ou BiCMOS, et un deuxième étage de filtrage implanté en CMOS. Nous allons donc adopter une architecture à deux étages, comme le montre la figure 3.15.

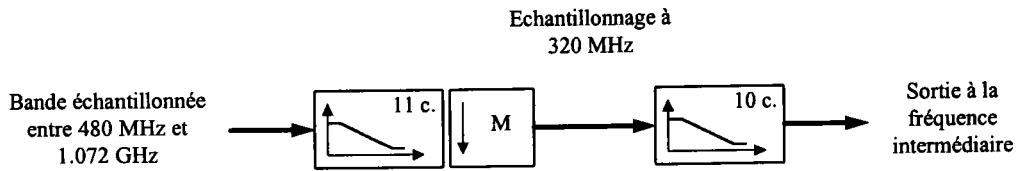


Fig. 3.15: Architecture du filtre de fréquence intermédiaire.

Nous utilisons ici deux filtres passe bas, dont seul le premier effectuera une décimation, et le deuxième affinera le filtrage. Le premier étage sera un filtre limitant la bande passante du signal. La fréquence d'échantillonnage de ce filtre va varier de 480 MHz à 1,072 GHz, et ses coefficients seront fixes. En employant les différentes propriétés énoncées dans les ouvrages de VAN DER ENDEN et VERHOECKX [28], et de BELLANGER [27], il est possible de démontrer qu'une structure de filtre fixe permet, en faisant varier la fréquence d'échantillonnage de celui ci, d'obtenir un gabarit de filtrage différent. Prenons par exemple le cas d'un filtre RIF défini par une suite de coefficient h_n . Soit l'équation 3.1 qui donne $H(f)$ le gabarit du filtre par le calcul de sa transformée de Fourier discrète. Or on a $T_e=1/f_e$, ce qui nous donne l'équation 3.2.

$$(Eq\ 3.1) \quad H(f) = \sum_{n=0}^{N-1} h_n e^{-2j\pi n f T_e}$$

\Leftrightarrow

$$(Eq\ 3.2) \quad H(f) = \sum_{n=0}^{N-1} h_n e^{-2j\pi n \frac{f}{f_e}}$$

Posons maintenant que $f' = \alpha f$. Si on échantillonne le filtre de coefficients h_n à la nouvelle fréquence $f'_e = \alpha f_e$, alors $H(f)$ devient $H(f')$ qui sont reliés par l'équation 3.3:

$$(Eq\ 3.3) \quad H(f') = H(\alpha f)$$

L'équation 3.3 montre que l'on a donc bien une simple variation de gabarit du filtre en fonction de sa fréquence d'échantillonnage, et nous obtenons alors le gabarit du premier étage de filtrage donné par la figure 3.16. L'étage de sortie de ce premier étage sera sous-échantillonné à 320 MHz. Pour réaliser le filtre de la figure 3.16, on emploie un filtre à 11 coefficients. Ce filtre sera utilisé avec une fréquence d'échantillonnage variant de 480 MHz et 1,072 GHz. La fréquence de coupure de ce filtre varie donc entre 48 MHz pour une fréquence d'échantillonnage de 480 MHz, et 107,2 MHz pour une fréquence d'échantillonnage de 1,072 GHz: Dans les deux cas, le filtre est d'ordre 7.

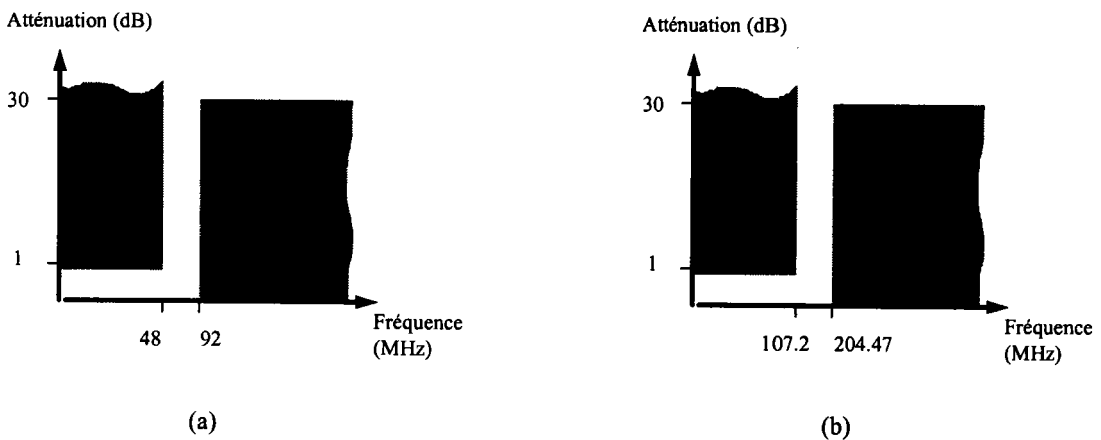
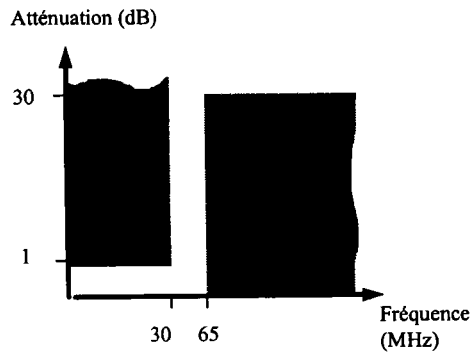


Fig. 3.16: *Gabarit du premier étage du filtre de fréquence intermédiaire pour un échantillonnage à (a): 480 MHz; (b): 1,072 GHz.*

Pour le deuxième étage, on emploie un filtre à 10 coefficients, mais échantillonné à 320 MHz, et dont le gabarit est donné en figure 3.17: Le filtre est ici d'ordre 6. Par rapport aux spécifications de DAVIC, nous nous sommes contentés d'un filtrage passe-bas au lieu d'un filtrage passe-bande. Les détails et les choix concernant le calcul des coefficients des deux filtres sont donnés en annexe II.



(a)

Fig. 3.17: Gabarit simplifié du deuxième étage du filtre de fréquence intermédiaire échantillonné à 320 MHz.

3.3.5.1.5. Coefficients des filtres de démodulation.

Les filtres de démodulation permettent de récupérer les symboles I_e et Q_e d'émission. Ces symboles sont émis à la fréquence de 772 kHz. Le filtrage isole ces symboles et doit permettre la reconstitution de ceux-ci, tout en éliminant les harmoniques indésirables à $2 \cdot F_i$. La figure 3.18 donne l'architecture à que nous allons employer. Celle-ci se compose d'un filtre passe-bas isolant la composante basse fréquence du signal modulé, et d'un étage de décimation. Le filtrage global est un filtre passe bas, de bande passante de 20 MHz et d'ordre 5, et est réalisé avec 10 coefficients.

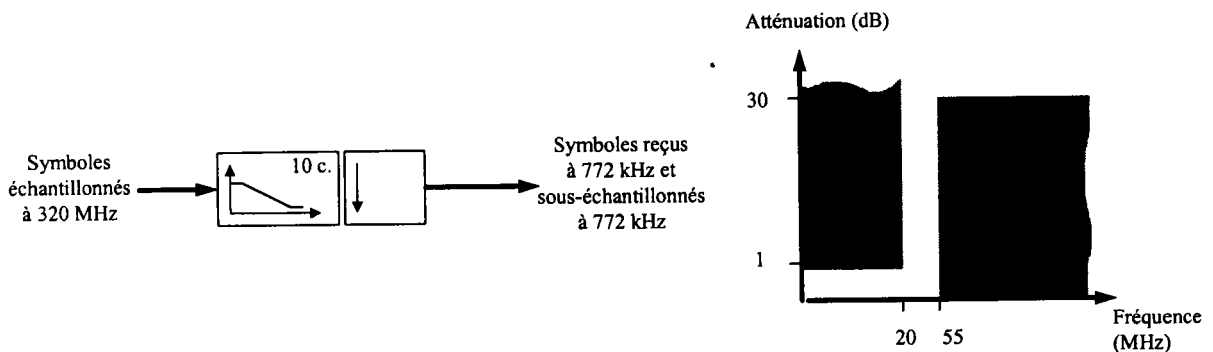


Fig. 3.18: Architecture et gabarit du filtre de démodulation.

Ce filtre permet un temps de variation des symboles I et Q relativement rapide afin de faciliter leur reconnaissance, mais aussi une élimination quasi complète de la fréquence à $2 \cdot F_i$ qui permet de sous échantillonner le signal directement à 772 kHz. La figure 3.18 donne également le gabarit du filtre implanté avec cette structure. Les détails des calculs relatifs à ces deux filtres sont donnés en annexe II.

3.3.5.1.6. Implantation des filtres.

L'implantation des filtres va nécessiter un nombre de cellules d'addition et de multiplication égale au double du nombre de coefficients que nécessite la réalisation. De plus, il faut assurer un séquençement des données qui va être différent dans chaque cas. L'architecture globale doit être réalisée de telle sorte qu'un synchronisme décalé soit établi entre les données d'entrée et de sortie. On emploie donc les cellules de multiplication et d'addition en arbre de Wallace réalisée précédemment. Un exemple d'architecture d'un filtre RIF à 5 coefficients (voir figure 3.19) a été simulée pour valider le concept. Dans cette architecture, nous avons besoin d'utiliser un additionneur en arbre de Wallace, car les additionneur à propagation de retenue vont nous demander une surface énorme, et génèrent des temps de retard non moins négligeables. Comme nous l'avons vu dans la partie 3.3.4, la fréquence de fonctionnement d'un étage de filtrage complet est de 125 MHz. Cependant, l'emploi des étages de décimation fait que la fréquence maximale de travail de ces filtres descend 116,27 MHz pour le premier étage.

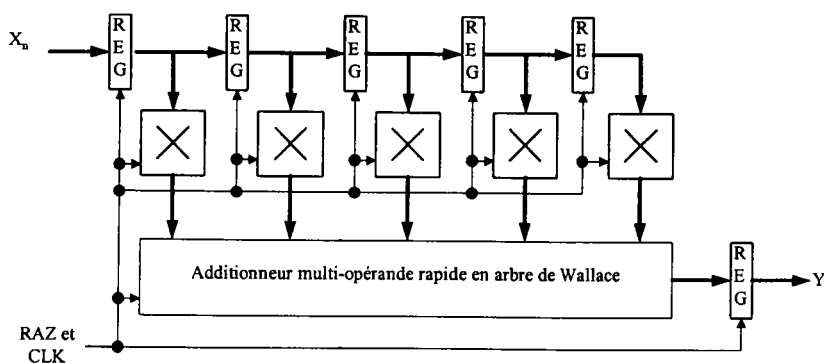


Fig. 3.19: Architecture pipe-line d'un filtre RIF; exemple pour 5 coefficients.

Désignation du signal	OL modulateur et démodulateur	Signal modulé	OL émission et réception	Signal émis	Signal reçu à démoduler
Fréquence réelle correspondante	20 MHz	20 MHz	de 30 MHz à 67 MHz	de 10 MHz à 87 MHz	20 MHz
Fréquence de séquençement	320 MHz	320 MHz	de 480 MHz à 1,072 GHz	de 480 MHz à 1,072 GHz	de 480 MHz à 1,072 GHz
Nombre de valeurs discrètes par période	16	16	16	de 12 à 48	de 12 à 48

Figure 3.20: Nombre de valeurs discrètes par période pour les différents signaux de l'architecture.

3.3.5.2. Architecture générale.

Après avoir étudié les différents blocs fonctionnels numérisés, nous allons voir comment les agencer pour réaliser l'architecture complète de notre étage radiofréquence. A partir des différentes fréquences de séquençement du système, il est alors possible de déterminer les valeurs de la fréquence intermédiaire, des fréquences des oscillateurs locaux, et donc des valeurs de fréquence d'émission et de réception. La figure 3.21 montre l'architecture globale de l'étage radiofréquence numérisé du modem serveur. La figure 3.22 montre l'architecture globale de l'étage radiofréquence numérisé du modem client. Chaque bloc fonctionnel possède une architecture pipe-line qui a été détaillée tout au long de ce chapitre. Les différentes horloges nécessaires au bon fonctionnement de l'étage permettent de déterminer les valeurs de la fréquence intermédiaire, et des fréquences d'émission et de réception. La fréquence intermédiaire étant fixée pour nos simulations à 20 MHz, on a donc CLK_FI=320 MHz pour décrire le signal modulé sur 16 points par période. Le signal étant sur-échantillonné en fonction de l'oscillateur local d'émission ou de réception, on obtient alors en émission ou en réception de 12 à 48 points pour décrire le signal (voir figure 3.20), ce qui est conforme à une description de signal type « grand-public » qui doit être sur au moins 10 points [27-28].

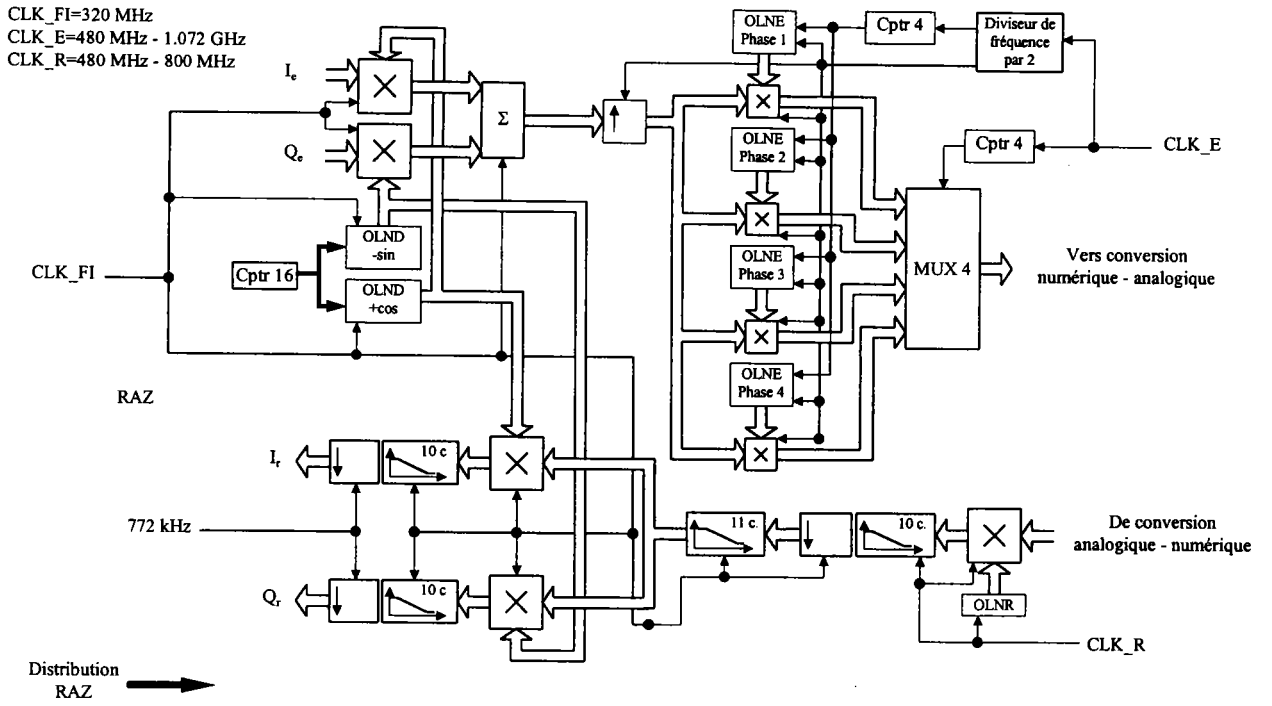


Fig.3.21: Architecture générale de l'étage radiofréquence numérisé du modem serveur.

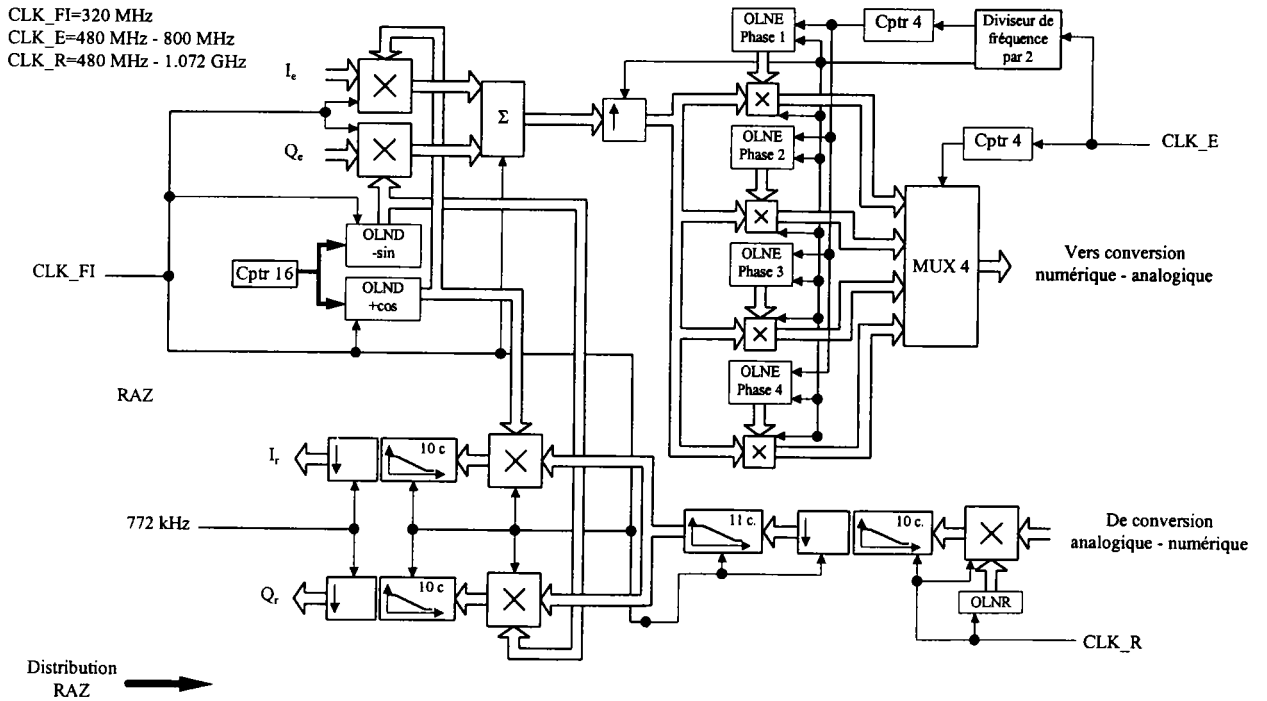


Fig.3.22: Architecture générale de l'étage radiofréquence numérisé du modem client.

3.4. CONCLUSION.

Dans cette partie, nous avons étudié les différentes contraintes de réalisation d'un étage radiofréquence numérisé dans le cadre d'une application répondant à la recommandation DAVIC. Ces limitations découlent des spécifications des bandes d'émission et de réception, et sont surtout d'ordre technologique. Les différents blocs fonctionnels nécessaires à la réalisation de cet étage ont été étudiés, et leur architecture a été modifiée par technique pipeline pour augmenter le flot de données les traversant, et essayer d'atteindre la vitesse de fonctionnement maximale possible sur les circuits de la famille FLEX10K d'Altera. L'architecture proposée a été réalisée sur la base d'une fréquence intermédiaire de 20 MHz et réalisable en technologie CMOS. L'indépendance des fréquences de séquençement des oscillateurs locaux permet de réaliser le modem client (émission en voie montante de 10 à 30 MHz, et réception en voie descendante de 50 à 87 MHz), mais aussi de réaliser le modem serveur (réception en voie montante de 10 à 30 MHz, et émission en voie descendante de 50 à 87 MHz). Le bloc de décalage de fréquence d'émission est implantable en technologie CMOS, alors que ce même étage, en réception, n'est implantable qu'en technologie ECL, AsGa, ou BiCMOS. De plus, les simulations effectuées sous Altera ont permis de démontrer que la technologie d'implantation définissait principalement la fréquence de fonctionnement global de l'architecture. Il ne reste ainsi plus qu'à simuler notre architecture pour définir quelles en seront les performances.

CHAPITRE 4

SIMULATION FONCTIONNELLE

4.1. INTRODUCTION.

Dans le chapitre précédent, nous avons défini l'architecture de l'étage radio-fréquence numérique à partir de l'architecture de chaque bloc fonctionnel, et nous les avons simulés sous le logiciel MaxPlusII d'Altera. Ces simulations ont permis de montrer que l'architecture choisie est réalisable à condition de passer par une architecture de type pipe-line, et d'utiliser deux technologies d'implantation: La technologie CMOS (pour la majeure partie du système), et une technologie plus rapide de type ECL, AsGa ou BiCMOS. Cependant, la totalité de l'architecture n'a pu être simulée efficacement sous Altera. En effet, ces simulations ont permis de valider le fonctionnement de chacun des blocs fonctionnels du système, mais pas de celui-ci dans sa totalité. De plus, pour s'affranchir des problèmes technologiques de réalisation dus à l'implantation de deux technologies différentes sur un même substrat, le système complet a été simulé en employant le logiciel de simulation fonctionnelle Ptolemy. Ceci va nous permettre de définir quelles sont les performances en qualité de transmission de notre architecture.

Après une présentation rapide du logiciel Ptolemy, nous définirons quels sont les paramètres de simulation à employer. Ceux-ci sont essentiellement définis par les fréquences d'émission et de réception utilisées, et donc de séquençement des différents blocs du système. Nous présenterons ensuite les éléments constituant l'étage radiofréquence numérisé simulé sous Ptolemy. Nous verrons que pour assurer une simulation respectant le plus possible une transmission réelle, des blocs supplémentaires ont dû être étudiés. Chaque bloc sera étudié en détail pour expliquer son fonctionnement. La chaîne de transmission complète sera enfin simulée dans le cas d'une transmission idéale sans bruit, puis dans le cas d'une transmission bruitée. Nous pourrons alors comparer nos résultats avec ceux obtenus précédemment au chapitre 1 avec les différents étages radiofréquences analogiques.

4.2. LE LOGICIEL PTOLEMY.

Le logiciel Ptolemy est un logiciel de simulation fonctionnelle comprenant différents modes de simulation. Chaque mode de simulation permet d'accéder à des bibliothèques de

fonctions. Celles-ci peuvent être enrichies par la création de fonctions supplémentaires, par programmation, ce qui permet d'avoir un système complètement ouvert. Ptolemy comprend ainsi trois niveaux d'implantation par mode de fonctionnement. Le niveau le plus bas est composé d'« étoiles », et correspond généralement à une fonction programmée dans un langage similaire au C++. Le niveau supérieur est composé de « galaxies », et est un assemblage « d'étoiles » ou d'autres « galaxies » pour réaliser une fonction complexe. Le troisième et dernier niveau, qui est aussi le plus haut, correspond au niveau de simulation. Il est appelé « univers » et est composé d'un assemblage « d'étoiles » et/ou de « galaxies » pour permettre la description d'un système complet. Dans notre système, nous avons besoin de trois horloges de séquençement qui pilotent chacune différents blocs fonctionnels. Ceci nous a permis d'employer deux domaines de simulation qui sont le mode SDF (Synchronous Data Flow), et le mode DE (Discret Event). Le mode SDF permet d'accéder à une bibliothèque de fonctions très complètes travaillant à fréquence fixe, ou en multi-cadence mais avec une simulation plus complexe à réaliser étant donné que ce mode travaille sur le nombre de cycles de simulations. Ceci permet de réaliser les fonctions nécessaires à la simulation de notre architecture, mais pas de se rapprocher réellement de ce qui se passe durant un échantillonnage de donnée. A contrario, le mode de fonctionnement DE ne possède pas une bibliothèque de fonction très riche, mais il permet de se rapprocher de la réalité de l'échantillonnage, puisqu'il permet de définir le nombre de données binaires à émettre en entrée du système, et de travailler en fonction de cette valeur. De plus, le mode DE permet, sous certaines conditions, d'utiliser les blocs de fonctions du mode SDF et de pouvoir les échantillonner à la fréquence désirée. Nous allons ainsi créer différents blocs fonctionnels travaillant à la même fréquence, puis nous les utiliserons dans le mode DE pour permettre de passer à une simulation beaucoup plus proche de la réalité de l'échantillonnage.

4.3. PARAMETRES DE SIMULATION.

Les paramètres de simulation ont été définis dans la partie 3.3.5 du chapitre 3. Les fréquences d'émission et de réception sont situées dans deux bandes de fréquences: La voie montante comprise entre 10 et 30 MHz, et la voie descendante comprise entre 50 et 87 MHz. Pour réaliser les simulations qui vont être présentées ci-après, nous nous plaçons dans le cas

d'une transmission lors des deux cas extrêmes de transmission, à savoir les fréquences d'émission et de réception de 10 MHz et 87 MHz. Chaque liaison sera simulée séparément afin d'en définir ses performances. Les fréquences de séquençement sont nommées comme suit:

- CLK_D qui correspond au débit numérique des données émises.
- CLK_FI qui est l'horloge de séquençement des blocs de modulation et de démodulation. Ces blocs permettent de travailler sur une porteuse à 20 MHz.
- CLK_VM qui est l'horloge de séquençement de la voie montante, ce qui permet d'émettre ou de recevoir à la fréquence de 10 MHz.
- CLK_VD qui est l'horloge de séquençement de la voie descendante, ce qui permet d'émettre ou de recevoir à la fréquence de 87 MHz.

Nom de l'horloge de séquençement	Valeur réelle d'échantillonnage	Valeur réduite de séquençement
CLK_D	1,544 MHz	1
CLK_FI	320 MHz	1/207,253886
CLK_VD	480 MHz	1/310,880829
CLK_VM	1.072 GHz	1/614,3005181

Fig. 4.1: Tableau de correspondance entre valeur de fréquence d'échantillonnage réelle du système et valeur de séquençement réduite employée sous Ptolemy.

Comme nous travaillons en valeur relative de séquençement par rapport au débit numérique de 1,544 Mbits/s, ceci afin de choisir le nombre de données émises. Le tableau de la figure 4.1 donne la correspondance entre valeurs réelles de fréquence et les valeurs réduites de séquençement pour les différents blocs du système.

4.4. SIMULATION DE L'ETAGE RADIOFREQUENCE.

4.4.1. Introduction:

Dans cette partie, nous allons simuler l'architecture complète de l'étage radiofréquence. Nous détaillerons chaque bloc fonctionnel afin d'en analyser le fonctionnement, et aussi pour rester aussi proche que possible de l'architecture définie au chapitre 3. Nous allons définir dans un premier temps les blocs nécessaires supplémentaires pour permettre une simulation efficace de notre système. De la même manière, les blocs fonctionnels de notre architecture seront étudiés, de telle sorte qu'il reste le plus proche possible de l'architecture définie au chapitre 3. Des simulations appariées entre blocs fonctionnels correspondant (codeur-décodeur, modulateur-démodulateur) seront effectuées pour en valider le bon fonctionnement. Enfin, le système complet, avec et sans ajout de bruit, sera simulé. Les résultats obtenus seront analysés.

4.4.2. Blocs fonctionnels supplémentaires nécessaires à la simulation du système.

4.4.2.1. Introduction.

Dans cette partie, nous allons étudier les différents blocs supplémentaires nécessaires à la simulation du système. Ces blocs n'ont pas été définis dans l'architecture donnée au chapitre 3, mais sont néanmoins nécessaires au fonctionnement du système, afin que nos simulations restent proches de la réalité. Leur architecture est étudiée et simulée pour en valider le fonctionnement. Ces blocs sont le générateur de données binaires, le codeur DQPSK, le codeur DQPSK, la mise en forme des symboles I&Q, le filtrage de bande, et le support de transmission bruité.

4.4.2.2. Générateur de données binaire.

Le bloc de génération de donnée binaire existe dans le domaine de simulation SDF, mais sa fréquence de fonctionnement ne peut être réellement choisie. Le schéma du bloc fonctionnel du générateur de donnée binaire est donné en figure 4.2. La « galaxie » est ainsi compilée dans le domaine SDF, et utilisable dans le domaine DE. Sa fréquence de séquençement est alors commandée par Clk.

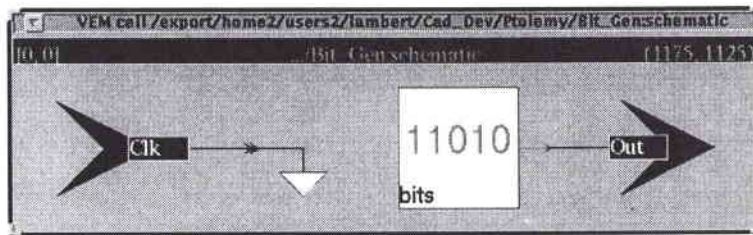


Fig. 4.2: Schéma du générateur de donnée binaire.

4.4.2.3. Codeur DQPSK.

La figure 4.3 montre l'architecture du codeur DQPSK. Il réalise la conversion des données binaires émises en symboles I&Q correspondant à la spécification de la constellation DQPSK de la recommandation DAVIC présentée au chapitre 1.4 (voir figure 1.17). Notre codeur DQPSK fonctionne à la même vitesse que le générateur de données binaires. La « galaxie » est compilée dans le domaine SDF, mais s'utilise dans le domaine DE avec un séquençement des données commandé par Clk. Le codeur est ainsi composé d'une fonction de conversion de nombres binaires en nombres entiers. La lecture se fait par groupe de deux bits, qui sont convertis en un nombre entier et fonction des données reçues (00, 01, 10, et 11 donnent respectivement les valeurs 0, 1, 2, et 3). Le nombre entier ainsi obtenu est ensuite envoyé vers une fonction réalisant la conversion des nombres entiers en nombres complexes I&Q. Le nombre complexe correspondant est généré selon la loi de codage DQPSK de la recommandation DAVIC. L'extraction de la partie réelle I et imaginaire Q est ensuite réalisée par la fonction de conversion complexe en réel. La fréquence de sortie des données est deux fois moindre que le débit binaire du bloc de génération des données, et celles-ci devront être

ré-échantillonnées en sortie pour permettre un bon fonctionnement du bloc fonctionnel de mise en forme des symboles qui est présenté ci-après. La figure 4.4 montre les signaux obtenus durant la simulation du générateur de données binaires et du codeur DQPSK.

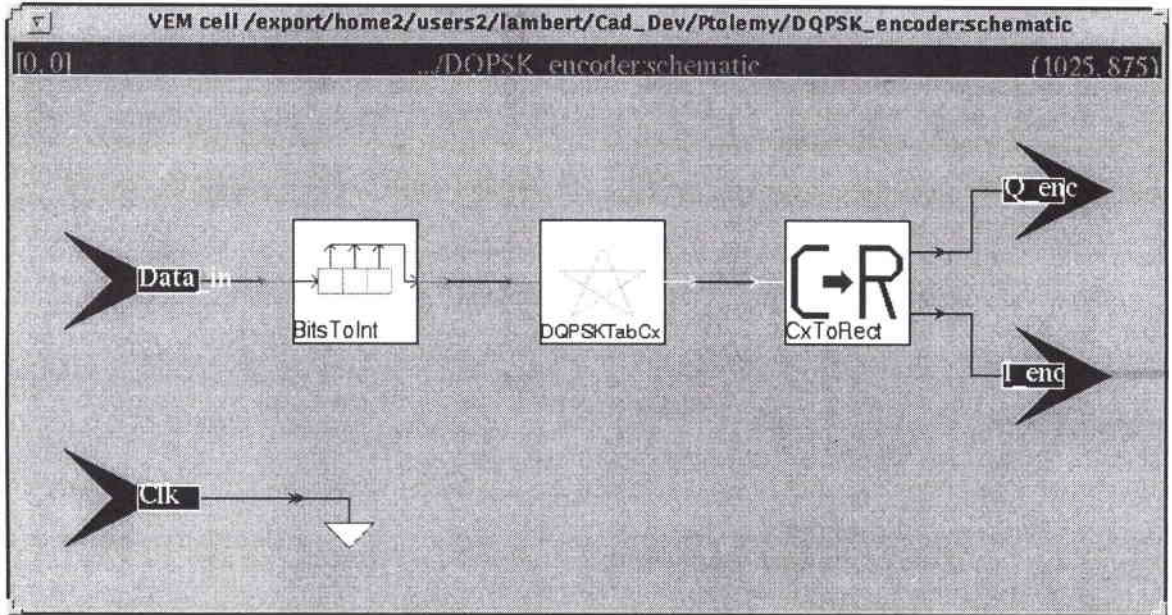


Fig. 4.3: Schéma du codeur DQPSK.

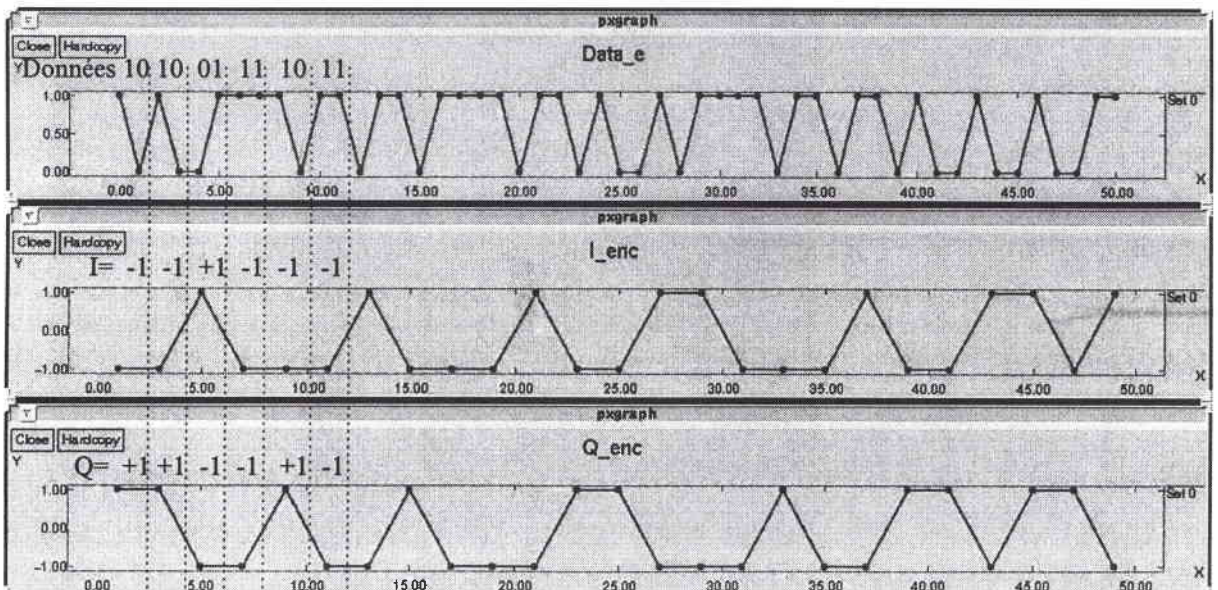


Fig. 4.4: Signaux obtenus lors de la simulation du codeur DQPSK

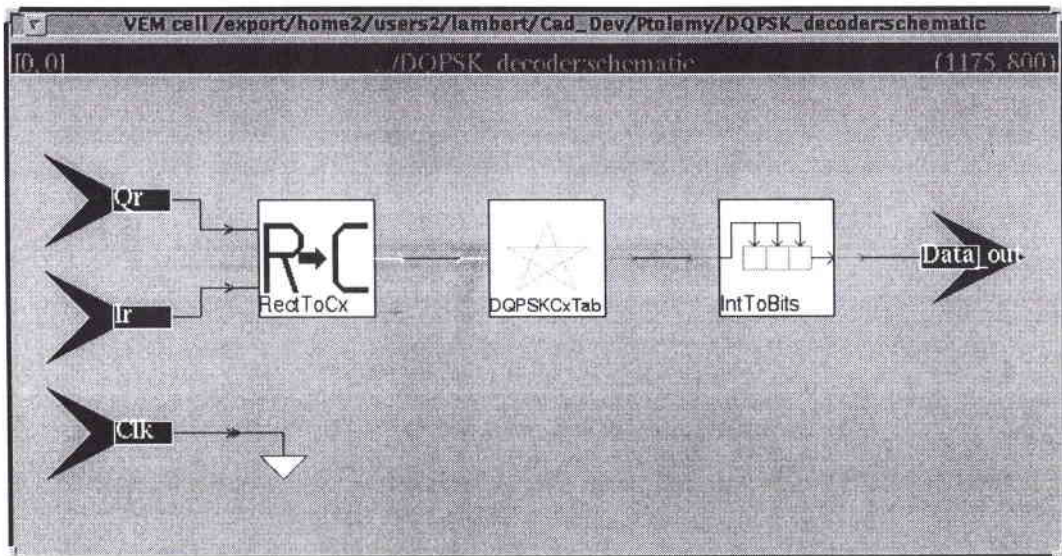


Fig. 4.5: Schéma du décodeur DQPSK.

4.4.2.4. Décodeur DQPSK.

L'architecture du décodeur DQPSK est donnée par la figure 4.5. Celle-ci permet d'effectuer l'opération inverse du codeur, et se compose d'une transformation de réel à complexe, pour restituer le doublet (I, Q). Ce doublet est ainsi décodé par une table de transformation (inverse de celle du codeur) qui envoie la valeur numérique correspondante au dibit émis (0, 1, 2, et 3 donnent respectivement les dibits 00, 01, 10, et 11). La conversion de valeur entière à binaire par paquet de deux bits permet alors de récupérer la trame de données initialement émise. Cette « galaxie » a été compilée dans le domaine SDF, et s'utilise dans le domaine DE, son séquençage étant commandé par Clk. Il est à noter que les données de sortie devront être ré-échantillonnées à la bonne fréquence. Pour valider le fonctionnement du décodeur DQPSK, une simulation appariée avec le codeur DQPSK a été effectuée. La chaîne de simulation est donnée par la figure 4.6. Les signaux obtenus montrent que la fonctionnalité de codage et décodage est assurée (voir figure 4.7). On peut remarquer que seule la première et la dernière donnée sont erronées, et que le reste de la trame de données est identique.

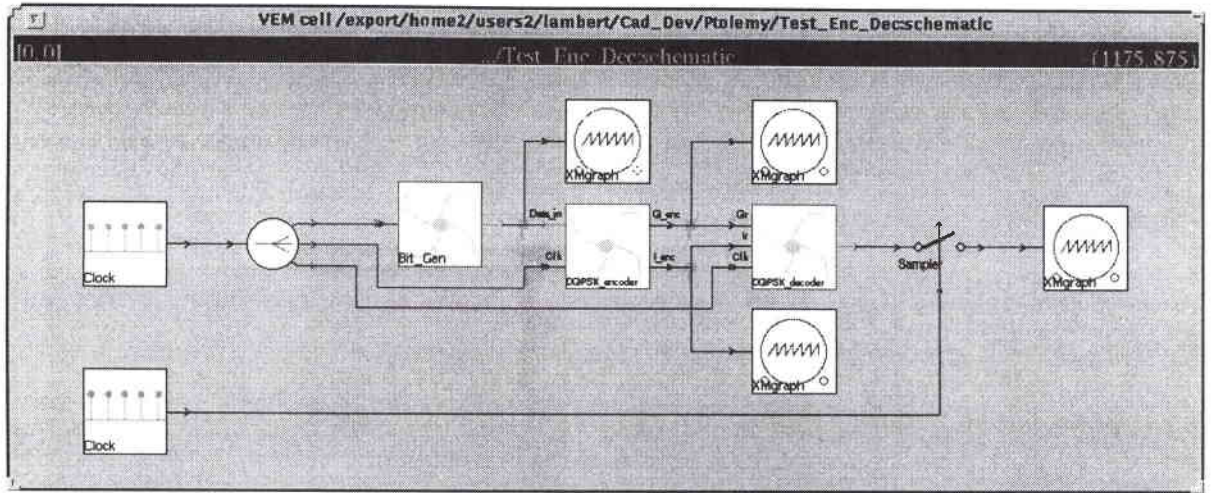


Fig. 4.6: Schéma de test du codage et du décodage DQPSK.

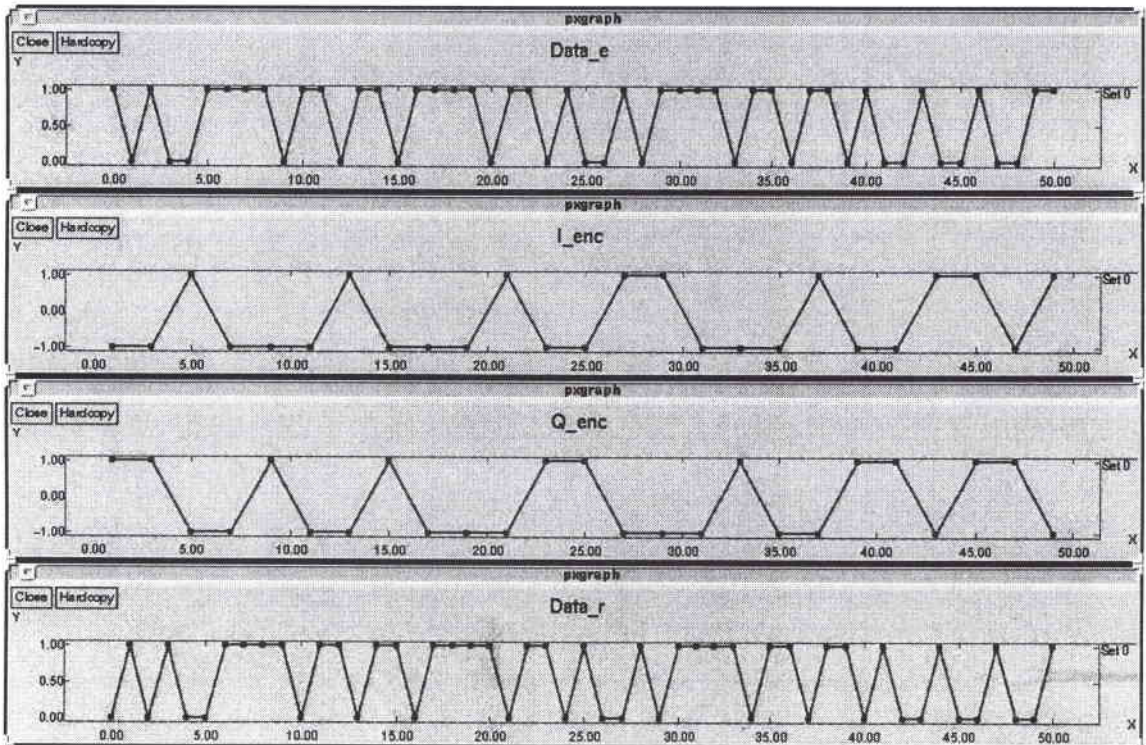


Fig. 4.7: Signaux obtenus lors du test de codage et de décodage DQPSK.

4.4.2.5. Mise en forme des symboles I&Q.

La figure 4.8 montre comment est réalisée la mise en forme des symboles I&Q avant la modulation. La recommandation DAVIC nous donne la réponse impulsionnelle du filtre de

mise en forme des symboles. Celle-ci est utilisée pour obtenir la forme des symboles I&Q spécifiée par la recommandation DAVIC. Les données d'entrées sont sur-échantillonnées 4 fois par rapport au débit initial. Ce bloc est composé d'un générateur de signal « WaveForm » qui génère périodiquement les données « 1000 ». Ceci permet, après multiplication, d'obtenir une impulsion de durée relative 1/4. Les séries d'impulsions ainsi générées (± 1) permettent d'obtenir globalement la somme de réponses impulsionnelles du filtre à 16 coefficients qui suit: La mise en forme des symboles est ainsi réalisée. Cette « galaxie » est également compilée dans le domaine SDF, et s'emploie dans le domaine DE, avec un séquençement commandé par Clk.

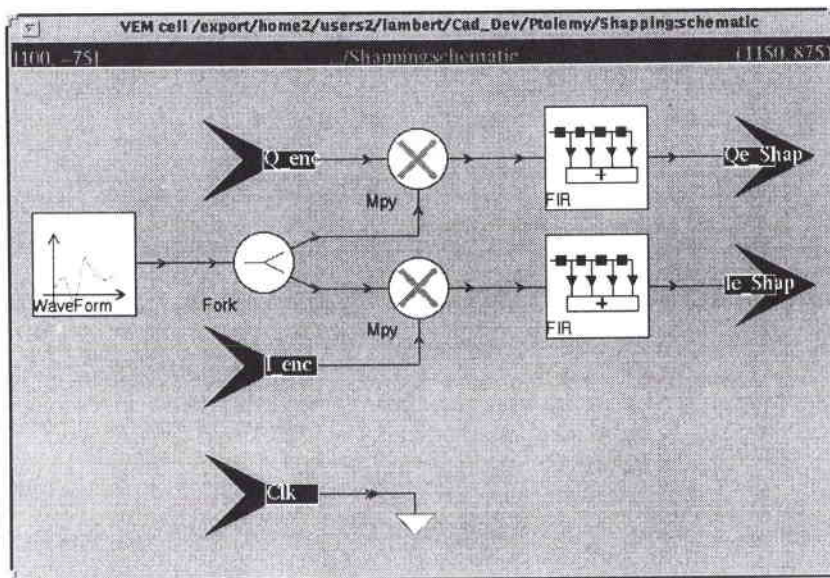


Fig. 4.8: Schéma du bloc de mise en forme des symboles I&Q.

La figure 4.9 montre le schéma du test du bloc de mise en forme des données I&Q émises avant modulation. Celui ci est composé d'un générateur « WaveForm » qui génère une série de donnée binaire comprise entre +1 et -1. Ces deux valeurs correspondent à celles qui seraient transmises durant une émission par le codeur I&Q. Ces signaux binaires sont alors sur-échantillonnés 4 fois, pour que le bloc de mise en forme des symboles puissent leur donner les allures obtenues sur la figure 4.10. Sur cette figure, on voit que les signaux de sortie (I_Shap et Q_Shap) possèdent la même allure que le signal d'entrée (Data). Nous avons

effectué ce test en donnant la même valeur à I et Q pour vérifier que les deux filtres sont identiques et donnent bien le même résultat.

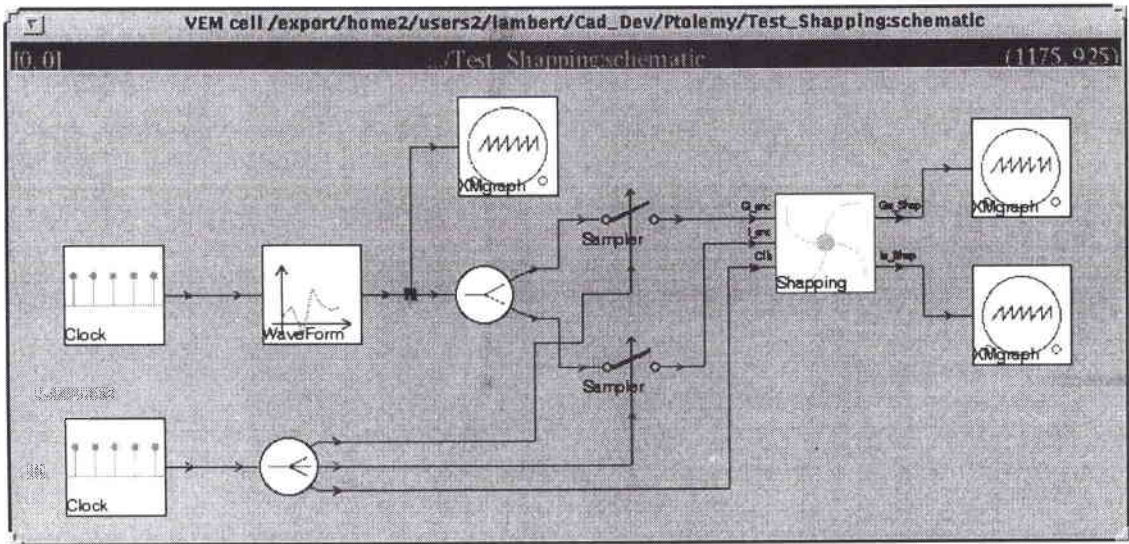


Fig. 4.9: Schéma de test du bloc de mise en forme des données I&Q.

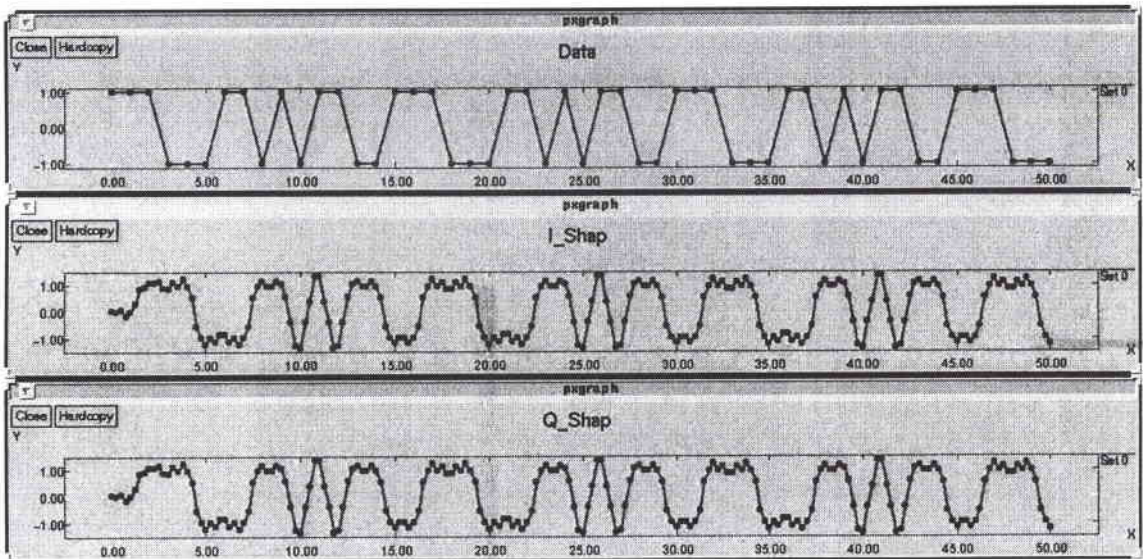


Fig. 4.10: Signaux obtenus lors du test du bloc de mise en forme des données I&Q.

4.4.2.6. Filtre de bande.

Comme le montre la figure 4.11, le filtrage de bande se compose d'un filtre RIF dont les coefficients changent en fonction de la bande de transmission du signal. Pour pouvoir comparer les résultats que nous allons obtenir à ceux des précédentes simulations en analogiques, le filtre de bande sera d'ordre 8. Comme précédemment, cette « galaxie » a été compilée dans le domaine SDF pour être employée dans le domaine DE.

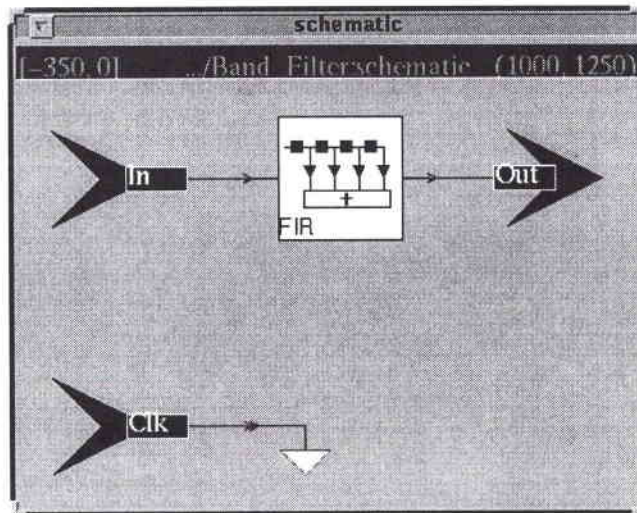


Fig. 4.11: Schéma du filtrage de bande.

4.4.2.7. Support de transmission bruité.

Pour simuler la transmission et obtenir des résultats sur la qualité du système, nous allons décrire le support de transmission par la structure de la figure 4.12. Cette structure va nous permettre, par ajout d'une perturbation de type bruit blanc Gaussien, dont le niveau de puissance est réglable, d'estimer les performances de transmission de notre système.

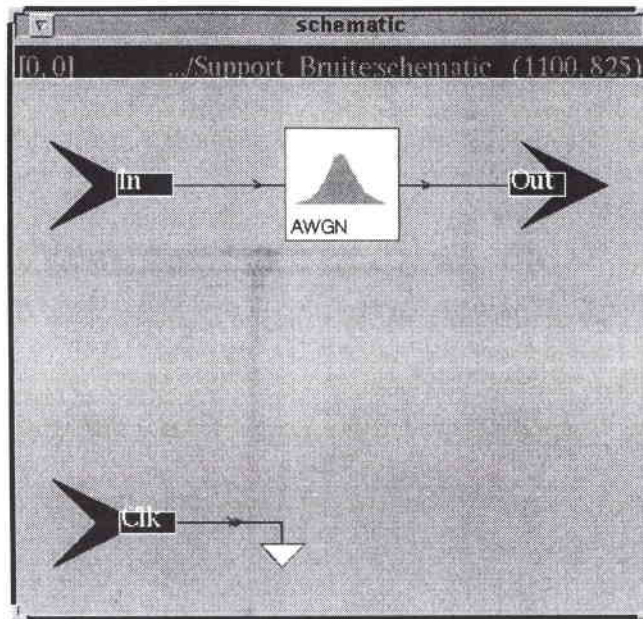


Fig. 4.12: Schéma du support de transmission.

4.4.3. Blocs fonctionnels décrivant l'architecture de l'étage radiofréquence.

4.4.3.1. Introduction.

Dans cette partie, nous allons étudier les différents blocs décrivant l'architecture définie au chapitre 3. Ces blocs sont le modulateur I&Q, le démodulateur I&Q, l'oscillateur local, les mélangeurs de fréquence d'émission et de réception, et le filtre de fréquence intermédiaire.

4.4.3.2. Modulateur I&Q.

Le modulateur I&Q reprend l'architecture définie au chapitre 3.3.3. La figure 4.13 montre son architecture. Elle se compose d'un bloc de génération d'exponentielle complexe, dont on extrait partie réelle et partie imaginaire, ce qui assure la génération des signaux en cosinus et sinus nécessaires à la modulation. On emploie alors deux blocs de multiplication et un bloc d'addition pour réaliser le reste de la fonction. La fréquence de séquençement est choisie par Clk, et les données d'entrée issues du bloc de mise en forme des données doivent

être sur-échantillonnées pour permettre un bon fonctionnement du système. Comme pour l'oscillateur local, les paramètres à implanter sont une valeur d'échantillonnage de 1, et une valeur de fréquence de 1/16, ce qui permet de générer deux signaux sinusoïdaux (cosinus et sinus) sur 16 points, pilotés par la fréquence d'échantillonnage Clk. Comme les « galaxies » précédentes, celle-ci est également compilée dans le domaine SDF et est employée dans le domaine DE.

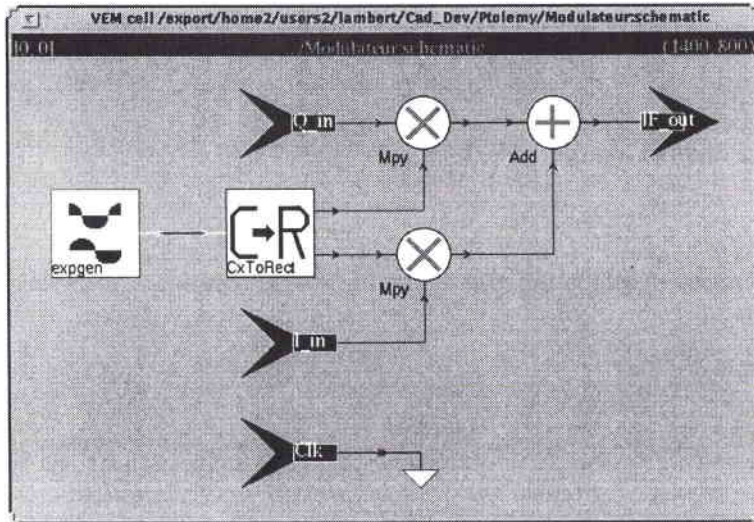


Fig. 4.13: Schéma du modulateur I&Q.

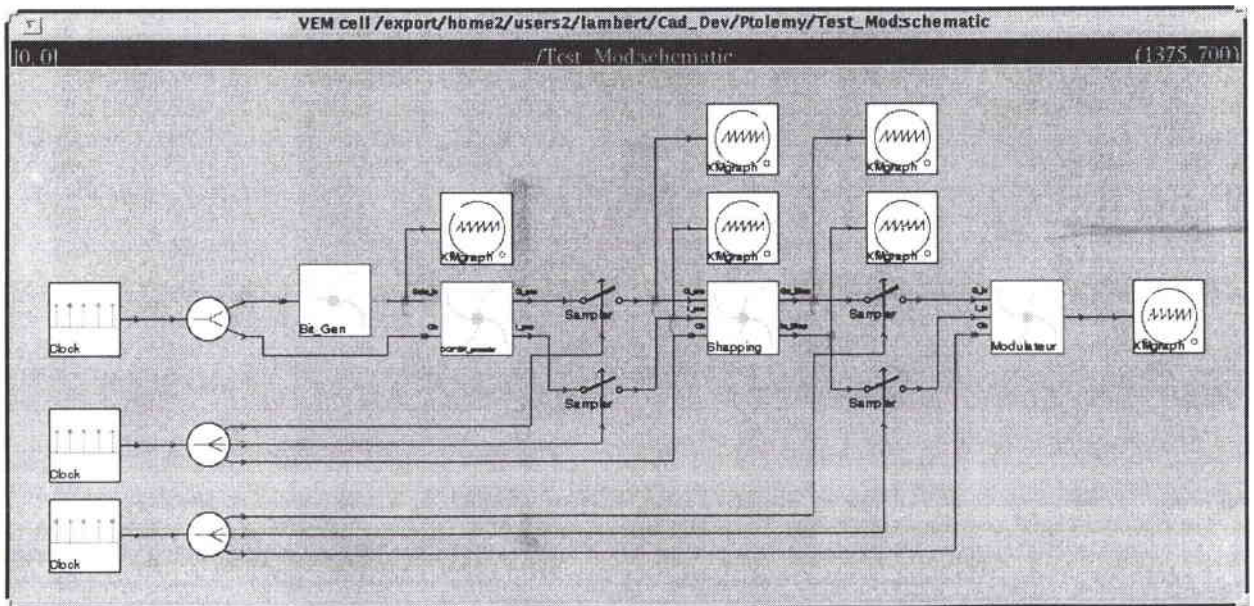


Fig. 4.14: Schéma de test du modulateur I&Q.

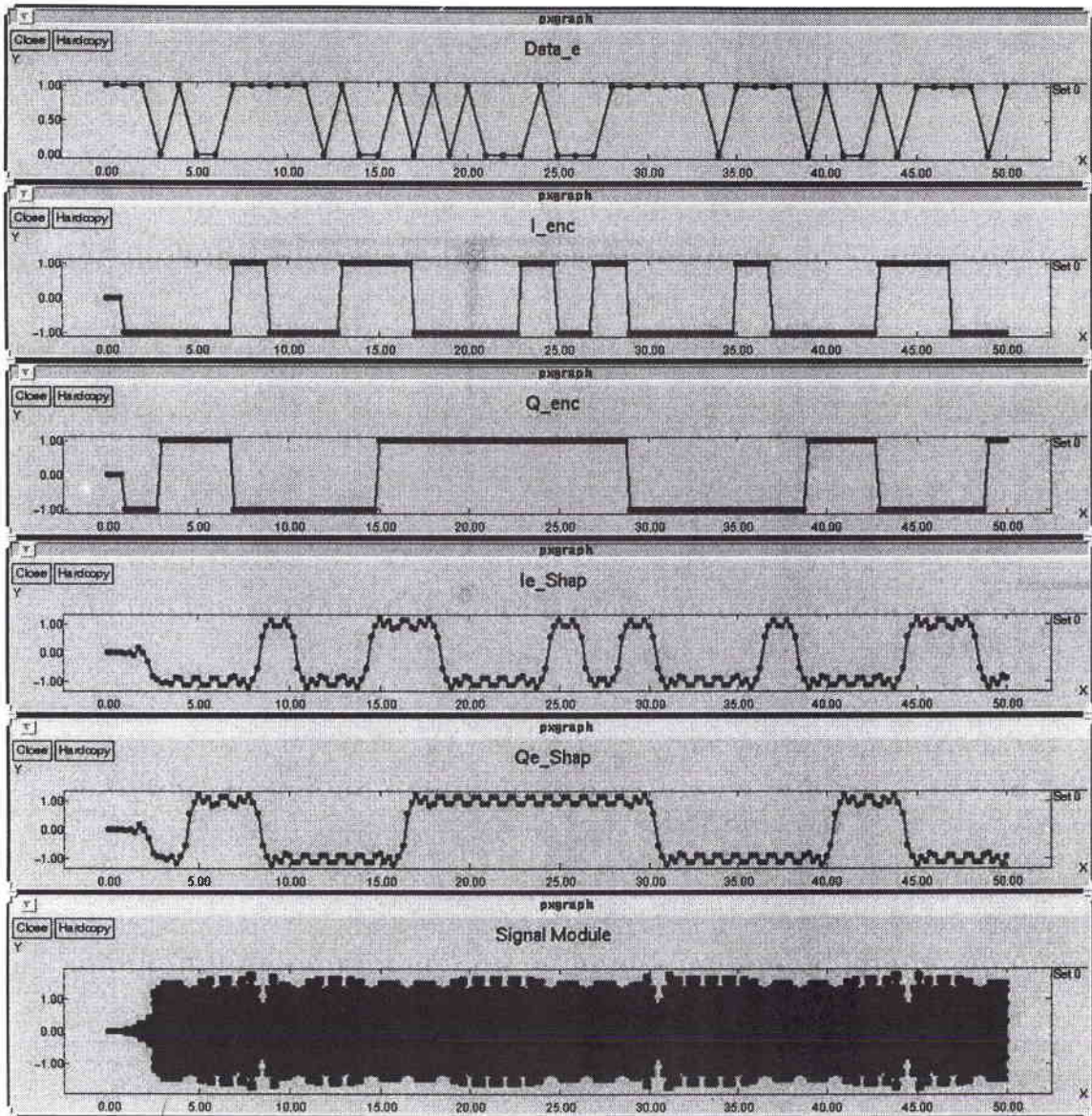


Fig. 4.15: Signaux obtenus durant le test du modulateur I&Q.

La figure 4.14 montre le schéma de test du modulateur I&Q. Nous avons employé ici le bloc de génération de données binaires, le bloc de codage DQPSK, le bloc de mise en forme des symboles I&Q, et le bloc de modulation I&Q. Comme expliqué dans la partie 4.3, nous allons travailler en valeur de fréquence d'échantillonnage relative au débit numérique. Ainsi, l'émetteur de données binaires et le codeur DQPSK seront échantillonnés avec un intervalle de 1 unité, le bloc de mise en forme des données sera échantillonné avec un intervalle de 1/4, et le bloc de modulation sera échantillonné avec un intervalle de 1/207,253886. La figure 4.15 montre les différents signaux obtenus durant la simulation. Le codage des symboles I&Q

permet d'obtenir des variations de phases et d'amplitudes moins brusques que dans le cas d'une émission où codeur et modulateur sont connectés directement. Comme nous allons le voir dans les parties suivantes, pour récupérer le signal, il faudra trouver le bon filtre et utiliser le sous-échantillonnage adapté, afin de récupérer les symboles I&Q précédemment émis et de restituer la trame de données émises.

4.4.3.3. Démodulateur I&Q.

L'architecture du bloc de démodulation reprend l'architecture développée dans le chapitre 3.3.3. La figure 4.16 montre son architecture. Comme pour le modulateur, une génération de porteuse complexe est employée pour obtenir les signaux sinusoïdaux en cosinus et sinus de démodulation. On emploie de la même manière des blocs de modulations pour extraire les symboles I et Q. Cette « galaxie » a été compilée dans le domaine SDF pour être employée en mode DE, le séquençement étant commandé par Clk. Pour permettre de valider le fonctionnement du démodulateur, une simulation appariée entre modulateur et démodulateur a été effectuée. La figure 4.17 donne le schéma de cette simulation à fréquence intermédiaire. Le schéma de test du modulateur (voir figure 4.14) a été complété par l'ajout du démodulateur, et séquençé avec un intervalle de $1/207,253886$ unités. Le démodulateur est directement échantillonné en sortie à la moitié du débit (intervalle de 2 unités) pour récupérer les symboles I&Q reçus, qui sont ensuite décodés afin de restituer la trame de données émises. La figure 4.18 donne l'allure des différents signaux recueillis lors de la simulation. Nous retrouvons les signaux émis à savoir, dans l'ordre d'émission, les données binaires (Data_e), les symboles I&Q codés (I_enc et Q_enc) et les symboles I&Q mis en forme avant modulation (Ie_Shap et Qe_Shap). De la même manière, nous avons les différents signaux reçus qui sont dans l'ordre de réception les signaux issus directement du démodulateur (Ir_Shap et Qr_Shap), qui sont sous échantillonnés pour obtenir les symboles I&Q reçus (Ir et Qr), et enfin la trame de données binaires reçue (Data_r). On remarque par ailleurs qu'il y a des pertes de données: en réception, les 4 premiers bits reçus sont erronés, et on perd ensuite les 4 dernières données émises. Sur le reste de la trame, la transmission s'effectue sans erreurs.

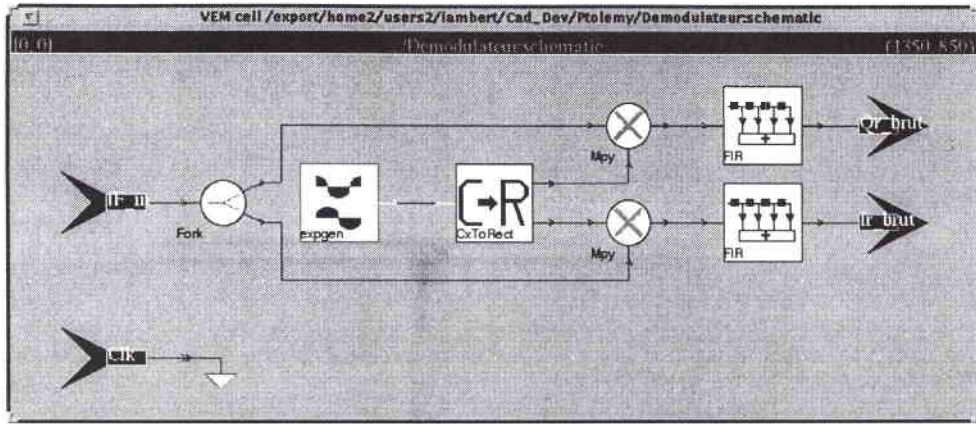


Fig. 4.16: Schéma du démodulateur I&Q.

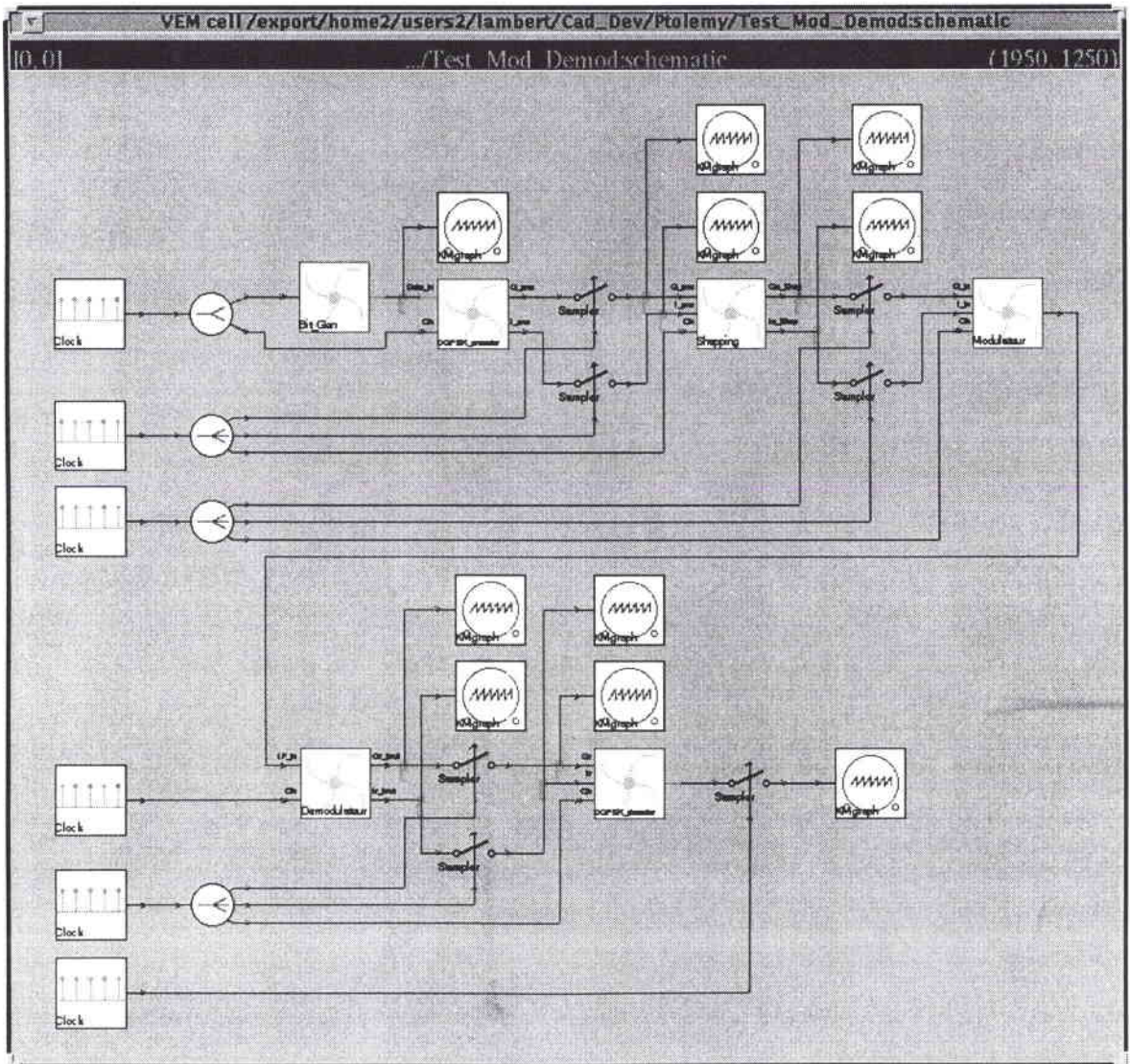


Fig. 4.17: Schéma du test d'émission-réception entre modulateur et démodulateur I&Q.

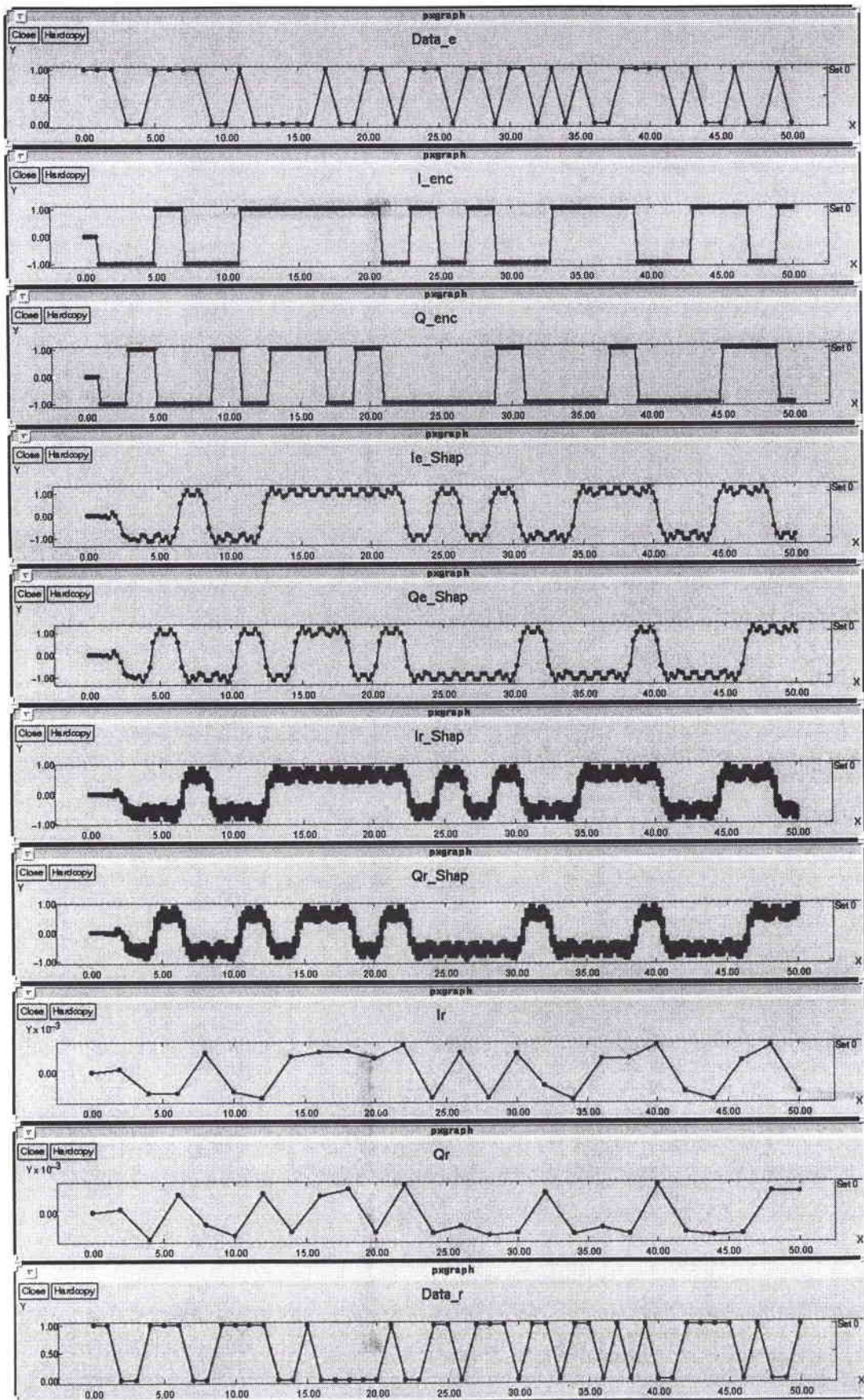


Fig. 4.18: Signaux obtenus lors du test d'émission-réception entre modulateur et démodulateur I&Q.

4.4.3.4. Oscillateur local.

Le bloc de génération de signal sinusoïdal existe, tout comme le générateur de données binaires, dans le domaine de simulation SDF, mais sa fréquence de fonctionnement ne peut être réellement choisie. Le schéma du bloc fonctionnel du générateur de donnée binaire est donné en figure 4.19. Les paramètres à implanter sont une valeur d'échantillonnage de 1, et une valeur de fréquence de 1/16, ce qui permet de générer un signal sinusoïdal sur 16 points par période de l'horloge Clk de séquençage. Ce bloc a été également compilé dans le domaine SDF, et s'utilise dans le domaine DE avec un séquençage des données commandé par Clk.

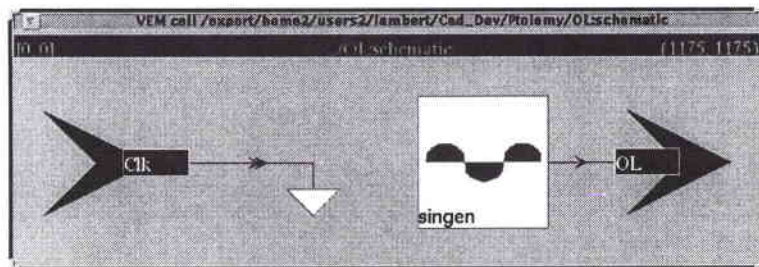


Fig. 4.19: Schéma de l'oscillateur local numérique.

4.4.3.5. Mélangeur de fréquence.

Comme nous l'avons vu dans le chapitre 3.3.2, l'architecture pour le mélangeur de fréquence d'émission est composée de 4 branches de multiplication. En émission, pour réaliser la multiplication des deux signaux entrant, il faut réaliser un multiplexage sur 4 sorties (voir figure 4.20), et un démultiplexage sur 4 entrées (voir figure 4.21). Dans les figures 4.20 et 4.21, les générateurs de signaux « WaveForm » assurent le séquençage des sampler pour permettre de réaliser un routage correct des données respectivement de la (ou les) entrée(s) vers la (ou les) sortie(s). Globalement, ces deux générateurs font offices de compteurs par 4. Les blocs de multiplexage et de démultiplexage sont compilés en mode DE. Pour réaliser la multiplication des signaux multiplexés, il faut employer une architecture comprenant 4 multiplicateurs. Celle-ci est présentée par la figure 4.22.

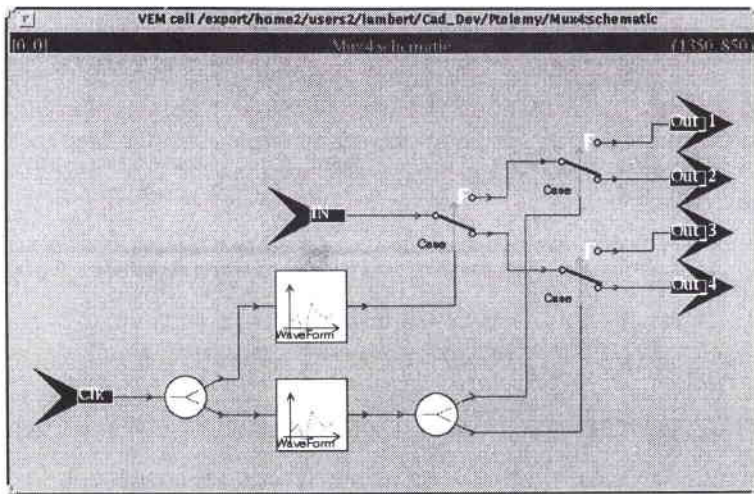


Fig. 4.20: Schéma du multiplexeur-4.

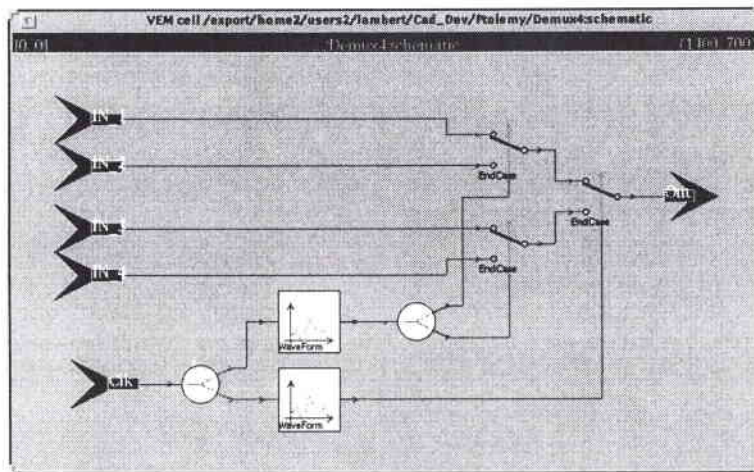


Fig. 4.21: Schéma du démultiplexeur-4.

Cette « galaxie » a été compilée dans le domaine SDF, et est utilisée dans le domaine DE, sa fréquence de séquençement étant commandée par Clk. La réalisation du mélangeur d'entrée comprend alors deux multiplexeurs en entrée pour distribuer les échantillons vers les multiplicateurs. On emploiera un oscillateur local pour générer la porteuse de décalage sur 16 points. Ces 16 points seront distribués chacun leur tour par un des multiplexeurs vers l'étage de multiplication des signaux. On en revient ainsi à la génération de 4 porteuses déphasées de $\pi/16$, et générant 4 points par période. Il ne reste plus qu'à reconstituer le signal désiré en

employant le démultiplexeur. L'architecture du mélangeur d'émission est donnée en figure 4.23.

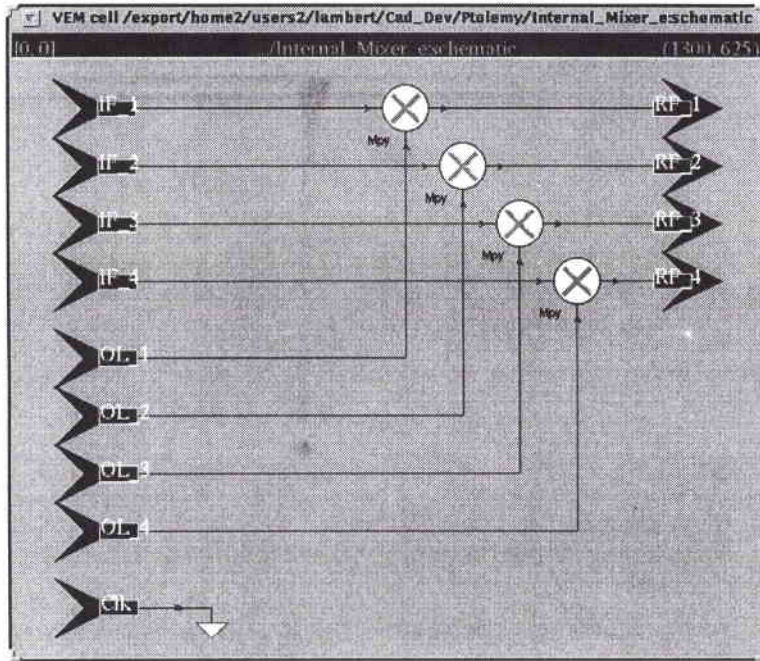


Fig. 4.22: Schéma de l'architecture de multiplication du mélangeur d'émission.

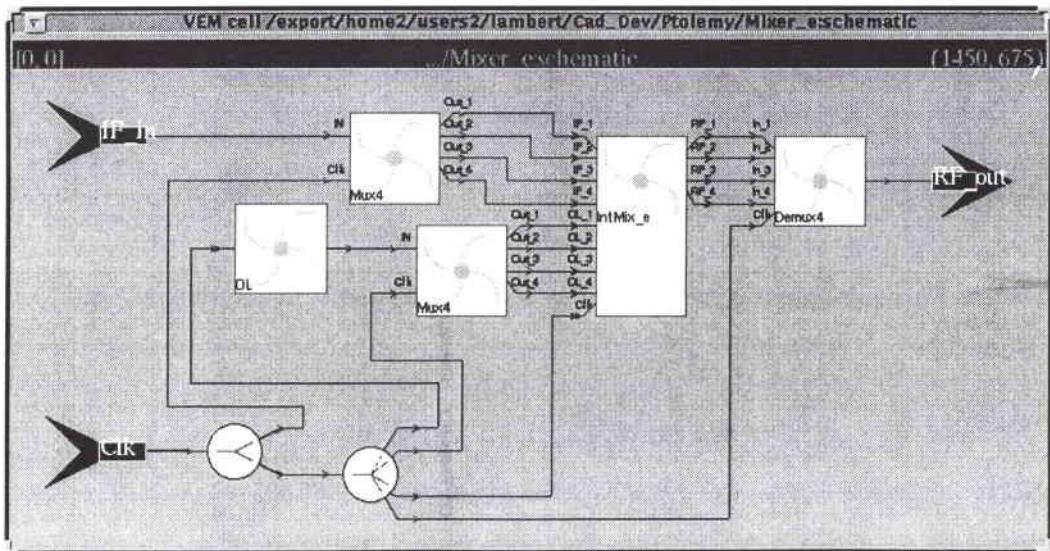


Fig. 4.23: Schéma global du mélangeur d'émission.

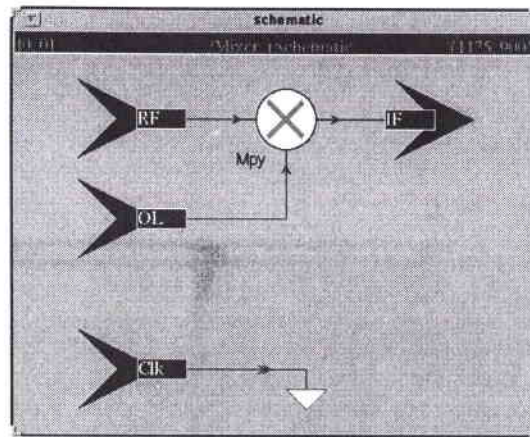


Fig. 4.24: Schéma global du mélangeur de réception.

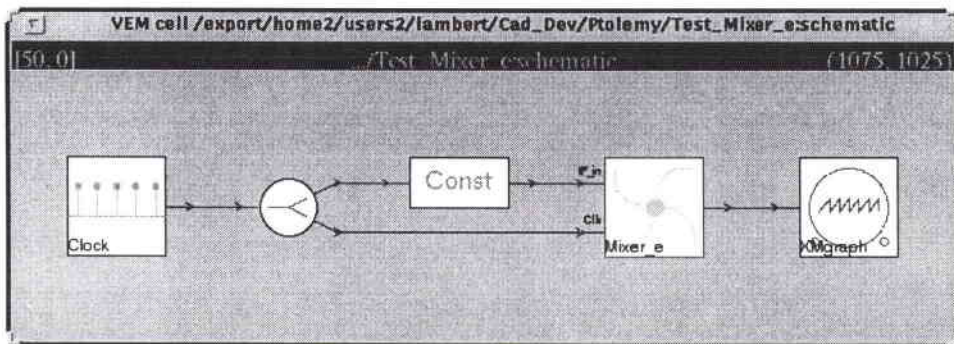


Fig. 4.25: Schéma de test du mélangeur d'émission.

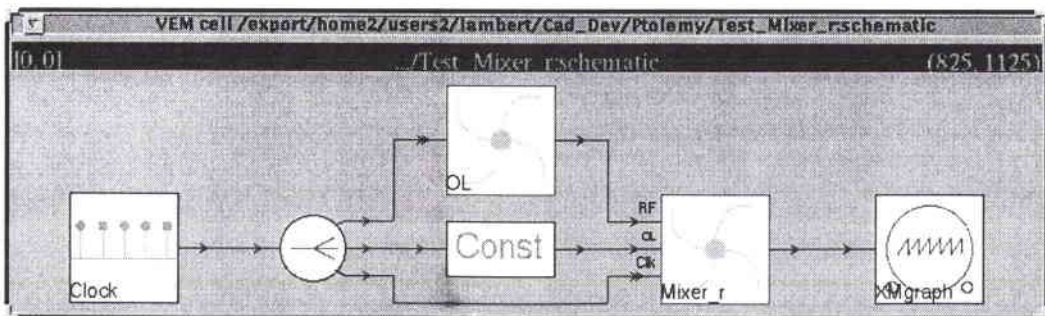


Fig. 4.26: Schéma de test du mélangeur de réception.

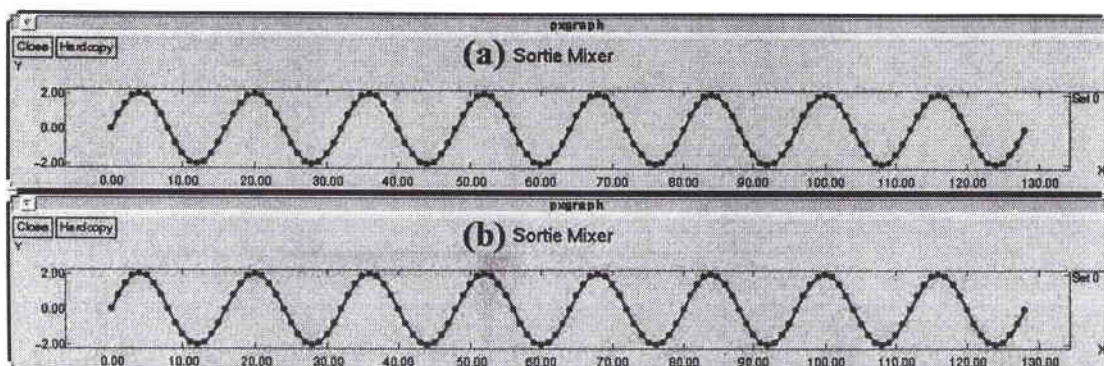


Fig. 4.27: Signal obtenu pour le test du mélangeur (a): d'émission; (b): de réception.

En réception, comme nous l'avons vu dans le chapitre 3.3.2, le mélange se fait simplement par multiplication des signaux (voir figure 4.24). Cette « galaxie » a été compilée dans le domaine SDF, et est utilisée dans le domaine DE. Les figures 4.25 et 4.26 donnent respectivement les schémas de test du mélangeur d'émission et de réception. Le but de ces tests est de montrer qu'il y a bien une multiplication entre le signal d'entrée et l'oscillateur local. Dans le cas du mélangeur d'émission, l'oscillateur local est intégré dans l'architecture du mélangeur. Le bloc de constante (Const) génère une constante de valeur 2 à chaque pas d'échantillonnage. La figure 4.27 montre le signal de sortie pour les deux types de mélangeurs. Dans les deux cas, le signal de sortie est identique, multiplié par deux (l'amplitude de départ d'un oscillateur est de 1), et chaque signal est décrit par 16 valeurs discrètes par période.

4.4.3.6. Filtre de fréquence intermédiaire.

Les deux filtres de fréquence intermédiaire sont implantés dans deux « galaxies » différentes, compilées dans le domaine SDF, afin de pouvoir effectuer un sous-échantillonnage dans le domaine DE. L'architecture des deux filtres est semblable, et l'exemple donné en figure 4.28 est celui-ci du premier étage de filtrage.

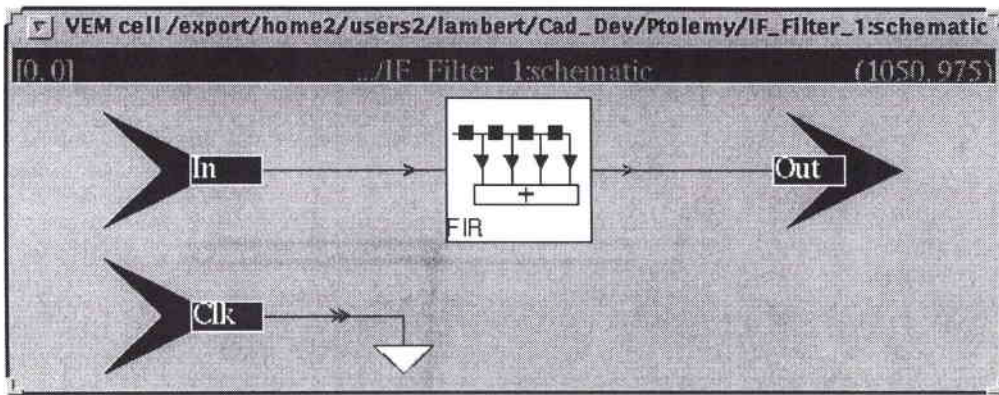


Fig. 4.28: Schéma du premier filtre de fréquence intermédiaire.

4.4.3.7. Conclusion.

Dans cette partie nous avons étudié et simulé les architectures des différents blocs fonctionnels nécessaires à la mise en place de la chaîne de transmission complète. Nous avons vu que toutes les fonctions et toutes les contraintes de l'étage radiofréquence telles qu'elles ont été définies au chapitre 3 sont respectées. Il ne reste plus qu'à effectuer la simulation de la chaîne complète pour en valider le fonctionnement.

4.4.4. Simulation du système complet.

4.4.4.1. Introduction.

Dans cette partie, nous allons simuler l'étage radiofréquence complet dans un premier temps sans ajout de bruit, pour valider le fonctionnement complet du système. Ensuite, par ajout de bruit blanc Gaussien, nous pourrions comparer les performances de notre système à celle obtenues avec les étages analogiques présentés au chapitre 1.

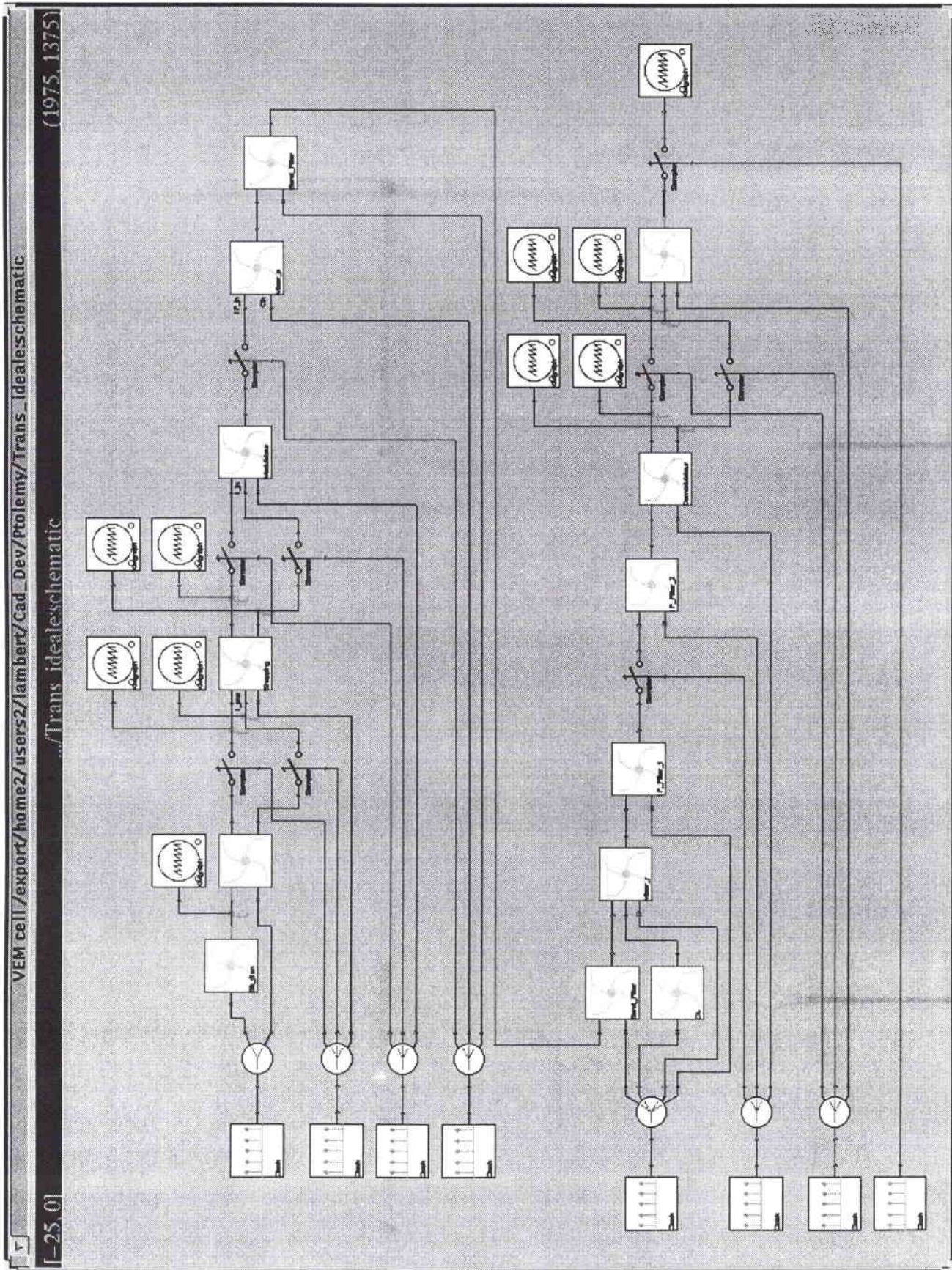


Fig. 4.29: Schéma de test pour une transmission idéale.

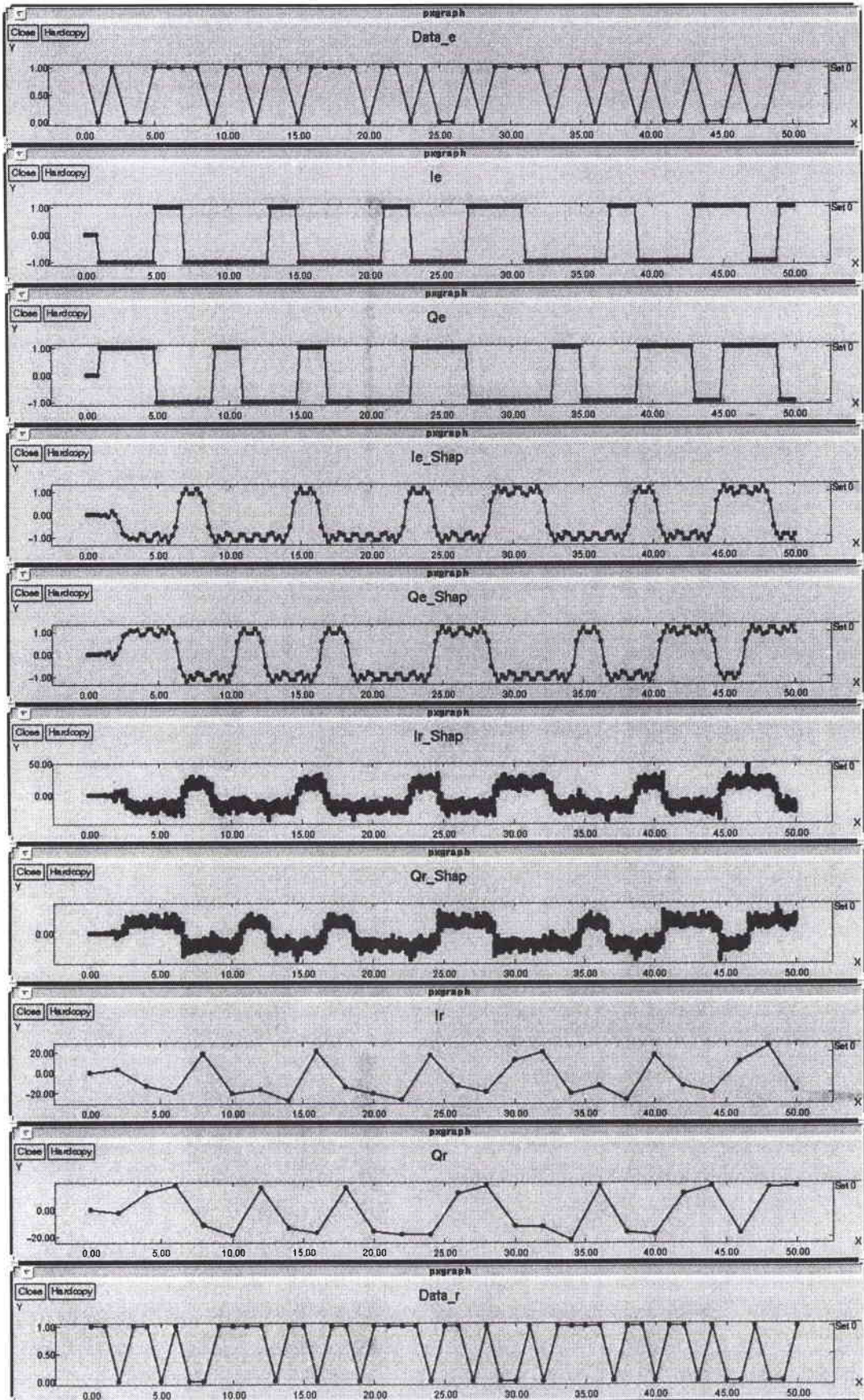


Fig. 4.30: Signaux obtenus lors du test pour une transmission idéale.

4.4.4.2. Transmission idéale.

La figure 4.29 montre le schéma de simulation dans le cas d'une transmission idéale. Ce test permet de valider le fonctionnement de l'émetteur et du récepteur de l'étage radiofréquence dans le cas d'une transmission sans bruit. La figure 4.30 montre les signaux obtenus en émission et en réception. Comme dans le cas de la transmission à fréquence intermédiaire, nous présentons les différents signaux, à savoir: Dans l'ordre d'émission, les données binaires (Data_e), les symboles I&Q codés (I_enc et Q_enc) et les symboles I&Q mis en forme avant modulation (Ie_Shap et Qe_Shap). De la même manière, nous avons les différents signaux reçus qui sont dans l'ordre de réception: Les signaux issus directement du démodulateur (Ir_Shap et Qr_Shap), qui sont sous échantillonnés pour obtenir les symboles I&Q reçus (Ir et Qr), et enfin la trame de données binaires reçue (Data_r). On remarque, que comme dans le cas d'une transmission à fréquence intermédiaire, qu'il y a également des pertes de données: en réception, les 4 premiers bits reçus sont erronés, et on perd ensuite les 4 dernières données émises. Sur le reste de la trame, la transmission s'effectue sans erreurs. Reste maintenant à effectuer les tests avec ajout de perturbations pour évaluer les performances du système.

4.4.4.3. Transmission bruitée.

La figure 4.31 donne le schéma de la simulation dans le cas d'une transmission bruitée par du bruit blanc Gaussien. Pour évaluer les performances de l'étage radiofréquence, nous allons effectuer différentes simulations en faisant varier la puissance moyenne du signal de perturbation. Les données émises et reçues vont pouvoir ainsi être comparées. Pour permettre de déterminer les caractéristiques de notre système par rapport aux différents montages analogiques, nous allons émettre une trame de données de 108 bits (100 bits à tester + 4 bits erronés à la réception en début de trame + 4 bits perdus à la réception en fin de trame), et effectuer un comptage des erreurs rencontrées. Il est évident qu'un comptage sur un plus grand nombre de données par une méthode de type Monte-Carlo, comme cela a été effectué avec le logiciel COMSIS dans le chapitre 1.5, permettrait d'obtenir des résultats bien plus précis, mais Ptolemy ne possède pas cette fonction.

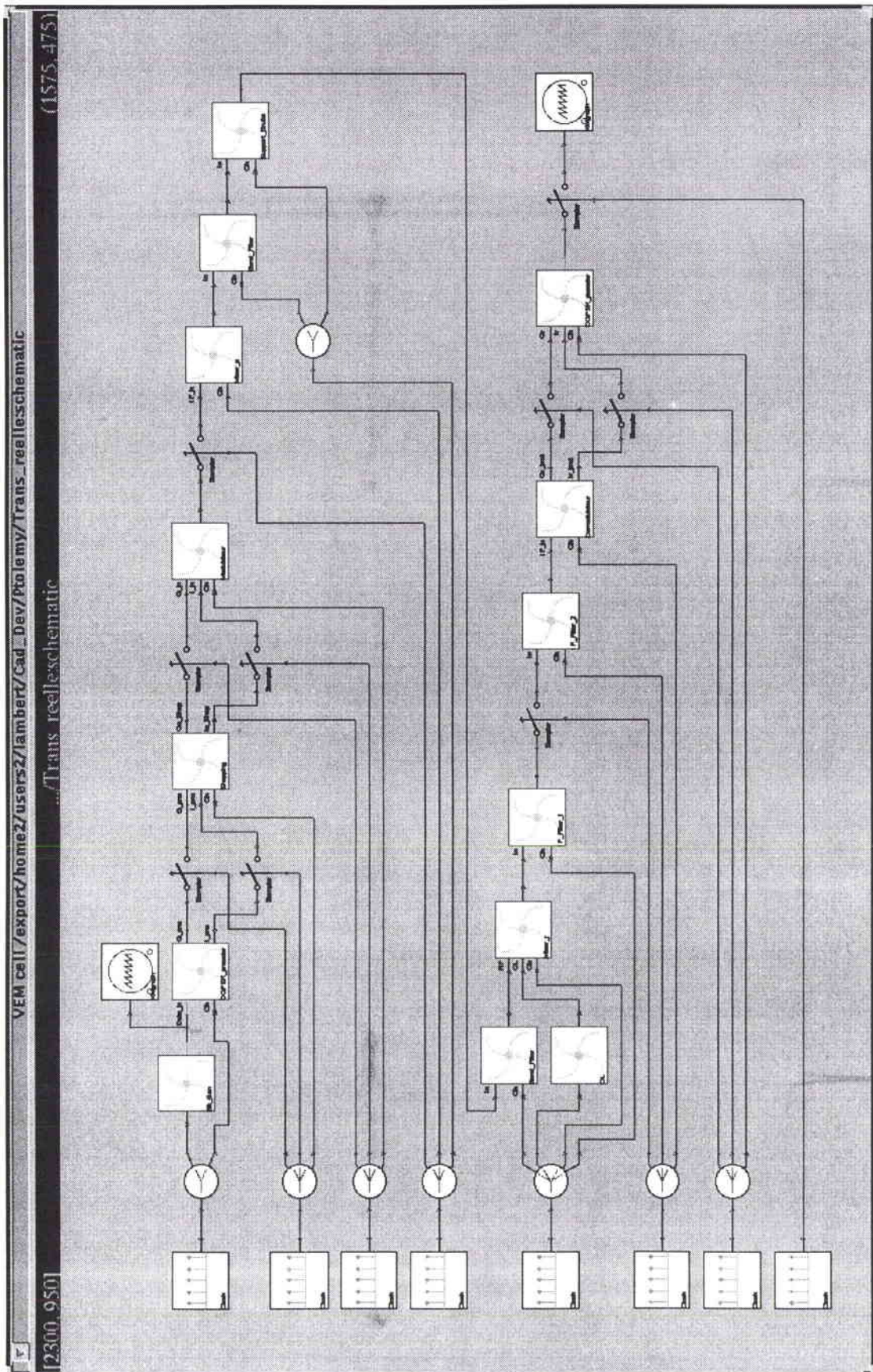


Fig. 4.31: Schéma de test pour une transmission bruitée.

4.4.4.4. Résultats de simulation.

Les résultats obtenus lors de la simulation sous Ptolemy montrent une meilleure immunité au bruit de notre étage radiofréquence numérique par rapport à une architecture analogique standard. En effet, dans les différents cas numériques étudiés, les premières erreurs de transmission apparaissent pour un rapport signal sur bruit de 12,5 dB environ, contre environ 15 dB pour une réalisation analogique équivalente [21]. Ces résultats ont été obtenus sans tenir compte des phénomènes liés au bruit de quantification [28]. En effet, plus la résolution des signaux est mauvaise, plus il y aura d'erreurs de transmission. Ceci se traduit par une augmentation du rapport signal sur bruit nécessaire pour assurer une transmission sans erreurs.

La figure 4.32 montre l'évolution du taux d'erreurs en fonction du rapport signal sur bruit lors d'une transmission bruitée. Les deux cas extrêmes d'une transmission à 10 MHz et 87 MHz sont représenté sur ce graphiques. Si on se réfère aux résultats obtenus dans notre étude portant sur les étages analogiques [21], on peut conclure que la qualité de transmission obtenue pour l'étage numérique est meilleure que nos précédents résultats [37, 38].

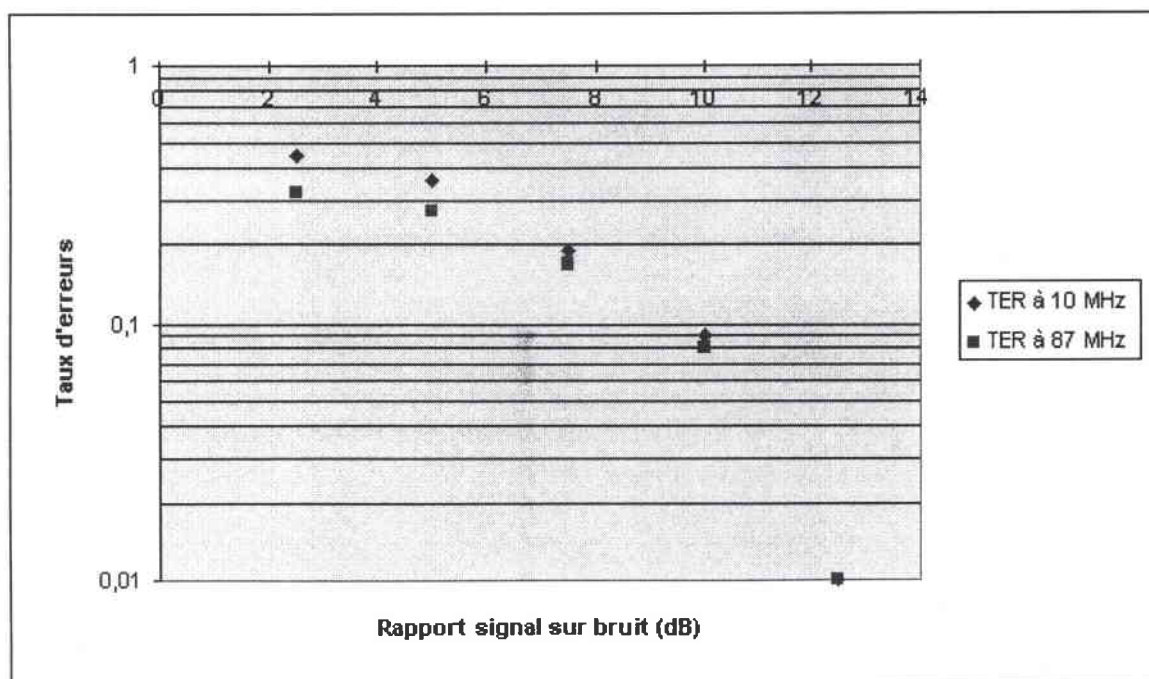


Fig. 4.32: Evolution du taux d'erreurs pour une transmission bruitée: Cas d'une transmission à 10 MHz et 87 MHz.

En effet, nous avons effectué les simulations dans le cas d'une fréquence intermédiaire de 20 MHz pour un filtrage de bande d'ordre 8. Or, il faut remarquer deux choses: Dans le cas des simulations portant sur les étages analogiques, le filtre de fréquence intermédiaire était de type passe-bande et d'ordre 10, alors qu'ici, il se compose d'un filtre à décimation dont l'ordre global n'est que de 6, et qui est composé de deux filtres RIF de type passe-bas. Compte tenu de ce facteur, on peut remarquer qu'à une fréquence intermédiaire et un filtrage de bande équivalent, et avec l'emploi d'un filtrage de fréquence intermédiaire d'ordre moindre, notre étage radiofréquence numérique obtient des résultats équivalent, voire même meilleur que ceux obtenus en analogique [37, 38]. On remarquera par ailleurs que les résultats obtenus sont d'autant meilleurs que la fréquence d'émission augmente. Ceci est dû au fait que lors du mélange de fréquence, il y a deux harmoniques qui sont générés: Celui correspondant au signal émis, et celui qui est supprimé par le filtrage de bande. Or quand on veut émettre à une fréquence plus élevée, l'harmonique indésirable est très facile à éliminer puisqu'il est de fréquence d'autant plus élevée. Ceci explique les meilleurs résultats de l'émission à 87 MHz.

4.5. CONCLUSION.

Dans ce chapitre, nous avons présenté les différents blocs fonctionnels ayant permis de réaliser la simulation de l'architecture de notre étage radiofréquence numérique sous Ptolemy. Les différents tests permettant de valider les choix effectués ont également été présentés. Ceux-ci ont montré le bon fonctionnement de chacun des blocs utiles à la simulation de l'étage radiofréquence complet (génération des données, codage et décodage DQPSK, modulation et démodulation I&Q, mélange de fréquence, et différents filtrages), ainsi que les différents types de signaux rencontrés tout au long de la chaîne de transmission. Les résultats de simulation obtenus dans le cas d'une transmission avec ajout de bruit blanc Gaussien a permis de montrer que la qualité de transmission est meilleure avec notre étage radiofréquence qu'avec ceux généralement employé en analogique.

CONCLUSION GENERALE

Dans ce mémoire, nous avons présenté une solution architecturale adaptée à la réalisation d'un étage radiofréquence numérisé dédié à une application modem. L'étage qui a été étudié répond à la recommandation DAVIC pour le mode de transmission à moyen débit (1,544 Mbits/s) utilisant une modulation par sauts différentiels de phase à 4 états (DQPSK-4) sur deux voies de transmission. L'architecture obtenue est en grande partie implantable en technologie CMOS.

Après une étude de l'architecture standard d'une chaîne de transmission de données numériques, nous nous sommes intéressés aux fonctions que doit assurer un étage radiofréquence analogique. Ces fonctions (la modulation, la démodulation, le décalage fréquentiel et le filtrage) nous ont permis de définir quelles sont les méthodes couramment employées pour les réaliser. Nous nous sommes basés sur les spécifications de la recommandation DAVIC afin d'effectuer une simulation fonctionnelle sur le logiciel COMSIS des différentes réalisations envisageables. Cette étude a permis de voir qu'un compromis de réalisation est nécessaire entre filtrage, fréquence intermédiaire, et choix de mélangeur. De plus, pour obtenir une qualité de transmission qui soit la meilleure possible, ainsi qu'une réalisation aisée, le passage par des composants linéaires est souhaitable afin d'éviter les perturbations issues des harmoniques de mélange.

Dans le deuxième chapitre, Nous avons utilisé les modes de fonctionnement analogiques les plus performants afin de déterminer les fonctions numériques potentiellement utilisables. Dans chaque cas, un bref état de l'art des différentes techniques numériques couramment employées a été effectué pour permettre d'affiner les choix de conception concernant les différents blocs fonctionnels à réaliser.

Dans le troisième chapitre, les contraintes technologiques et les contraintes de fréquence, définies à partir du cahier des charges donné par la recommandation DAVIC, ont permis d'effectuer un choix sur l'architecture à employer pour réaliser les différents blocs fonctionnels. L'architecture globale de l'étage radiofréquence numérisé a ainsi été définie, et chaque bloc fonctionnel a vu la vitesse du flot de données le traversant augmentée par l'emploi d'une architecture pipe-line, et/ou parallélisée, et/ou récursive. L'architecture globale a ensuite été décrite en langage VHDL, bloc par bloc. Cette description a permis effectuer la simulation sous Altera de chacune des fonctions de l'étage afin d'en valider le fonctionnement global. Pour ce faire, nous avons décrit notre système par du code VHDL synthétisable, c'est

à dire que le logiciel Altera puisse en faire une implantation sur un des circuits FPGA qu'il propose. Nous avons ainsi déterminé les performances d'une telle réalisation dans la technologie employée par la famille des FLEX10K d'Altera. Les résultats ont montré que les blocs fonctionnent à la même vitesse. Nous en avons donc déduit que notre architecture numérique permettait de réaliser la fonction d'étage radiofréquence, sans tenir compte des contraintes technologiques de réalisation.

Dans le dernier chapitre, les données obtenues à partir des simulations réalisées sous Altera ont été employées afin de réaliser une simulation fonctionnelle complète de l'étage radiofréquence sous le logiciel Ptolemy, sans tenir compte des facteurs relatifs à la technologie. Cette simulation a permis de déterminer les performances d'une réalisation totalement numérique, et de les comparer à ceux d'une réalisation analogique.

De cette étude, nous tirons la conclusion suivante: L'architecture que nous avons définie permet la réalisation de l'étage radiofréquence totalement numérisé souhaité. Cependant, vu les fréquences d'échantillonnages demandées, l'emploi de deux technologies d'implantation est nécessaire. En effet, toute la réalisation de la partie fonctionnant à la fréquence intermédiaire peut être réalisée en CMOS, alors que pour les deux étages de mélange de fréquence, un choix est à faire entre parallélisme et changement de technologie. Dans ce cas, un compromis est à trouver entre surface, coût de fabrication, et performances requises. La simulation fonctionnelle sur le logiciel Ptolemy a permis d'évaluer les performances globales du système. Nous avons employé les différentes fonctions offertes par le logiciel pour réaliser les blocs composant l'architecture de notre étage. Les premiers résultats de simulation, compte tenu des limitations du logiciel Ptolemy, permettent d'affirmer que les performances en qualité de transmission sont meilleures que celles obtenues avec une réalisation analogique. Il reste ainsi à valider définitivement ces résultats avec une réalisation sous forme d'ASIC pour pouvoir confirmer les qualités de notre architecture.

ANNEXE

Annexe I: Exemple de calcul d'un produit de multiplication par codage de Booth.

Annexe II: Description des étages de filtrage du système.

Annexe I:

Exemple de calcul d'un produit de multiplication par codage de Booth.

Voici un petit exemple de calcul de multiplication par codage de Booth. Soient les deux multiplicandes X et Y tels que $X=0011$, et $Y=0110$. Le produit de X par Y donne le résultat $P=00010010$.

Nous allons détailler le calcul par codage de Booth.

Les deux premiers bits rencontrés dans Y sont $b_0=0$ et $b_1=1$. On additionne donc X à la somme S (nulle au départ) des produits partiels et on multiplie le résultat par 2 (décalage de un bit vers la droite), et on obtient:

$$S=00000110$$

Les bits suivants sont $b_1=1$ et $b_2=1$. On multiplie donc la somme S des produits partiels par 2 (décalage de un bit vers la droite), et on obtient:

$$S=00001100$$

Les bits suivants sont $b_2=1$ et $b_3=0$. On soustrait Y à la somme S des produits partiels, et on multiplie le résultat par 2 (décalage de un bit vers la droite), et on obtient:

$$S=00001100-11$$

↔

$$P=00001001$$

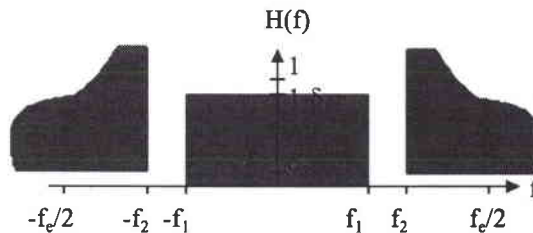
CQFD.

Annexe II:

Description des étages de filtrage du système:

1/ Introduction.

Le gabarit $H(f)$ d'un filtre passe bas est défini comme ayant une atténuation maximale de $1-\delta_1$ dans la bande passante ($f < f_1$), et une atténuation d'au moins δ_2 dans la bande affaiblie ($f > f_2$), comme le montre la figure ci dessous.



Dans son ouvrage BELLANGER [27] montre qu'à partir de ce gabarit, on peut calculer l'ordre n du filtre, ainsi que le nombre N_c de coefficients qui vont être nécessaires pour réaliser le filtrage numérique. Si nous posons que $A_{\max} = 20 \text{Log}(1 - \delta_1)$ et $A_{\min} = 20 \text{Log}(\delta_2)$, alors le degré n du filtre et le nombre de coefficients N_c correspondants sont donnés par les formules respectives suivantes:

$$n = \frac{\text{Log} \frac{10^{\frac{A_{\min}}{10}} - 1}{10^{\frac{A_{\max}}{10}} - 1}}{2 \text{Log} \frac{f_2}{f_1}} \quad \text{et} \quad N_c = \frac{2}{3} \text{Log} \left(\frac{1}{10 \delta_1 \delta_2} \right) \frac{f_e}{f_2 - f_1}$$

Dans son ouvrage BELLANGER [27] montre également qu'il est aussi possible de calculer les coefficients h_n d'un filtre numérique séquencé à la fréquence f_e , à partir de son gabarit $H(f)$, en utilisant la formule suivante:

$$h_n = \frac{1}{f_e} \int_{f_e} H(f) e^{-2j\pi n \frac{f}{f_e}} df$$

Le plus souvent, on emploie des logiciels de synthèse de filtres numériques qui nous donnent directement les coefficients à implanter.

2/ Filtres du systèmes:

2.1/ Cas du premier étage du filtre de fréquence intermédiaire:

Dans le cas de ce filtre passe-bas (voir figure 3.16 du chapitre 3), les fréquences d'échantillonnages varient de 480 MHz à 1,072 GHz. L'ordre du filtre ne change pas en fonction de sa fréquence d'échantillonnage et reste égal à 7. Pour respecter le gabarit demandé, le nombre de coefficients nécessaires au respect du gabarit dans les deux cas est de 11 coefficients, et dont les valeurs sont:

$$h_{0,10} = -0,013132$$

$$h_{1,9} = 0,021958$$

$$h_{2,8} = 0,080975$$

$$h_{3,7} = 0,163431$$

$$h_{4,6} = 0,236709$$

$$h_5 = 0,297708$$

2.2/ Cas du deuxième étage du filtre de fréquence intermédiaire:

Dans le cas de ce deuxième filtre passe-bas (voir figure 3.17 du chapitre 3), la fréquence d'échantillonnage est de 320 MHz. L'ordre du filtre est égal à 6. Pour respecter le gabarit demandé, on emploie alors 10 coefficients, dont les valeurs sont:

$$h_{0,9} = 0,004493$$

$$h_{1,8} = 0,037214$$

$$h_{2,7} = 0,123109$$

$$h_{3,6} = 0,188505$$

$$h_{4,5} = 0,274169$$

2.3/ Cas du du filtre de démodulation:

Dans le cas de ce filtre passe-bas (voir figure 3.18 du chapitre 3), la fréquence d'échantillonnage est de 320 MHz. L'ordre du filtre est égal à 5. Pour respecter le gabarit demandé, on emploie alors 10 coefficients, dont les valeurs sont:

$$h_{0,9}=0,036369$$

$$h_{1,8}=0,067943$$

$$h_{2,7}=0,123708$$

$$h_{3,6}=0,157632$$

$$h_{4,5}=0,211551$$

L'essor des télécommunications et des applications s'y rattachant est un des faits marquant de cette fin de siècle, et notamment dans les domaines des réseaux et des modems numériques à haut débit. Nous nous sommes particulièrement intéressés aux étages radiofréquences de ces modems, et surtout à ceux préconisés par la recommandation DAVIC (Digital Audio-VISual Council). Cette recommandation détermine le protocole de transmission, ainsi que les différentes couches physiques nécessaires à une application multimédia sur réseau coaxial. Le but de notre travail a été de trouver une solution architecturale permettant de réaliser un étage radiofréquence totalement numérisé et compatible DAVIC. L'étude des étages radiofréquences analogiques (structure, réalisation, etc.) et leur simulation ont permis de déterminer les principales caractéristiques de chacun des blocs fonctionnels les constituants (filtres, mélangeurs, etc.). A partir de ces caractéristiques, l'étude des différentes techniques numériques permettant de réaliser ces mêmes fonctions essentielles à un étage radiofréquence nous a permis de choisir une architecture totalement numérisée. Celle-ci a été décrite en langage VHDL synthétisable, et simulée sous le logiciel Altera MaxPlusII. Les résultats ont permis de démontrer la faisabilité de notre système, avec cependant la nécessité d'opter pour une architecture pipe-line parallélisée afin de pouvoir l'implanter au maximum en technologie CMOS. Toutefois l'emploi d'une technologie plus rapide (ECL, AsGa, ou autre) s'avère nécessaire vue les fréquences d'échantillonnages demandées par l'application (1,072 GHz pour un signal de 87 MHz émis sur au moins 12 points par période). Une simulation complémentaire sur le logiciel Ptolemy a permis de démontrer que notre système permet une meilleure qualité de transmission que les étages radiofréquences analogiques usuels.

Mots clés: Modulation numérique, Démodulation numérique, Mélangeur de fréquence, VHDL, Etages radiofréquences analogiques et numériques, Architecture pipe-line parallélisée, DAVIC, Simulation fonctionnelle.

ABSTRACT

Recent progress in telecommunication applications is the most important fact of this end of century, particularly in networks and high bit rate digital modem domains. We focus on radiofrequency stages used for these modems, and especially on those specified by the DAVIC (Digital Audio-Visual Council) recommendation. This one fixes the transmission protocol and the different layers needed to performed an interactive multimedia application on coaxial cable network. Our goal was to find an architectural solution to realize a DAVIC compliant fully digital radiofrequency stage. The study of analog radiofrequency stages (structure, realization, etc.) and their simulation allowed to define its functional characteristics (mixer, filter, etc.). We use these ones to finally choose an architectural solution using digital architecture techniques. This architecture was described in VHDL, and simulated with MaxPlusII software from Altera. The results demonstrated the feasibility of our parallelized pipe-line architecture, using a CMOS technology of implementation in its major part. However, a faster technology (ECL or AsGa) is needed to performed the necessary frequencies of the application (1.072 GHz to describe a signal at 87 MHz with 12 points by period). A complementary simulation on Ptolemy demonstrated a better transmission quality with our system than the usual analog radiofrequency stages.

Key-words: Digital modulation, Digital demodulation, Mixer, VHDL, Analog and digital radiofrequency stages, Parallelised pipe-line architecture, DAVIC, Functional simulation.
