



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>



Université de Lorraine

Ecole Doctorale "Informatique – Automatique – Electrotechnique – Electronique – Mathématiques"
Département de Formation Doctorale "Electrotechnique – Electronique"

THESE

Présentée à

L'Université de Lorraine

En vue de l'obtention du titre de

DOCTEUR de l'Université de Lorraine Spécialité : Génie Electrique

Par

Ehsan JAMSHIDPOUR

CONTRIBUTION A L'ETUDE DE LA SURETE DE FONCTIONNEMENT ET DE LA CONTINUTE DE SERVICE DES BUS DC

Soutenue publiquement le 22 mai 2014

Membres du Jury :

Rapporteurs :

Mohamed El Hachemi BENBOUZID Professeur, LBMS - Université de Bretagne Occidentale

Jean-Paul GAUBERT Professeur, LIAS - Université de Poitiers

Examineurs:

Stéphane LEFEBVRE Professeur, SATIE - CNAM, Paris

Phillipe POURE MDC-HDR, IJL - Université de Lorraine, Co-directeur de Thèse

Babak NAHID-MOBARAKEH MDC-HDR, GREEN - Université de Lorraine

Shahrokh SAADATE Professeur, GREEN - Université de Lorraine, Directeur de Thèse

Invité :

Eskandar GHOLIPOUR SHAHRAKI Assistant professor, Université d'Isfahan/Iran

Thèse préparée au sein des Laboratoires GREEN (Groupe de Recherche en Electronique et Electrotechnique de Nancy) et IJL (Institut Jean Lamour) de l'Université de Lorraine.

A la mémoire de mon maître Monsieur Khalil Monkaresi,

A mes parents,

A mes sœurs Elham et Atefeh,

A mon Frère Erfan

Et

A mon épouse Mohana.

Remerciements

Ces travaux de thèses ont été effectués dans le cadre d'une collaboration entre le Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN) et l'Institut Jean Lamour (IJL).

Que Monsieur **Shahrokh SAADATE**, Professeur à l'Université de Lorraine, ex-Directeur du GREEN et Directeur de cette thèse, reçoive toute l'expression de ma reconnaissance pour m'avoir accueilli au sein du laboratoire GREEN, pour ses compétences scientifiques qui m'ont permis de mener à bien cette étude et pour la confiance qu'il m'a constamment témoignée durant ces années.

J'exprime mes sincères remerciements à Monsieur **Philippe POURE**, Maître de conférences HDR à l'Université de Lorraine, d'avoir bien voulu co-diriger ma thèse, pour ses conseils judicieux et avisés et tout particulièrement pour l'aide qu'il m'a apportée lors de la rédaction de ce manuscrit.

Je tiens à exprimer ma profonde gratitude à Monsieur **Stéphane LEFEBVRE**, Professeur à l'Université CNAM, Paris pour l'honneur qu'il m'a fait, en acceptant de présider le jury.

Je remercie également Monsieur **Mohamed El Hachemi BENBOUZID**, Professeur à l'Université de Bretagne Occidentale, ainsi que Monsieur **Jean-Paul GAUBERT**, Professeur à l'Université de Poitiers, qui ont accepté de juger ce travail et d'en être les rapporteurs.

Je veux adresser tous mes remerciements à Monsieur **Babak NAHID-MOBARAKEH**, Maître de conférences HDR à l'Université de Lorraine, d'avoir accepté de participer au jury de cette thèse et pour ses nombreux conseils avisés qui m'ont beaucoup aidé dans l'amélioration du contenu de cette thèse.

Je suis reconnaissant à Monsieur **Eskandar GHOLIPOUR**, Maître de conférences à l'Université d'Isfahan en IRAN, qui m'a donné l'opportunité de candidater au diplôme de doctorat et pour d'avoir accepté de participer au jury de cette thèse.

Je voudrais remercier Monsieur **Mahmoud SHAHBAZI** et Monsieur **Hugues RENAUDINEAU** pour leurs sympathies, leurs conseils et leurs aides pendant toute la période où nous avons travaillé ensemble au sein de laboratoire GREEN.

Un grand merci à l'ensemble du personnel du GREEN (enseignants chercheurs, doctorants, techniciens, ingénieurs, secrétaires) qui ont su créer une ambiance de travail agréable. Je leur exprime ma profonde sympathie et leur souhaite beaucoup de bonheur et de réussite dans leurs vies personnelle et professionnelle.

Je tiens aussi à exprimer mes remerciements à tous ceux qui ont eu la gentillesse d'assister à ma soutenance de thèse.

Je remercie également, mes amis, pour leur aide, leur assistance, leur immense soutien moral et affectif ainsi que leur gentillesse.

Je voudrais remercier mes beaux frères **Dariush** et **Ali** pour leur soutien lors de ce séjour en France.

Je remercie mes parents, mes sœurs **Elham** et **Atefeh** et mon frère **Erfan**, qui depuis de si longues années, m'ont encouragé et soutenu dans la poursuite de mes études.

Enfin, je remercie évidemment mon épouse **Mohana**, pour sa patience et l'amour qu'elle a su m'apporter tout au long de cette thèse et lors de ce séjour en France.

 Table des matières

Introduction	1
Chapitre 1 _Systèmes à Puissance Distribuée (SPD) : Gestion de l'énergie et Étude de la stabilité	7
1.1 Introduction	9
1.2 Modélisation et Gestion de l'énergie d'un DC-SPD multi sources-multi charges	11
1.2.1 Modélisation des sources	11
1.2.2 Gestion de l'énergie du DC-SPD	18
1.3 Problématique de la stabilité de DC-SPD intégrant des charges à puissance constante (CPL)	31
1.3.1 Modélisation d'une CPL	31
1.3.2 Comportement et instabilité liés à une charge à puissance constante	33
1.3.3 Méthodes d'étude de la stabilité de systèmes linéaires	34
1.4 Étude de stabilité d'un système DC à puissance distribuée (DC-SPD) comportant deux sources et deux CPLs	37
1.4.1 Description du DC-SPD et du système	37
1.4.2 Stratégie de régulation de l'énergie du bus DC	40
1.4.3 Modèle mathématique du DC-SPD (modèle non-linéaire)	41
1.4.4 Modèle centré non-linéaire du DC-SPD	42
1.4.5 Modèle linéarisé du DC-SPD	43
1.5 Stabilité du DC-SPD	45
1.5.1 Critères de stabilité d'un convertisseur en boucle ouverte avec une CPL ...	45
1.5.2 Étude linéaire de la stabilité du DC-SPD	46
1.5.3 Résultats de simulation	47
1.5.4 Résultats expérimentaux	48
1.6 Les méthodes de stabilisation	50
1.6.1 Méthodes de stabilisation passives	50
1.6.2 Méthodes de stabilisation actives	51

Table des matières

1.6.3	Stabilisation du DC-SPD	53
1.6.4	Résultats de simulation	57
1.6.5	Résultats expérimentaux	61
1.7	Conclusion	65
Chapitre 2	Convertisseurs statiques DC-DC à tolérance de pannes	66
2.1	Introduction	68
2.2	Convertisseurs DC-DC non-isolés	70
2.3	Méthodes de détection de défaut	73
2.3.1	Etat de l'art	73
2.3.2	Algorithme de détection de défaut DF1	78
2.3.3	Algorithme de détection de défaut DF2	89
2.4	Validation et application de la méthode de détection de défaut proposée à un convertisseur élévateur (Boost)	94
2.4.1	Introduction	94
2.4.2	Choix de la cible numérique	95
2.4.3	Méthodologie de prototypage	96
2.4.4	Paramètres et modélisation du hacheur élévateur étudié_	99
2.4.5	Validation de la méthode de détection de défaut par simulation mixte ...	102
2.4.6	Validation HIL de la méthode de détection de défaut	108
2.4.7	Validation entièrement expérimentale_	115
2.5	Application de la méthode de détection proposée à une topologie de convertisseur à tolérance de pannes (Fault tolerant converter)	125
2.5.1	Validation de la topologie de convertisseur tolérant aux pannes_	128
2.6	Conclusion	138
	Conclusion générale et perspectives	141
	Publication et communication du doctorant	149
	Références bibliographiques	153

Glossaire

CAN	Convertisseur Analogique Numérique
CCM	Continuous Conduction Mode
CPL	Constant Power Load
DCC	Défaut de type Court-Circuit
DCO	Défaut de type Circuit-Ouvert
DSP	Digital Signal Processor
FPGA	Field Programmable Gate Array
GM	Gain Margin
HDL	Hardware Description Language
HIL	Hardware In the Loop
IGBT	Insulated Gate Bipolar Transistor
JTAG	Joint Test Action Group
MCD	Mode Conduction Discontinue
MPPT	Maximum Power Point Tracking
MSAP	Machine Synchrone à Aimants Permanents
PM	Phase Margin
PPM	Point de Puissance Maximale
PV	Photovoltaïque
SC	Super Condensateur
SDF	Sûreté de Fonctionnement
SPD	Système à Puissance Distribuée
SOC	State Of Charge

Nomenclature

Liste non-exhaustive des principaux paramètres et variables

C_{dc}	Condensateur du bus continu.....	F
C_{f1}	Condensateur du filtre de la première charge	F
C_{f2}	Condensateur du filtre de la deuxième charge	F
C_{pv}	Condensateur du système photovoltaïque.....	F
C_{sc}	Super condensateur	F
G	Ensoleillement.....	Wm^{-2}
i_{bat}	Courant de la batterie	A
i_{batref}	Référence du courant de la batterie.....	A
I_{cell}	Courant de sortie de la cellule photovoltaïque	A
i_{Lpv}	Courant traversant l'inductance du convertisseur photovoltaïque ...	A
i_{Lpvref}	Référence du courant traversant l'inductance du convertisseur photovoltaïque	A
I_{mph}	Courant de court circuit d'un module photovoltaïque	A
I_{ph}	Courant photonique, du modèle d'une cellule photovoltaïque	A
i_{pv}	Courant du système photovoltaïque.....	A
I_s	Courant de saturation inverse de la diode du modèle d'une cellule photovoltaïque	A
i_{sc}	Courant du super condensateur.....	A
i_{scref}	Référence du courant du super condensateur.....	A
K	Constante de Boltzmann	$J.K^{-1}$
K_{Iisc}	Coefficient Intégral du correcteur du courant du super condensateur	s^{-1}
K_{Ivpv}	Coefficient Intégral du correcteur de la tension du module photovoltaïque	s^{-1}
K_{Iydc}	Coefficient Intégral du correcteur de l'énergie du bus continu	s^{-1}
K_{pibat}	Coefficient Proportionnel du correcteur du courant de la batterie	
K_{pisc}	Coefficient Proportionnel du correcteur du courant du super condensateur	
K_{pvpv}	Coefficient Proportionnel du correcteur de la tension du module photovoltaïque	

K_{pydc}	Coefficient Proportionnel du correcteur de l'énergie du bus continu ...	
K_{pysc}	Coefficient Proportionnel du correcteur de l'énergie du super condensateur	
l_d	Inductance d'axe "d" dans le modèle de la MSAP	H
L_{f1}	Inductance du filtre de la première charge	H
L_{f2}	Inductance du filtre de la deuxième charge	H
L_{pv}	Inductance du convertisseur du système photovoltaïque.....	H
l_q	Inductance d'axe "q" du modèle de la MSAP.....	H
L_{sc}	Inductance du convertisseur du super condensateur.....	H
n	Facteur d'idéalité de la diode du modèle d'une cellule photovoltaïque ..	
N_p	Nombre de cellules connectées en parallèle dans un module photovoltaïque	
N_s	Nombre de cellules connectées en série dans un module photovoltaïque	
p	Nombre de paires de pôles de la MSAP	
p_{bat}	Puissance de la batterie	W
p_{ch}	Puissance de la charge	W
p_{pv}	Puissance du système photovoltaïque	W
p_{sc}	Puissance du super condensateur	W
q	Charge de l'électron	C
R_{f1}	Résistance du filtre de la première charge	Ω
R_{f2}	Résistance du filtre de la deuxième charge	Ω
R_{int}	Résistance interne de la batterie	Ω
R_{pv}	Resistance du convertisseur du système photovoltaïque	Ω
r_s	Résistance d'une phase statorique de la MSAP	Ω
R_{sc}	Resistance du convertisseur du super condensateur	Ω
T_c	Température de la cellule photovoltaïque	$^{\circ}C$
v_{bat}	Tension de la batterie	V
V_{cell}	Tension de sortie de la cellule photovoltaïque	V
V_{co}	Tension de la batterie en circuit-ouvert	V
V_{dcref}	Référence de la tension du bus continu	V

Nomenclature

v_{maxsc}	Tension maximale du super condensateur	V
V_{mco}	Tension en circuit ouvert du module photovoltaïque	V
v_{minsc}	Tension minimale du super condensateur.....	V
v_{pv}	Tension du système photovoltaïque.....	V
v_{sc}	Tension du super condensateur.....	V
V_{scref}	Référence de la tension du super condensateur.....	V
y_{dc}	Energie stockée dans le condensateur du bus continu.....	Wh
y_{sc}	Energie stockée dans le super condensateur.....	Wh
ψ_f	Flux des aimants à travers les bobines statoriques de la MSAP	$V.s$
ω	Vitesse électrique de la MSAP	Rad/s

Table des illustrations

Figure 1-1 : Schéma général d'un DC-SPD.	9
Figure 1-2 : Schéma de principe du DC-SPD étudié.	12
Figure 1-3 : Circuit équivalent simplifié d'une cellule solaire.	12
Figure 1-4 : Modélisation d'un module solaire PV.	14
Figure 1-5 : Modélisation d'une source solaire PV.	14
Figure 1-6 : Caractéristique $p_{pv} - v_{pv}$ d'un module photovoltaïque et principe de la méthode P&O.	16
Figure 1-7 : Algorithme de la méthode P&O [Sin10] et [Sal06].	16
Figure 1-8 : Modélisation du SC [Zha11], [Yu10].	17
Figure 1-9 : Modélisation de la batterie.	18
Figure 1-10 : Régulation de l'énergie y_{dc} du bus continu.	19
Figure 1-11 : Schéma du super condensateur et du convertisseur associé.	20
Figure 1-12 : Boucle de régulation du courant traversant le super condensateur (i_{sc}).	22
Figure 1-13 : Contrôle de l'énergie y_{dc} du bus continu.	23
Figure 1-14 : Régulation de l'énergie y_{sc} du SC.	24
Figure 1-15 : Batterie et convertisseur statique associé.	24
Figure 1-16 : Boucle de régulation du courant i_{bat} de la batterie.	25
Figure 1-17 : Commande du convertisseur de la source PV avec l'algorithme MPPT.	26
Figure 1-18 : Schéma détaillé du DC-SPD étudié.	27
Figure 1-19 : Courbe d'ensoleillement considérée.	29
Figure 1-20 : Profil de charge considéré.	29
Figure 1-21 : Résultats de la simulation du DC-SPD.	30
Figure 1-22 : Les différents puissances du système.	31
Figure 1-23 : Charge résistive alimentée par un convertisseur DC-DC.	32
Figure 1-24 : Caractéristique courant-tension- d'une CPL.	33
Figure 1-25 : Schéma équivalent d'une CPL autour d'un point fonctionnement.	33
Figure 1-26 : Caractéristiques V-I de la source de tension typique d'une CPL.	34
Figure 1-27 : Schéma du système DC-SPD étudié.	37
Figure 1-28 : Modèle de la source de tension.	38
Figure 1-29 : Régulation de l'ensemble Onduleur-MSAP.	39
Figure 1-30 : Modélisation électrique du DC-SPD.	40
Figure 1-31 : Régulation de l'énergie stockée (y_{dc}) dans le condensateur du bus DC.	41
Figure 1-32 : Valeur propre la plus critique en fonction de P1 et de P2.	47
Figure 1-33 : Limites de la stabilité du DC-SPD.	47

Table des illustrations

Figure 1-34 : Résultats de simulation pour vdc, v1 et v2 lors d'un état stable ($P_1 = 500 \text{ W}$, $P_2 = 300\text{W}$) et lors d'un état instable ($P_1 = 620\text{W}$, $P_2=300\text{W}$).....	48
Figure 1-35 : Maquette expérimentale du DC-SPD réalisé au laboratoire GREEN.	48
Figure 1-36 : Comportement instable du système après avoir augmenté P_1 de 575W à 668W	50
Figure 1-37 : Stabilisation passive - ajout d'un filtre RC parallèle.	51
Figure 1-38 : Implémentation d'un retour d'état stabilisant sur la charge.	52
Figure 1-39 : Implémentation d'une impédance virtuelle.....	52
Figure 1-40 : Schéma de principe des boucles de contrôle et des blocs de compensation.	54
Figure 1-41 : Impact de K_1 sur la stabilité du système diagramme de Nyquist de T_m	56
Figure 1-42 : Impact de K_1 sur le pic de résonance de la fonction de transfert v_{1p1}	56
Figure 1-43 : Résultats de simulation avec et sans blocs de compensation.	58
Figure 1-44 : Diagramme de Bode de la fonction de transfert v_{1p1} pour $P_1 = 450 \text{ W}$	59
Figure 1-45 : Résultats de simulation dans des conditions de résonance à 224 rad/s . (Sans bloc de suppression de résonance).....	60
Figure 1-46 : Résultats de Simulation quand un mode de résonance est excité (des blocs de suppression de résonance activés).....	60
Figure 1-47 : Réponse du système à un échelon de la puissance P_1 (stabilisateur activé).	61
Figure 1-48 : Effet de la stabilisation sur le fonctionnement de système (stabilisation active → inactive).	62
Figure 1-49 : Effet de la stabilisation sur le fonctionnement du système (stabilisation inactive → active).....	62
Figure 1-50 : Instabilité causée par une oscillation sous charge déséquilibrée ($P_1 = 450\text{W}$, $P_2 = 300\text{W}$ sans compensation).	63
Figure 1-51 : Zoom de la Figure 1-50.....	64
Figure 1-52 : Effet d'activation des blocs de compensation au cours de l'instabilité provoquée par la résonance.....	64
Figure 2-1 : Famille des convertisseurs DC–DC non isolés.	71
Figure 2-2 : Phases de fonctionnement d'un convertisseur élévateur en mode MCC (a) Phase 1 (b) Phase 2 (c) Ordre de commande δ et courant $i_L(t)$ traversant l'inductance.	72
Figure 2-3 : Principe de l'algorithme de détection DF1.	80
Figure 2-4 : Détection d'un défaut de type circuit-ouvert par DF1.	81
Figure 2-5 : Détection d'un défaut de type court-circuit par DF1.....	82
Figure 2-6 : Algorithme DF1 : détection effective d'un DCO dans l'intervalle $[t_1, t_2]$	83
Figure 2-7 : Algorithme DF1 : détection infructueuse d'un DCO au cours de sa période d'apparition alors qu'il apparaît dans l'intervalle $[t_1, t_2]$	84
Figure 2-8 : Algorithme DF1 : détection effective d'un DCO dans l'intervalle $[t_2, t_3-NTc]$	85

Figure 2-9 : Algorithme DF1 : détection du DCO lors de la période de fonctionnement suivant celle de son apparition.	86
Figure 2-10 : Détection infructueuse par DF1 lors d'un DCO (valeur faible de d).	88
Figure 2-11 : Détection infructueuse par DF1 lors d'un DCC (valeur élevée de d).	89
Figure 2-12 : Génération du signal Trig.	90
Figure 2-13 : Algorithme de détection de défaut DF2.	90
Figure 2-14 : Principaux signaux de l'algorithme DF2 lors d'un défaut de type DCO.	91
Figure 2-15 : Principaux signaux de l'algorithme DF2 lors d'un défaut de type DCC.	92
Figure 2-16 : Association des deux algorithmes de détection de défaut.	93
Figure 2-17 : Flot de conception pour le prototypage "FPGA in the Loop".	97
Figure 2-18 : Principe du prototypage "FPGA in the loop".	99
Figure 2-19 : Hacheur boost et sa commande.	100
Figure 2-20 : Défaut DCO au niveau de l'interrupteur SW détecté par DF1.	103
Figure 2-21 : Défaut DCO au niveau de l'interrupteur SW détecté par DF2.	104
Figure 2-22 : Principaux signaux de l'algorithme DF2 dans le cas d'un DCO détecté par DF2.	105
Figure 2-23 Défaut DCC avec une valeur moyenne du rapport cyclique.	106
Figure 2-24 : Défaut DCC avec une valeur élevée du rapport cyclique.	107
Figure 2-25 : Principaux signaux de l'algorithme DF2 dans le cas d'un défaut DCC détecté par DF2.	107
Figure 2-26 : Résultat HIL des signaux de DF1 lors d'un DCO.	110
Figure 2-27 : DCO détecté par DF1 durant la période de fonctionnement suivant celle au cours de laquelle il est survenu.	111
Figure 2-28 : Détection d'un DCO par DF2 lors d'une faible valeur du rapport cyclique.	112
Figure 2-29 : Signaux de l'algorithme DF2 lors d'un DCO avec une faible valeur du rapport cyclique.	113
Figure 2-30 : Détection d'un DCC par DF2 lors d'une valeur élevée du rapport cyclique.	114
Figure 2-31 : Zoom des signaux spécifiques à l'algorithme DF2.	114
Figure 2-32 : Photographie du banc de test expérimental.	115
Figure 2-33 : Schéma de principe du banc de test expérimental.	116
Figure 2-34 : Photographie du montage convertisseur à IGBT.	116
Figure 2-35 : Photographie de la carte de développement FPGA (composant Stratix S80B956C6).	117
Figure 2-36 : Carte d'interface placée entre le convertisseur à IGBT et la carte FPGA.	117
Figure 2-37 : Cas d'un DCO, détecté par DF1 dans le cas d'un rapport cyclique moyen et égal à 0,6.	120
Figure 2-38 : Cas d'un DCO détecté par DF2.	121

Table des illustrations

Figure 2-39 : Signaux spécifiques à l'algorithme DF2 dans le cas d'un défaut DCO.	122
Figure 2-40 : Cas d'un DCC détecté par DF1.	123
Figure 2-41 : Cas d'un DCC détecté par DF2.	124
Figure 2-42 : Signaux spécifiques à l'algorithme DF2 dans le cas d'un défaut DCC.....	125
Figure 2-43 : Topologie à tolérance de pannes incluant un interrupteur redondant mutualisé. ...	126
Figure 2-44 : Stratégies de reconfiguration du convertisseur selon le type de défaut.....	127
Figure 2-45 : Convertisseur DC-DC "fault tolerant" étudié.....	128
Figure 2-46 : Reconfiguration suite à un DCO au niveau de l'interrupteur SW.	129
Figure 2-47 : Reconfiguration suite à un DCO avec une valeur faible du rapport cyclique.....	130
Figure 2-48 : Reconfiguration du convertisseur suite à un DCC avec détection par DF1.....	131
Figure 2-49 : Zoom de la Figure 2-48.....	131
Figure 2-50 : Reconfiguration du convertisseur suite à un DCC avec détection par DF2.....	132
Figure 2-51 : Banc de test expérimental pour valider la continuité de service.	133
Figure 2-52 : Schéma de principe du banc de test expérimental.....	134
Figure 2-53 : Continuité de service suite à un DCO détecté par DF1.....	135
Figure 2-54 : Continuité de service suite à un DCO détecté par DF2.....	136
Figure 2-55 : Continuité de service suite à un DCC détecté par DF1.....	137
Figure 2-56 : Continuité de service suite à un DCC détecté par DF2.....	138

Table des tableaux

Tableau 1-1 : Paramètres de simulation du DC-SPD de la Figure 1-18.	28
Tableau 1-2 : Paramètres du DC-SPD étudié.	46
Tableau 1-3 : Les paramètres des blocs de compensation.	57
Tableau 2-1 : Comparaison des méthodes de détection de défauts [Nie13].	77
Tableau 2-2 : Paramètres du système hybride électrique étudié, Figure 2-19.	101
Tableau 2-3 : Retard maximum introduit par chaque composant de la chaîne instrumentale.	118

Introduction

Introduction

Les travaux de recherche présentés dans ce mémoire ont été menés dans le cadre d'une collaboration entre les laboratoires GREEN (Groupe de Recherche en Electrotechnique et Electronique de Nancy) et IJL (Institut Jean Lamour - équipe 406, ex laboratoire LIEN) de l'Université de Lorraine. Plus particulièrement, cette collaboration implique l'équipe "Comportement dynamique des systèmes électriques" du laboratoire GREEN et l'équipe "Mesure et Architectures Electroniques" de l'IJL. Ces travaux reposent sur une expertise des deux laboratoires dans les domaines de la sûreté de fonctionnement des systèmes électriques et de la conception d'architectures électroniques adaptatives, basées sur des cibles FPGA. Ils s'inscrivent dans la continuité des travaux de recherche menés en collaboration sur ce sujet depuis début 2006.

La mise en œuvre des convertisseurs de l'électronique de puissance et des énergies renouvelables dans les diverses industries conduit au développement d'architectures de Systèmes électriques à Puissance Distribuée (SPD). Ces systèmes possèdent une grande flexibilité d'utilisation et une grande capacité d'intégration de charges et de sources de natures très diverses. Ces SPDs sont utilisés dans de nombreux secteurs industriels tels que les systèmes embarqués (notamment véhicules électriques, avions, trains et bateaux) et les centrales de production d'électricité. La sûreté de fonctionnement (SDF) et la continuité de service de ces SPDs sont des contraintes essentielles qui doivent être respectées.

Pour satisfaire la SDF dans un SPD, il faut considérer plusieurs facteurs tels que la gestion de l'énergie, la stabilité, la fiabilité, la disponibilité et la maintenabilité. Un SPD est généralement constitué de différentes catégories de générateurs, de différents systèmes de stockage et de diverses charges. Afin d'avoir un équilibre entre l'énergie produite par les sources et l'énergie consommée par les charges, un contrôle approprié et une coordination efficace entre les différentes sources et les charges connectées au bus commun du SPD est nécessaire. La perte de cette coordination peut menacer la stabilité du bus commun. Cela peut provoquer un grave dysfonctionnement du système. Ainsi, une stratégie de gestion globale de l'énergie au niveau du système est une exigence fondamentale pour que ce système puisse fonctionner correctement. Une fois cette condition essentielle satisfaite, d'autres aspects de la SDF du système peuvent ensuite être étudiés. En effet, du point de vue de la SDF d'un système, la stabilité est aussi importante que la gestion de l'énergie. Bien souvent, dans un SPD, certaines charges sont alimentées par deux convertisseurs en cascade. Dans ce cas, les interactions entre convertisseurs peuvent conduire à l'instabilité du bus commun. Un des cas les plus connus en terme de cause d'instabilité est celui d'une charge parfaitement régulée. Dans ce cas, les variations de la tension du bus commun n'ont aucun impact sur la puissance absorbée par la charge tant que cette dernière est commandable. Ce fonctionnement de la charge est communément appelé "à puissance constante" (CPL pour Constant Power Load en Anglais). Le problème de ce type de charges est dû à leur comportement assimilable à une résistance négative, à l'origine de l'instabilité du système ; cette dernière est nommée

"instabilité d'impédance négative". Ainsi, la stabilité du système peut être menacée quand de petites oscillations apparaissent avec une fréquence proche de la fréquence de résonance du système, produites par des charges déséquilibrées connectées au bus commun.

Concernant la continuité de service, les convertisseurs statiques sont particulièrement sensibles aux défauts pouvant survenir au niveau de leurs interrupteurs commandables. Une défaillance de type circuit-ouvert (DCO) ou court-circuit (DCC) d'un interrupteur commandable peut provoquer de graves dysfonctionnements du système. Tout défaut non détecté et non compensé en temps réel peut rapidement mettre en danger l'ensemble du système de puissance. Après l'apparition d'un défaut, il faut alors éviter sa propagation aux autres composants du système et ainsi assurer la continuité de service. Par conséquent, la mise en œuvre de méthodes efficaces et rapides de détection de défaut et de compensation est impérative.

Il existe différentes architectures de SPD qui peuvent être classées en deux catégories. La première catégorie rassemble les SPDs qui comportent un bus de tension continu commun. Le système est alors dit "à puissance continue distribuée (DC-SPD)". La seconde catégorie concerne les SPDs ayant un bus alternatif commun. Le système est alors qualifié de système "à puissance alternative distribuée (AC-SPD)". L'objectif principal de cette thèse est l'étude de la sûreté de fonctionnement et de la continuité de service de DC-SPD. La gestion de l'énergie et la stabilité du système ont été étudiées. Une méthode de stabilisation active décentralisée a été appliquée afin d'augmenter le domaine de stabilité du système et afin d'éviter l'instabilité en présence de charges déséquilibrées. Par ailleurs, des méthodes de détection de défaut au niveau d'un interrupteur commandable, efficaces et très rapides, ont également été proposées. Nous avons présenté une topologie de convertisseur DC-DC à tolérance de pannes, intégrant un interrupteur redondant ; dans tous les cas, cette topologie doit permettre d'assurer la continuité de service du système de puissance en mode normal.

Ce mémoire de thèse comporte deux chapitres.

Au premier chapitre, un DC-SPD est présenté et la gestion de l'énergie de ce système est étudiée dans un premier temps. Ce système comporte une source solaire photovoltaïque, un super condensateur, une batterie et une charge avec un profil présentant des variations rapides. La méthode proposée pour la gestion de l'énergie a été validée par simulation à l'aide de Matlab/Simulink et de la toolbox SimPowerSystem. Une fois la gestion de l'énergie assurée, nous avons ensuite considéré un DC-SPD comportant deux sources et deux charges de type CPL ; une étude de la stabilité du système a été menée. Les limites de stabilité ont été déterminées en se basant sur une modélisation linéaire. Ensuite, afin d'augmenter les marges de stabilité du système, une méthode de stabilisation active décentralisée a été appliquée au niveau des charges CPLs. De plus, cette méthode de stabilisation permet d'éviter les instabilités dues aux charges déséquilibrées. Les études théoriques ont été validées par simulation et par des essais

expérimentaux en utilisant une carte de contrôle dSPACE.

Au deuxième chapitre, nous considérons plus particulièrement la famille des convertisseurs statiques DC-DC non-isolés dit "Non-Isolated Single Ended Converters", majoritairement présents au niveau des DC-SPD. Dans un premier temps, nous proposons et étudions des méthodes de détection de défaut au niveau de l'interrupteur commandable d'un hacheur élévateur (Boost). Ces méthodes très rapides et efficaces peuvent être généralisées et appliquées à l'ensemble des autres convertisseurs de cette famille. L'algorithme de détection est d'abord validé dans l'environnement Matlab/Simulink en complément de modèles issus de la toolbox SimPowerSystem. Une fois l'algorithme de détection de défaut fonctionnellement validé, il est alors implanté sur une cible FPGA de la famille ALTERA. Afin de réduire autant que possible le temps de détection du défaut d'un interrupteur commandable, nous avons fait le choix de cibler un composant numérique à logique câblée de type FPGA (Field Programmable Gate Array) pour y implanter l'algorithme de détection et de compensation du défaut. En outre, cette implantation matérielle sur cible FPGA apporte de nombreux avantages supplémentaires : reprogrammation rapide, possibilité de réduire fortement la période d'échantillonnage (performances temps réel), et enfin la possibilité d'intégration complète du système de commande dans un unique composant. En effet, selon le cas, le système de commande pourra effectivement être implanté sur cette même cible FPGA, avec la détection du défaut. De plus, afin d'éviter et de corriger les éventuelles erreurs lors de l'implantation des algorithmes de détection du défaut sur la cible FPGA, pouvant alors entraîner par la même la destruction du banc de puissance, nous avons mis en œuvre un flot de conception original basé sur un prototypage dit "FPGA in the Loop". Ce prototypage permet de valider l'implantation sur FPGA avant la connexion de ce dernier dans un environnement de puissance réel. Trois types de résultats sont présentés dans le chapitre 2 de ce mémoire : les résultats issus de la simulation mixte dans l'environnement Matlab, les résultats du prototypage "FPGA in the Loop" et les résultats expérimentaux.

Afin de garantir la continuité de service suite à la détection d'un défaut, nous avons ensuite proposé une topologie de convertisseur DC-DC Boost à tolérance de pannes ("fault tolerant"). La topologie proposée inclut un interrupteur additionnel (redondance), qui remplacera l'interrupteur commandable défectueux du convertisseur DC-DC suite à la détection d'un défaut. Une des optimisations présentées par cette topologie réside dans le fait d'avoir un seul interrupteur additionnel pour plusieurs sources ou éléments de stockage connectés en parallèle au bus DC via des convertisseurs DC-DC. Néanmoins, le nombre de triacs additionnels restera égal au nombre de convertisseurs DC-DC mis en œuvre. De plus, un fusible est placé en série avec chaque interrupteur commandable afin de garantir la continuité de service dans le cas d'un court-circuit permanent de l'interrupteur. Pour un système tolérant aux pannes deux étapes sont nécessaires :

1. Détection du défaut et diagnostic de panne (DCO ou DCC)
2. Reconfiguration du système

La première étape a été étudiée et validée au début du deuxième chapitre. Deux stratégies différentes sont proposées pour la reconfiguration du convertisseur selon le type de défaut détecté : DCO ou DCC au niveau l'interrupteur commandable. La méthode de détection de défaut proposée est capable de diagnostiquer le type de défaut : DCO ou DCC. Une fois le défaut détecté, une stratégie de reconfiguration adaptée doit alors être choisie. Dans le cas d'un défaut de type DCO, la reconfiguration pourra être activée immédiatement après la détection du défaut. Le système pourra alors aussitôt assurer la continuité de service. Dans le cas d'un défaut de type DCC, l'interrupteur redondant ne pourra pas remplacer l'interrupteur défaillant immédiatement après la détection du défaut. Tout d'abord, il faut isoler physiquement l'interrupteur défectueux et le déconnecter par le biais du fusible mis en série avec l'interrupteur. Quand le DCC a physiquement disparu (fusible ouvert), l'interrupteur défectueux pourra alors effectivement être remplacé par l'interrupteur redondant et le système pourra alors continuer à fonctionner normalement. Comme pour la partie concernant la détection de défaut, la fonctionnalité de la topologie à tolérance de pannes est validée par simulation mixte dans l'environnement Matlab, par prototypage "FPGA in the Loop" et enfin par des tests expérimentaux.

Chapitre 1

**Systemes à Puissance Distribuée (SPD) : Gestion de l'énergie
et Étude de la stabilité**

1.1 Introduction

La forte demande en énergie et l'épuisement des sources d'énergies conventionnelles, associés au réchauffement climatique, ont été depuis longtemps des facteurs très motivants pour le développement et l'utilisation des énergies renouvelables.

Auparavant, le renforcement de la production d'énergie électrique se faisait par l'intégration au réseau de nouvelles unités de production centralisées et de fortes puissances. Actuellement, le développement des énergies renouvelables conduit au raccordement de nombreux producteurs d'énergie électrique, proches du lieu de consommation et ayant un niveau de puissance moins important [Has13]. Cette évolution de la de production d'énergie électrique est connue sous différents noms tels que : génération d'énergie distribuée, génération d'énergie dispersée, production décentralisée, production distribuée ou encore Système à Puissance Distribuée (SPD).

Aujourd'hui, les SPDs sont présents dans de nombreux secteurs industriels tels que les systèmes embarqués (véhicules électriques, avions, trains, bateaux) et les centrales de production d'électricité. Dans ce mémoire, nous avons particulièrement ciblé les DC-SPD.

Un DC-SPD se compose de plusieurs sous-systèmes constitués de sources d'énergie et d'éléments de stockage, de sous-systèmes composés de charges et d'un bus continu qui est au cœur des échanges d'énergie entre les sources et les charges (Figure 1-1). Les sources d'énergie peuvent être constituées par un système solaire photovoltaïque ou éolien, une pile à combustible ou bien encore un élément de stockage tel qu'un banc de batteries ou de super condensateurs. Quant aux charges, il peut s'agir de charges AC ou DC avec différents comportements et structures. En général chaque sous-système a été préalablement conçu et validé de manière séparée [Liu07T], [Fen02], [Fen99] et [Wil95].

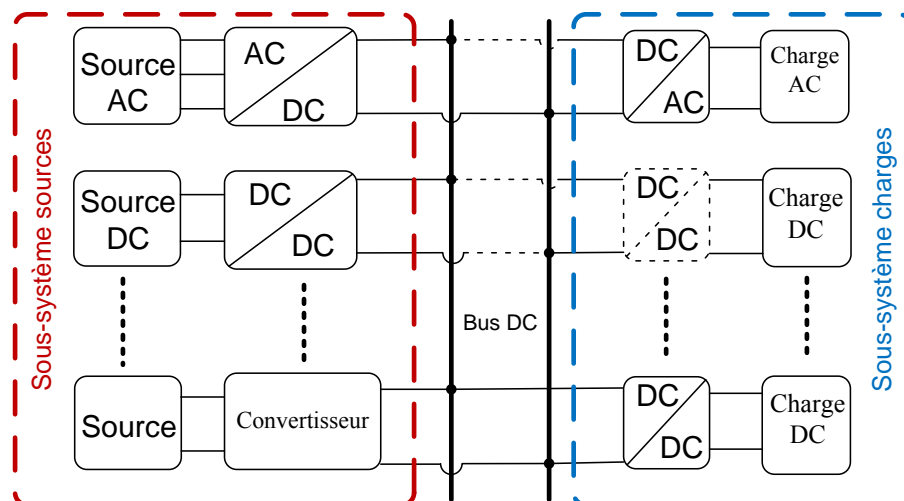


Figure 1-1 : Schéma général d'un DC-SPD.

Néanmoins, les différentes sources et charges sont connectées au bus continu via des convertisseurs statiques AC-DC, DC-DC ou DC-AC, [Moh08] et [Liu07T]. Les

convertisseurs côté source peuvent être des convertisseurs commandables ou non-commandables (pont à diodes). Dans certaines applications, une des sources peut être également directement connectée au bus DC (comme par exemple une batterie) [Cao12]. Dans ce cas, la tension du bus DC ne peut être correctement régulée. Le choix du type de convertisseur dépend du domaine d'utilisation, du niveau de fiabilité nécessaire et du coût du système.

L'intégration de diverses technologies, notamment celles des sources d'énergies renouvelables et celles de l'électronique de puissance, rend ces systèmes de plus en plus complexes. Parallèlement, la compétitivité du marché mondial de l'énergie exige une conception rigoureuse afin de répondre aux exigences du système et de satisfaire diverses contraintes (coût, délais, qualité, sûreté de fonctionnement,...). La sûreté de fonctionnement (SDF) occupe une place de plus en plus importante dans la conception de tels systèmes [Gui11]. Pour satisfaire la SDF d'un DC-SPD, il faut considérer plusieurs éléments comme par exemple : la gestion de l'énergie, la stabilité, la fiabilité, la disponibilité, la maintenabilité, etc.

Considérons dans un premier temps la problématique de la gestion de l'énergie. Afin d'avoir un équilibre entre l'énergie fournie par les différentes sources et la demande des charges, une méthode efficace de gestion de l'énergie est alors une exigence fondamentale pour que le système puisse fonctionner correctement [Lee08]. La perte de cet équilibre menace la stabilité du bus continu qui peut provoquer un grave dysfonctionnement du système. Cette condition essentielle doit être satisfaite avant d'étudier d'autres aspects de la SDF du système, comme la stabilité.

En effet, concernant la SDF d'un système, la stabilité est aussi importante que la gestion de l'énergie. Un des cas les plus connus en termes de cause d'instabilité est celui d'une charge parfaitement régulée (CPL) [Rah091], [Ema06] et [Kha08]. Dans ce cas, la puissance absorbée par la charge reste constante tant qu'elle est commandable, quelle que soit la tension du bus DC. Un exemple de ce type de charge dans le cas d'un DC-SPD, est celle alimentée par deux convertisseurs en cascade. Dans ce cas, l'interaction entre convertisseurs peut conduire à l'instabilité du bus DC. Une charge CPL dans un DC-SPD se comporte comme une résistance négative qui peut être à l'origine de l'instabilité du système, nommée instabilité d'impédance négative [Em06], [Rah091], [Ces11], [Kha08], [Mag10] et [Mar12].

Par ailleurs, une charge déséquilibrée peut exciter les modes de résonance du système, risquant d'induire l'instabilité du système. Des méthodes de stabilisations passives ou actives peuvent alors être mises en œuvre afin d'augmenter la marge de stabilité du système [Mag12T].

Dans ce chapitre, nous allons étudier et modéliser un DC-SPD intégrant une source solaire photovoltaïque (PV), une batterie et un super condensateur (SC). Une stratégie de contrôle permettant de gérer le flux d'énergie ainsi que de réguler la tension du bus DC

sera mise en œuvre. Nous présenterons dans un premier temps des résultats de simulation dans l'environnement Matlab/Simulink, afin de valider nos études théoriques.

Ensuite, nous allons étudier le comportement des charges à puissances constantes et leurs effets sur la stabilité du système. La stabilité de systèmes comportant des charges de type CPL sera examinée. Une méthode de stabilisation active décentralisée sera proposée afin d'augmenter la marge de stabilité du système et d'éviter l'instabilité causée par des charges déséquilibrées. Des expérimentations seront menées afin de valider l'approche proposée.

1.2 Modélisation et Gestion de l'énergie d'un DC-SPD multi sources-multi charges

Au niveau d'un DC-SPD, il est important de disposer d'un réseau de récupération d'énergie capable d'utiliser la source de stockage pour répondre aux forts appels de puissance sur le réseau source ou encore d'augmenter le rendement du système par récupération d'énergie. Ceci nécessite un algorithme de gestion de l'énergie qui tiendra compte de l'état global du système pour définir la référence de puissance de la source de stockage [Pay08], [Pay09], [Zan11], [Duo10], [Wan08], [Fer09] et [Lee08].

Dans cette section, nous allons étudier par modélisation et simulation la gestion de l'énergie d'un DC-SPD à l'aide des outils informatiques classiquement utilisés dans ce domaine, Matlab/Simulink et sa toolbox SimPowerSystems. La Figure 1-2 présente le DC-SPD que nous avons choisi d'étudier. Ce système se compose d'une source de courant continu principale (solaire PV) et d'éléments de stockage (Batterie et SC). Tous sont connectés au même bus DC via des convertisseurs DC-DC (bidirectionnels pour les éléments de stockage). Les charges types figurant à la Figure 1-2 sont modélisées par une source de courant contrôlée à l'aide d'un profil de charge. A la section suivante, nous détaillons la modélisation du système.

1.2.1 Modélisation des sources

1.2.1.1 Modélisation de la source solaire PV

Le rayonnement électromagnétique de l'énergie solaire peut être directement converti par effet photovoltaïque. Une cellule solaire est basée sur une jonction PN fabriquée dans une plaque mince ou couche de semi-conducteur. Un module photovoltaïque consiste en l'association de cellules solaires encapsulées sous verre. Les modules PV ainsi obtenus sont habituellement branchés en série-parallèle pour respectivement augmenter la tension et l'intensité en sortie du générateur PV.

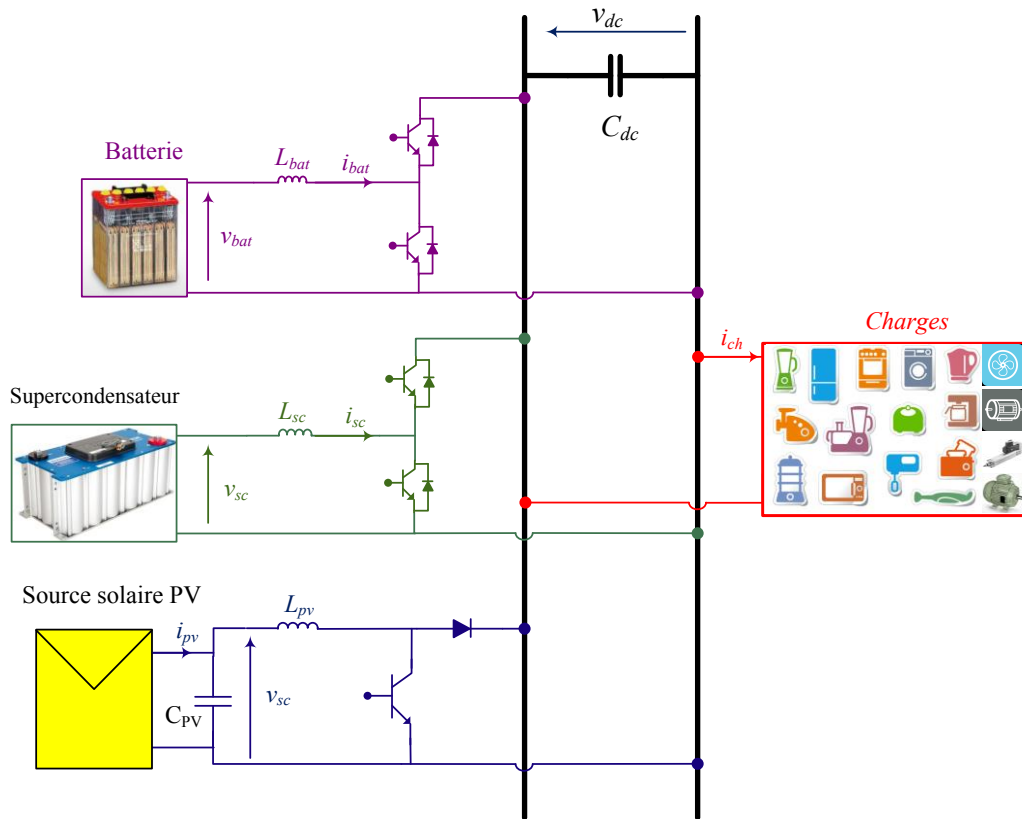


Figure 1-2 : Schéma de principe du DC-SPD étudié.

Ainsi la caractéristique $I-V$ du générateur PV est basée sur celle d'une cellule élémentaire modélisée par le circuit équivalent bien connu de la Figure 1-3 [Ren13], [Isl10], [Tsa10], [Sin10] et [Pic10]. Ce circuit équivalent est constitué d'une source de courant connectée en parallèle avec une diode, ainsi que des résistances série R_s et parallèle R_p pour tenir compte des phénomènes dissipatifs au niveau de la cellule. Il a été observé que la résistance série est un paramètre qui dépend fortement de la température et de l'ensoleillement. La position du point de puissance maximum sur la caractéristique statique de la cellule photovoltaïque dépend ainsi de la valeur de la résistance série R_s . La valeur de la résistance parallèle est beaucoup plus importante que celle de la résistance série. Pour cette raison, cet élément est très souvent négligé [Ren13].

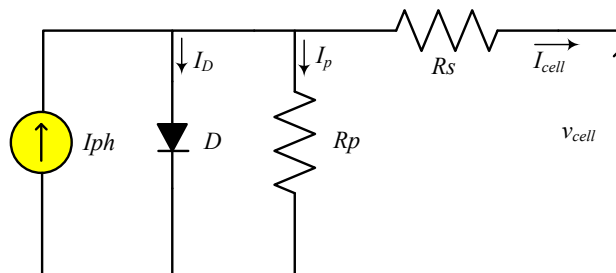


Figure 1-3 : Circuit équivalent simplifié d'une cellule solaire.

L'équation reliant le courant délivré par une cellule PV à la tension à ses bornes est donnée par l'équation suivante :

$$I_{cell} = I_{ph} - I_D - I_p = I_{ph} - I_s e^{\left(\frac{q(V_{cell} + R_s I_{cell})}{nkT_c} - 1\right)} - \frac{(V_{cell} + R_s I_{cell})}{R_p} \quad (1-1)$$

Avec :

q : la charge de l'électron ;

n : le facteur d'idéalité de la diode qui dépend de la technologie photovoltaïque. Il est compris entre 1 et 5 dans la pratique ;

K : la constante de Boltzmann ;

I_{cell} : le courant de sortie de la cellule ;

I_{ph} : le courant photonique, fonction de la température de fonctionnement et de l'irradiation solaire ;

I_s : le courant de saturation inverse de la diode ;

T_c : la température de la cellule qui varie en fonction de l'éclairement et de la température ambiante ;

V_{cell} : la tension de sortie de la cellule.

Un module photovoltaïque est constitué de plusieurs cellules solaires. Les expressions du courant débité par le module PV et de la tension à ses bornes sont définies par les équations suivantes :

$$\begin{cases} I_{mpv} = N_p * I_{cell} \\ I_{mph} = N_p * I_{ph} \\ V_{mpv} = N_s * V_{cell} \\ V_{mco} = N_s * V_{co_{cell}} \end{cases} \quad (1-2)$$

Avec :

N_s : le nombre de cellules connectées en série ;

N_p : le nombre de cellules connectées en parallèle ;

I_{mph} : le courant de court circuit du module ;

$V_{co_{cell}}$: la tension en circuit ouvert de la cellule ;

V_{mco} : la tension en circuit ouvert aux bornes du module.

La Figure 1-4 illustre le principe de la modélisation d'un module PV (association de plusieurs cellules). Le modèle que nous avons utilisé prend en compte l'influence de la température et de l'ensoleillement. Il a été implémenté sous Matlab Simulink et a comme paramètres d'entrée la tension du module PV (V_{mpv}), l'ensoleillement (G) et la température (T).

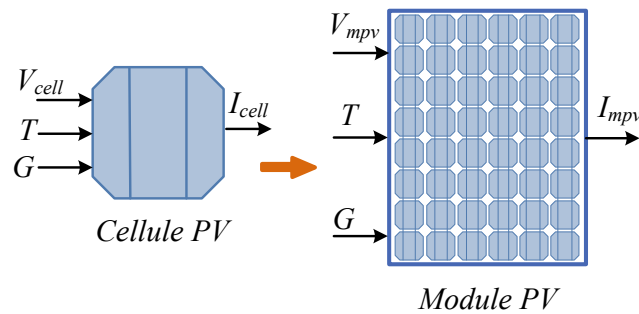


Figure 1-4 : Modélisation d'un module solaire PV.

Une source photovoltaïque est physiquement réalisée à partir de la mise en parallèle et/ou série de plusieurs modules PV (Figure 1-5). Différentes topologies d'interconnexion des cellules photovoltaïques ont été présentées dans [Pic10].

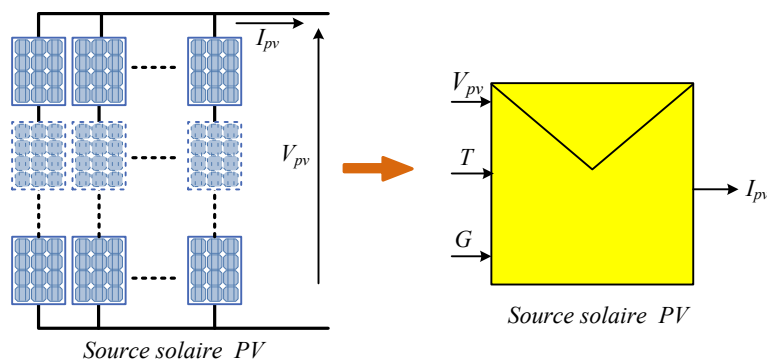


Figure 1-5 : Modélisation d'une source solaire PV.

Afin d'optimiser le fonctionnement d'une source solaire PV, il est important de suivre la courbe du maximum de puissance. La recherche du maximum de puissance est appelée Maximum Power Point Tracking (MPPT).

La recherche du point de fonctionnement optimal d'une source solaire PV par des techniques d'optimisation est relativement complexe du fait que la caractéristique des cellules dépend fortement de l'ensoleillement et de la température ambiante. Un moyen permettant de fonctionner à tout moment au point de fonctionnement optimal doit être mis en œuvre. Ces dernières années, plusieurs méthodes ont été publiées. Par exemple, Salas et al ont présenté différentes méthodes de maximisation de la puissance classées en deux catégories : les méthodes indirectes et directes [Sal06].

Parmi les méthodes indirectes, on peut citer la méthode d'ajustement de courbe, la méthode dite "look-up table", la méthode de la tension de circuit-ouvert du générateur et la méthode de court-circuit. Ces méthodes sont souvent propres à chaque type de panneau et donc difficiles à généraliser car elles sont basées sur des équations mathématiques empiriques et des bases de données regroupant les caractéristiques des panneaux dans différentes conditions climatiques (température, ensoleillement...) afin de déterminer le point de puissance maximum [Sin10] et [Sal06].

Par contre, les méthodes directes utilisent les mesures de tension et de courant de la source solaire PV et l'algorithme d'optimisation est basé sur la variation de ces mesures. L'avantage de ces méthodes est qu'elles ne nécessitent pas de connaissance préalable des caractéristiques des panneaux PV. Parmi ces méthodes, on retrouve la méthode de différenciation, la méthode Perturb & Observ (P&O) et la méthode de l'incrément de conductance [Sin10] et [Sal06]. On trouve aussi de nombreuses méthodes comme par exemple dans [Had11] où le MPPT est réalisé avec un algorithme génétique se basant sur la mesure de la tension à vide du panneau et le courant de court-circuit.

En général, un hacheur Boost peut être utilisé afin d'alimenter le bus continu et de poursuivre le point de puissance maximale du système photovoltaïque. Parmi les méthodes de poursuite du Point de Puissance Maximale (PPM), nous avons choisi dans ce mémoire l'algorithme P&O (Perturbe et Observe) qui est l'une des méthodes les plus utilisées. Cette méthode est basée sur le principe de perturbation de la tension v_{pv} d'une faible amplitude autour de sa valeur initiale, en agissant directement sur le rapport cyclique du convertisseur DC-DC. On analyse ensuite la variation de puissance de la source PV (p_{pv}) qui en résulte.

Comme le montre la Figure 1-6, tant que le point de fonctionnement est situé à gauche du point PPM, une incrémentation positive de la tension v_{pv} engendre un accroissement de la puissance p_{pv} . Au contraire, si le système dépasse le PPM (à droite du PPM) la puissance décroît. Un raisonnement similaire peut être effectué lorsque la tension décroît. On peut dire qu'après une perturbation de la tension, si la puissance PV augmente, la direction de perturbation est maintenue. Sinon la perturbation de tension doit être inversée pour reprendre la convergence vers le PPM.

La Figure 1-7 représente l'algorithme associé à une commande MPPT de type P&O, lors duquel l'évolution de la puissance est analysée après chaque perturbation de tension. Avec cet algorithme, la tension de fonctionnement v_{pv} est perturbée pendant chaque cycle. Une fois le PPM atteint, v_{pv} oscillera autour du PPM (V_{ppm}).

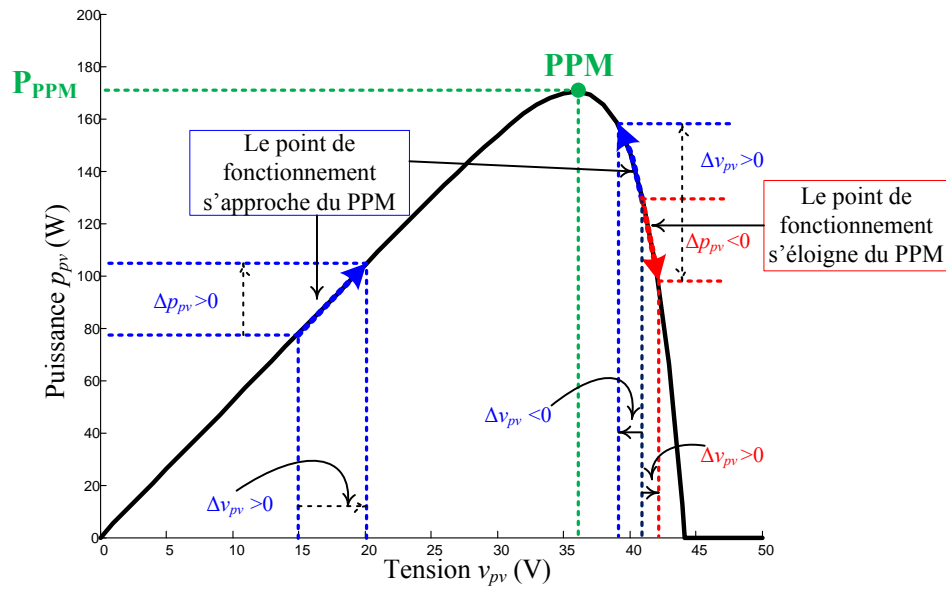


Figure 1-6 : Caractéristique $p_{pv} - v_{pv}$ d'un module photovoltaïque et principe de la méthode P&O.

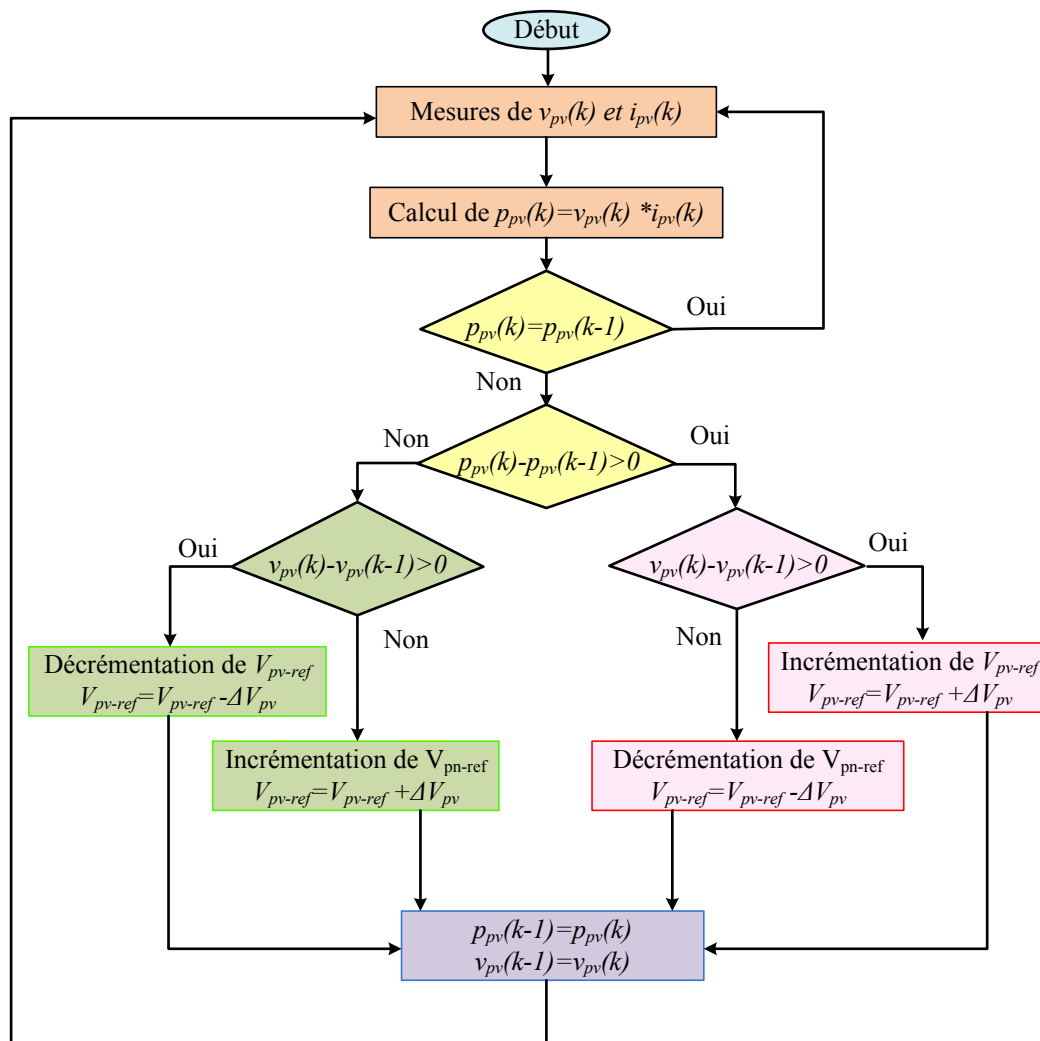


Figure 1-7 : Algorithme de la méthode P&O [Sin10] et [Sal06].

1.2.1.2 Modélisation du Super condensateur

Parmi les modèles présentés dans la littérature scientifique [Bel00], [Riz06], [Dou04], [Zha11] et [Yu10], nous avons choisi le modèle proposé par Zhang et Yu. La Figure 1-8 représente ce modèle. Sur cette figure, la résistance R_{ESR} modélise la résistance série de charge/décharge et R_{EPR} est la résistance parallèle qui modélise les pertes d'auto décharge. C_{sc} est la capacité du SC.

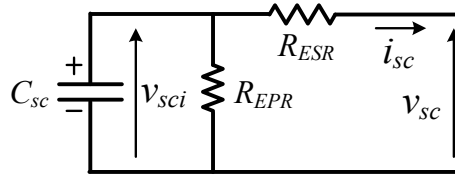


Figure 1-8 : Modélisation du SC [Zha11], [Yu10].

L'état de charge (SOC "pour State Of Charge") du SC est le rapport entre l'énergie stockée dans le super condensateur et la charge nominale de celui-ci. Le SOC peut être directement exprimé en fonction de la tension aux bornes du SC selon la relation (1-3) :

$$SOC_{sc} = \frac{v_{sc}}{v_{nomsc}} \quad (1-3)$$

Où v_{nomsc} est la valeur nominale de la tension aux bornes du SC [Yu10] et [Mi11].

L'énergie délivrée par le SC est directement déterminée par sa capacité et la variation de la tension. Elle s'exprime par l'équation suivante [Zha11] :

$$y_{sc} = \frac{1}{2} C_{sc} (V_0^2 - v_{sc}^2) \quad (1-4)$$

Où V_0 est la tension initiale aux bornes du SC. Nous avons simplifié ce modèle en négligeant la résistante parallèle R_{EPR} [Jam13]. Lors de ces travaux de thèse, le SC a été modélisé à l'aide de Simulink et de la toolbox SimPowerSystems de Matlab.

1.2.1.3 Modélisation de la batterie

Différents modèles de batterie sont publiés dans la littérature scientifique. Un modèle de batterie couramment utilisé a été proposé par [Mi11] et [Yu10]. Il est représenté à la Figure 1-9. Il se compose d'une batterie idéale, modélisée par une source de tension V_{co} et une résistance interne R_{int} . La tension aux bornes de la batterie est notée v_{bat} et peut s'exprimer par :

$$v_{bat} = V_{co} - R_{int} i_{bat} \quad (1-5)$$

V_{co} , le potentiel d'équilibre de la batterie, est une fonction non linéaire de l'état de

charge et de la température T . Cette fonction a été établie par Larminie et Lowry [Lar03] et [Mi11].

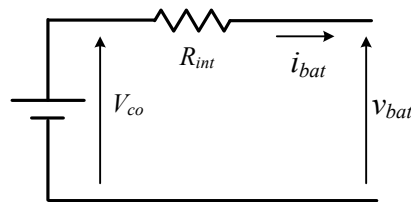


Figure 1-9 : Modélisation de la batterie.

Un modèle dynamique paramétrable de la batterie, basé sur le modèle électrique de la Figure 1-9, a été implémenté sous Matlab à l'aide de la toolbox SimPowerSystems. La tension V_{co} est mise à jour dynamiquement lorsque la batterie est en charge, en respectant l'état de charge et la dynamique de la batterie [Tre07]. Ce modèle est adapté à une vaste gamme de batteries rechargeables comme par exemple les batteries plomb-acide, Lithium-Ion, Nickel-Cadmium et Nickel-Métal-Hydrure.

1.2.2 Gestion de l'énergie du DC-SPD

La littérature scientifique issue des travaux de recherche menés au sein du laboratoire GREEN comporte un nombre important de publications et de Thèses de Doctorat qui portent sur les systèmes hybrides et la gestion de l'énergie au cœur de ces systèmes. Par exemple, A. Payman a étudié lors de ses travaux de Thèse la gestion de l'énergie pour un système hybride de type SPD comportant une pile à combustible, un SC et trois charges [PayT09]. M. Zandi a quant à lui étudié un système hybride intégrant une pile à combustible, un super condensateur, une batterie et une charge [ZanT10]. T.A. Singo a étudié un système d'alimentation hybride constitué d'une source solaire PV, d'un super condensateur et d'une batterie pour un habitat énergétiquement autonome [Sin10].

Par ailleurs, aux niveaux national et international, Y. Pankow a étudié lors de ses travaux de Thèse l'intégration de la production décentralisée basée sur l'énergie photovoltaïque dans un réseau basse tension [Pan04]. J. Svensson a quant à lui étudié le fonctionnement et le contrôle en temps réel d'un système puissance distribuée actif [Sve06]. Un DC-SPD intégrant des sources d'énergies renouvelables a été étudié par P. Karlsson dans le cadre de ses travaux de thèse [Kar02]. J. Lee et *al* ont analysé la gestion de l'énergie d'un micro-réseau DC comportant une source éolienne, une source photovoltaïque et une pile à combustible [Lee11]. Wai et *al* ont proposé une nouvelle méthode de gestion de l'énergie pour un système électrique hybride qui comporte une pile à combustible et une batterie [Wai13]. Les performances dynamiques et les effets des sources d'énergies renouvelables sur la qualité de l'énergie et la stabilité d'un système électrique hybride (avec un générateur diesel, un système éolien, une source solaire PV et une batterie) ont été étudiés par Pan et *al* dans [Pan09]. Le contrôle de qualité de l'énergie d'un micro-réseau comportant une micro turbine, une source solaire PV, une éolienne et une pile à combustible a été étudié par [Li07]. Yu et *al* ont étudié un système avec un SC

et une batterie utilisés comme les organes de stockage dans le réseau d'un véhicule électrique [Yu10].

Dans cette section, nous allons étudier la gestion de l'énergie d'un DC-SPD comportant une source solaire PV, une batterie et un SC (Figure 1-2). Nous avons choisi d'utiliser des correcteurs classiques de type Proportionnel-Intégral (PI) afin de contrôler non seulement la tension du bus DC et la tension aux bornes du SC mais également la commande du convertisseur de la source solaire PV.

Dans un DC-SPD, afin de gérer de façon optimale les flux d'énergie entre les différents composants il faut considérer les contraintes essentielles suivantes :

- La source solaire PV doit comporter un convertisseur statique piloté par un algorithme de recherche du point de fonctionnement à puissance maximale (MPPT) ;
- La somme algébrique instantanée de toutes les puissances entrant et sortant du bus continu doit être nulle.

Nous allons maintenant détailler la stratégie de la gestion de l'énergie étudiée dans cette section du mémoire.

1.2.2.1 Régulation de la tension du bus continu

L'énergie du bus continu (y_{dc}) varie en fonction de la puissance consommée ou fournie par les sous-systèmes qui y sont connectés. Si l'on maintient l'énergie y_{dc} constante, la tension du bus continu sera alors régulée à sa valeur de consigne (V_{dcref}). Rappelons que l'énergie solaire PV est un phénomène intermittent, fonction de l'ensoleillement et de la température. Elle est contrôlée par MPPT. La stratégie de commande mise en place pour la batterie et le super condensateur est une stratégie classique : Le super condensateur, qui est la source d'énergie la plus rapide, a en charge la régulation du bus continu lorsqu'un changement rapide apparaît au niveau de la charge. La batterie a pour rôle de réguler le stock d'énergie au niveau du super condensateur.

Le contrôle de la tension du bus DC est présenté à la Figure 1-10. Il se compose de deux boucles. La boucle externe a pour rôle de réguler l'énergie y_{dc} , alors que la boucle interne régule le courant i_{sc} traversant le super condensateur (voir Figure 1-2).

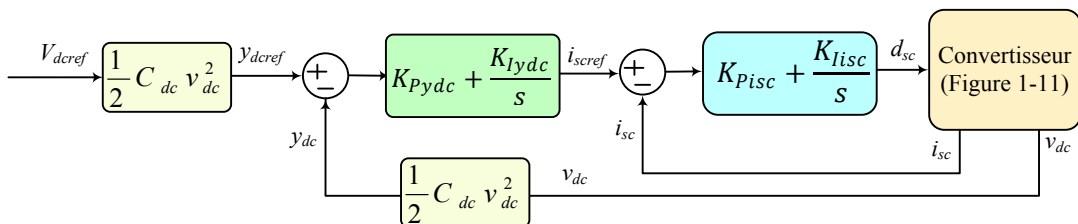


Figure 1-10 : Régulation de l'énergie y_{dc} du bus continu.

Dans la suite, nous allons développer les équations différentielles et les fonctions de transfert du système, puis nous présenterons les lois de commande permettant de réaliser cette régulation.

1.2.2.2 Régulation du courant i_{sc}

Nous utiliserons le modèle du super condensateur qui a été présenté à la section 1.2.1.2. Pour simplifier les calculs, on négligera la résistance parallèle R_{EPR} du SC et nous modéliserons l'ensemble des pertes par la résistance R_{sc} (voir l'équation (1-6)).

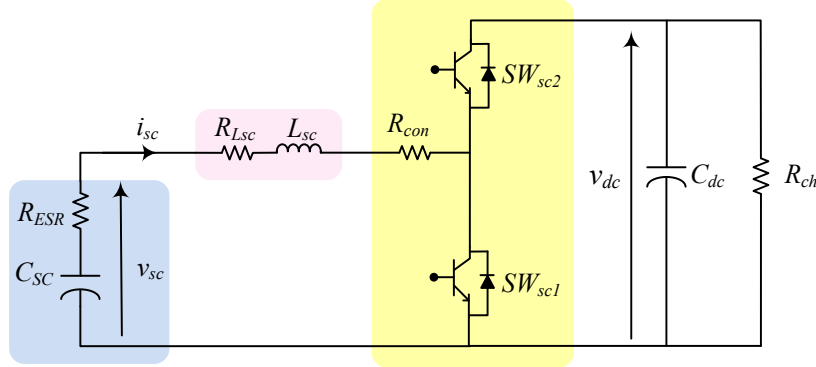


Figure 1-11 : Schéma du super condensateur et du convertisseur associé.

$$R_{sc} = R_{ESR} + R_{Lsc} + R_{con} \quad (1-6)$$

Avec:

R_{ESR} : résistance série de charge/décharge du SC ;

R_{Lsc} : résistance interne de la bobine ;

R_{con} : résistance représentant les pertes par conduction et par commutation pour les interrupteurs du convertisseur statique.

Avec ces notations, le système peut être décrit au sens des valeurs moyennes sous la forme des équations (1-7). Dans ces équations, d_{sc} représente le rapport cyclique du signal de commande associé à l'interrupteur SW_{sc1} ; l'interrupteur SW_{sc2} est commandé de manière complémentaire par rapport à SW_{sc1} .

$$\begin{cases} L_{sc} \frac{di_{sc}}{dt} = v_{sc} - R_{sc} i_{sc} - (1 - d_{sc}) v_{dc} \\ C_{sc} \frac{dv_{sc}}{dt} = -i_{sc} \\ C_{dc} \frac{dv_{dc}}{dt} = (1 - d_{sc}) i_{sc} - \frac{v_{dc}}{R_{ch}} \end{cases} \quad (1-7)$$

Ces équations sont non linéaires car elles comportent des multiplications de signaux variant dans le temps. La plupart des techniques d'analyse des circuits AC, comme par exemple la transformation de Laplace ou les autres méthodes d'analyse fréquentielle, ne sont pas adoptées pour de tels systèmes non-linéaires. Une linéarisation par construction d'un modèle "petit signal" est donc préconisée [Eri01].

Afin de construire un modèle petit signal autour d'un point de fonctionnement donné, nous décomposons chaque variable en deux composantes, une composante "lente" (grandeur moyenne) et une "rapide" (due aux découpages). Nous pouvons alors écrire :

$$\begin{cases} i_{sc} = I_{sc} + \hat{i}_{sc} \\ v_{sc} = V_{sc} + \hat{v}_{sc} \\ v_{dc} = V_{dc} + \hat{v}_{dc} \\ d_{sc} = D_{sc} + \hat{d}_{sc} \end{cases} \quad (1-8)$$

Pour la notation choisie, les lettres majuscules désignent les composantes lentes (DC) et celles en minuscules avec chapeaux désignent les composantes rapides. Les composantes rapides sont très petites devant les composantes lentes :

$$\begin{cases} |\hat{i}_{sc}| \ll |I_{sc}| \\ |\hat{v}_{sc}| \ll |V_{sc}| \\ |\hat{v}_{dc}| \ll |V_{dc}| \\ |\hat{d}_{sc}| \ll |D_{sc}| \end{cases} \quad (1-9)$$

En remplaçant les équations (1-8) dans les équations (1-7), nous obtenons :

$$\begin{cases} L_{sc} \left(\frac{dI_{sc}}{dt} + \frac{d\hat{i}_{sc}}{dt} \right) = V_{sc} + \hat{v}_{sc} - R_{sc}(I_{sc} + \hat{i}_{sc}) - (D'_{sc} - \hat{d}_{dc})(V_{dc} + \hat{v}_{dc}) \\ C_{sc} \left(\frac{dV_{sc}}{dt} + \frac{d\hat{v}_{sc}}{dt} \right) = -(I_{sc} + \hat{i}_{sc}) \\ C_{dc} \left(\frac{dV_{dc}}{dt} + \frac{d\hat{v}_{dc}}{dt} \right) = (D'_{sc} - \hat{d}_{dc})(I_{sc} + \hat{i}_{sc}) - \frac{V_{dc}}{R_{ch}} - \frac{\hat{v}_{dc}}{R_{ch}} \end{cases} \quad (1-10)$$

Où $D_{sc} = (1 - D_{sc})$. Après simplification, nous obtenons les équations suivantes :

$$\begin{cases} L_{sc} \left(\frac{dI_{sc}}{dt} + \frac{d\hat{i}_{sc}}{dt} \right) = \overbrace{V_{sc} + R_{sc}I_{sc} - D'_{sc}V_{dc}}^{\text{Terme DC}} + \overbrace{\hat{v}_{sc} - R_{sc}\hat{i}_{sc} + \hat{d}_{dc}V_{dc} - D'_{sc}\hat{v}_{dc}}^{\text{Terme du 1er ordre (linéaire)}} + \overbrace{\hat{d}_{dc}\hat{v}_{dc}}^{\text{2eme ordre (non linéaire)}} \\ C_{sc} \left(\frac{dV_{sc}}{dt} + \frac{d\hat{v}_{sc}}{dt} \right) = -(I_{sc} + \hat{i}_{sc}) \\ C_{dc} \left(\frac{dV_{dc}}{dt} + \frac{d\hat{v}_{dc}}{dt} \right) = D'_{sc}I_{sc} - \frac{V_{dc}}{R_{ch}} + D'_{sc}\hat{i}_{sc} - \hat{d}_{dc}I_{sc} - \frac{\hat{v}_{dc}}{R_{ch}} + \hat{d}_{sc}\hat{i}_{sc} \end{cases} \quad (1-11)$$

Les dérivés des grandeurs I_{sc} et V_{sc} sont nulles car elles sont constantes pour un point de fonctionnement donné. Les termes du 2^{ème} ordre sont très petits et donc négligeables devant les autres termes. Nous gardons les termes du 1^{er} ordre qui comprennent les signaux rapides multipliés par une constante. Notons que I_{sc} est nul en régime établi. Après ces simplifications nous obtenons :

$$\begin{cases} L_{sc} \frac{d\hat{i}_{sc}}{dt} = \hat{v}_{sc} - R_{sc}\hat{i}_{sc} - D'_{sc}\hat{v}_{dc} + \hat{d}_{dc}V_{dc} \\ C_{sc} \frac{d\hat{v}_{sc}}{dt} = -\hat{i}_{sc} \\ C_{dc} \frac{d\hat{v}_{dc}}{dt} = D'_{sc}\hat{i}_{sc} - \frac{\hat{v}_{dc}}{R_{ch}} \end{cases} \quad (1-12)$$

Puis, en appliquant la transformation de Laplace, la fonction de transfert suivante peut être obtenue :

$$G_{isc} = \frac{\hat{i}_{sc}}{\hat{d}_{sc}} = \frac{C_{sc}V_{dc}(1 + R_{ch}C_{dc}s)}{L_{sc}C_{sc}R_{ch}C_{dc}s^3 + (L_{sc}C_{sc} + R_{ch}R_{sc}C_{dc}C_{sc})s^2 + (R_{sc}C_{sc} + R_{ch}C_{dc} + D'_{sc}{}^2R_{ch}C_{sc})s + 1} \quad (1-13)$$

Les courants fournis par la batterie et par la source solaire PV sont vus comme des perturbations par le régulateur du courant i_{sc} du SC. En négligeant les perturbations dues aux variations de v_{dc} et aux découpages, la boucle de régulation du courant i_{sc} peut être simplifiée et est représentée à la Figure 1-12.

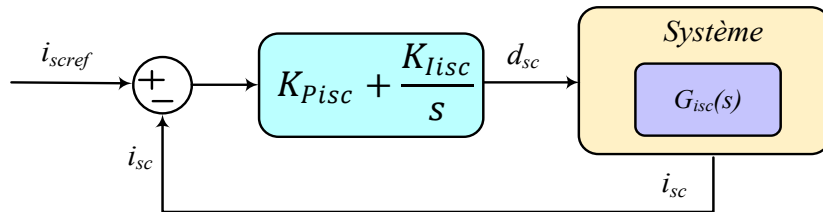


Figure 1-12 : Boucle de régulation du courant traversant le super condensateur (i_{sc}).

Comme cela est représenté à la Figure 1-12, un correcteur de type PI a été utilisé ; sa fonction de transfert est la suivante :

$$C_{isc}(s) = K_{Pisc} + \frac{K_{Iisc}}{s} \quad (1-14)$$

1.2.2.3 Régulation de l'énergie du bus continu y_{dc}

Comme nous l'avons déjà précisé, la tension aux bornes du bus continu est régulée par le convertisseur reliant le SC au bus DC. Cette régulation de la tension du bus DC est en pratique réalisée indirectement au travers du contrôle de l'énergie stockée dans le condensateur du bus continu (y_{dc}). De plus, nous pouvons considérer que $i_{sc} = i_{scref}$: en

effet, la constante de temps de la boucle de régulation du courant i_{sc} est bien plus faible que celle de la régulation de l'énergie du bus continu. La boucle de régulation interne qui agit sur le courant peut donc être remplacée par un bloc unitaire. La Figure 1-13 présente le schéma de la boucle de régulation l'énergie du bus continu.

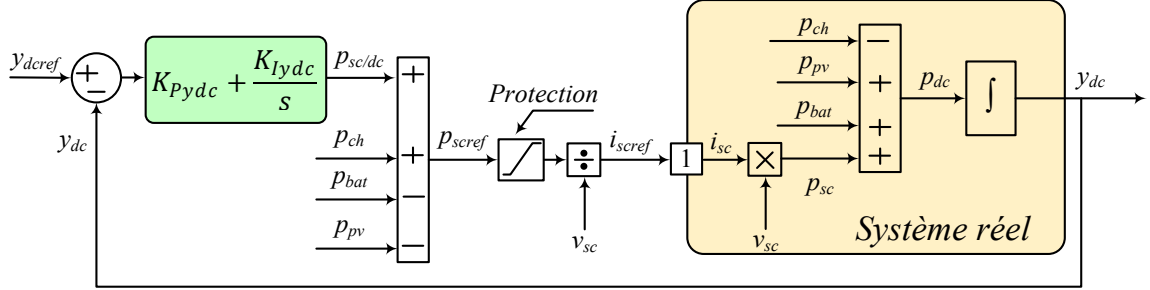


Figure 1-13 : Contrôle de l'énergie y_{dc} du bus continu.

L'énergie stockée dans le condensateur du bus DC est définie par l'équation suivante :

$$y_{dc} = \frac{1}{2} C_{dc} v_{dc}^2 \quad (1-15)$$

Comme nous l'avons déjà précisé, la somme de toutes les puissances entrant et sortant du bus continu doit être nulle à chaque instant. La dérivée de l'énergie y_{dc} peut être exprimée sous la forme de l'équation (1-16). Les puissances p_{pv} , p_{bat} , p_{sc} sont les puissances fournies (ou absorbées) respectivement par la source solaire, la batterie et le super condensateur, la puissance p_{ch} étant absorbée par la charge du système. On notera que l'on fait ici l'hypothèse que l'énergie magnétique stockée dans l'inductance est négligeable devant l'énergie stockée dans le condensateur ($\frac{1}{2} L_{sc} i_{sc}^2 \ll \frac{1}{2} C_{dc} v_{dc}^2$).

$$\dot{y}_{dc} = p_{sc} + p_{bat} + p_{pv} - p_{ch} = 0 \quad (1-16)$$

On note $p_{sc/dc}$ la puissance qui doit être fournie (ou stockée à un instant donné) par le SC. Cette dernière permet de réguler l'énergie y_{dc} aux bornes du bus continu. Nous pouvons écrire :

$$p_{scref} = p_{sc/dc} - p_{bat} - p_{pv} + p_{ch} \quad (1-17)$$

Les variations rapides de la puissance de charge sont compensées par la puissance p_{scref} . Enfin, la consigne de courant du SC est obtenue en divisant p_{scref} par la tension mesurée aux bornes du SC.

1.2.2.4 Régulation de l'énergie y_{sc} du super condensateur

Selon la stratégie de commande établie précédemment, c'est la batterie qui permet de réguler l'énergie du super condensateur, définie par l'équation suivante :

$$y_{sc} = \frac{1}{2} C_{sc} v_{sc}^2 \quad (1-18)$$

Pour ce faire, nous développons une architecture de régulation qui comprend deux boucles imbriquées. La boucle externe a en charge la régulation de l'énergie y_{sc} stockée dans le SC et la boucle interne permet de réguler le courant de la batterie à sa valeur de consigne. La méthode de contrôle est identique à celle utilisée pour la régulation de y_{dc} . La Figure 1-14 présente cette stratégie de contrôle.

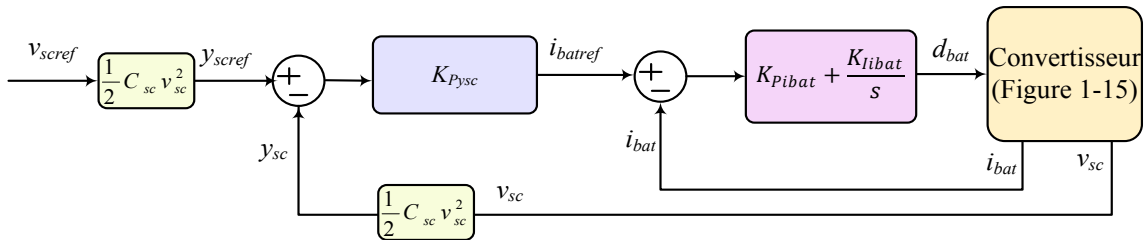


Figure 1-14 : Régulation de l'énergie y_{sc} du SC.

Afin de construire un modèle petit signal pour un point de fonctionnement donné, nous considérons le schéma de la Figure 1-15 sur lequel figure la batterie et le convertisseur statique qui lui est associé.

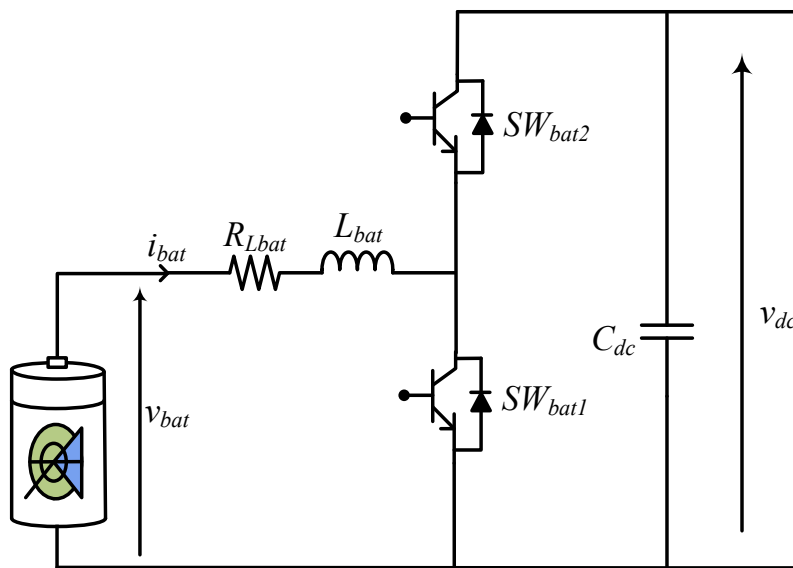


Figure 1-15 : Batterie et convertisseur statique associé.

Nous supposons que la tension du bus DC est parfaitement asservie à sa valeur de consigne de sorte que nous pouvons la considérer comme constante. Les équations du système sont données en (1-19). Dans ces équations, d_{bat} représente le rapport cyclique du signal de commande associé à l'interrupteur SW_{bat1} ; l'interrupteur SW_{bat2} est commandé complémentaiement à SW_{bat1} .

$$\begin{cases} L_{bat} \frac{di_{bat}}{dt} = v_{bat} - R_{Lbat}i_{bat} - (1 - d_{bat})V_{dc} \\ v_{bat} = f(i_{bat}) \end{cases} \quad (1-19)$$

Comme précédemment, nous décomposons chaque variable en deux composantes "lente" et "rapide" et conservons les termes du 1^{er} ordre. La tension v_{bat} varie non linéairement en fonction de i_{bat} . Une linéarisation autour d'un point fonctionnement s'avère nécessaire :

$$\begin{cases} L_{bat} \frac{d\hat{i}_{bat}}{dt} = \hat{v}_{bat} - R_{Lbat}\hat{i}_{bat} + \hat{d}_{bat}V_{dc} \\ \hat{v}_{bat} = \left. \frac{\partial f(i_{bat})}{\partial i_{bat}} \right|_{I_{bat}} \hat{i}_{bat} = A \hat{i}_{bat} \end{cases} \quad (1-20)$$

La tangente de la courbe de caractérisation de la batterie au point de fonctionnement considéré nous donne la valeur du coefficient "A". Après transformation de Laplace, la fonction de transfert obtenue est :

$$G_{ibat} = \frac{\hat{i}_{bat}}{\hat{d}_{bat}} = \frac{V_{dc}}{L_{bat}s + R_{Lbat} + A} \quad (1-21)$$

La boucle de régulation du courant i_{bat} est présentée à la Figure 1-16.

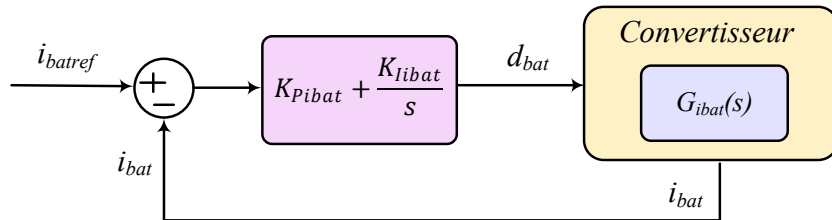


Figure 1-16 : Boucle de régulation du courant i_{bat} de la batterie.

1.2.2.5 Régulation de l'énergie de la source solaire PV par l'algorithme MPPT

Afin d'établir un modèle petit signal de la source solaire PV et du convertisseur statique associé, pour un point de fonctionnement donné, nous considérons le schéma de la Figure 1-17 (en adoptant une démarche similaire à celle menée pour le SC). Après décomposition de chaque variable en deux composantes "lente" et "rapide" et en négligeant les termes lents et du second ordre, nous obtenons :

$$\begin{cases} L_{pv} \frac{d\hat{i}_{Lpv}}{dt} = \hat{v}_{pv} - R_{pv}\hat{i}_{Lpv} - (1 - d_{pv})V_{dc} \\ C_{pv} \frac{d\hat{v}_{pv}}{dt} = B\hat{v}_{pv} - \hat{i}_{Lpv} \end{cases} \quad (1-22)$$

Le courant $\hat{i}_{pv} = f(\hat{v}_{pv})$ est une variable non-linéaire et une linéarisation autour d'un point de fonctionnement donné est nécessaire ; pour cela, on note $B = \left. \frac{\partial \hat{i}_{pv}}{\partial \hat{v}_{pv}} \right|_{V_{pv}}$. Rappelons que la tension du bus DC suit parfaitement sa valeur de consigne. Cela nous permet de supposer une valeur constante (V_{dc}) pour celle-ci. C_{pv} stabilise la tension de la source solaire PV.

La stratégie de commande du convertisseur DC-DC associé à l'algorithme MPPT qui a été modélisé dans l'environnement Simulink est présentée à la Figure 1-17.

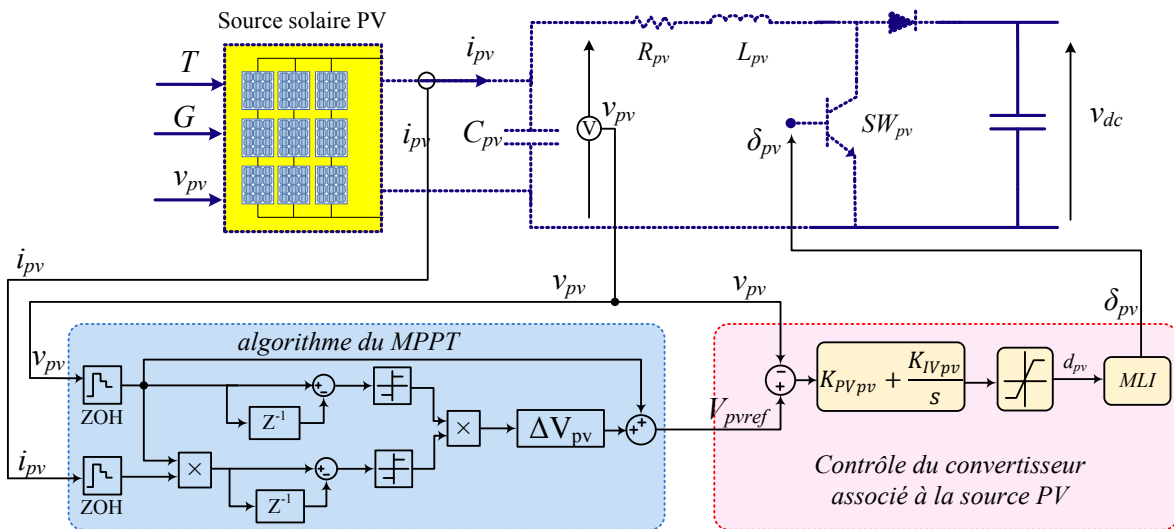


Figure 1-17 : Commande du convertisseur de la source PV avec l'algorithme MPPT.

1.2.2.6 Résultats de simulation du DC-SPD

Nous avons effectué la modélisation/simulation du DC-SPD de la Figure 1-2 dans l'environnement Matlab. Un schéma détaillé de ce DC-SPD est présenté à la Figure 1-18, incluant les sources, les convertisseurs de puissance et le contrôle-commande. La partie puissance du système hybride est modélisée à l'aide de la toolbox SimPowerSystem. Quant au contrôle des convertisseurs, il a été modélisé à l'aide de la toolbox Simulink. Les paramètres de simulation sont consignés dans le Tableau 1-1.

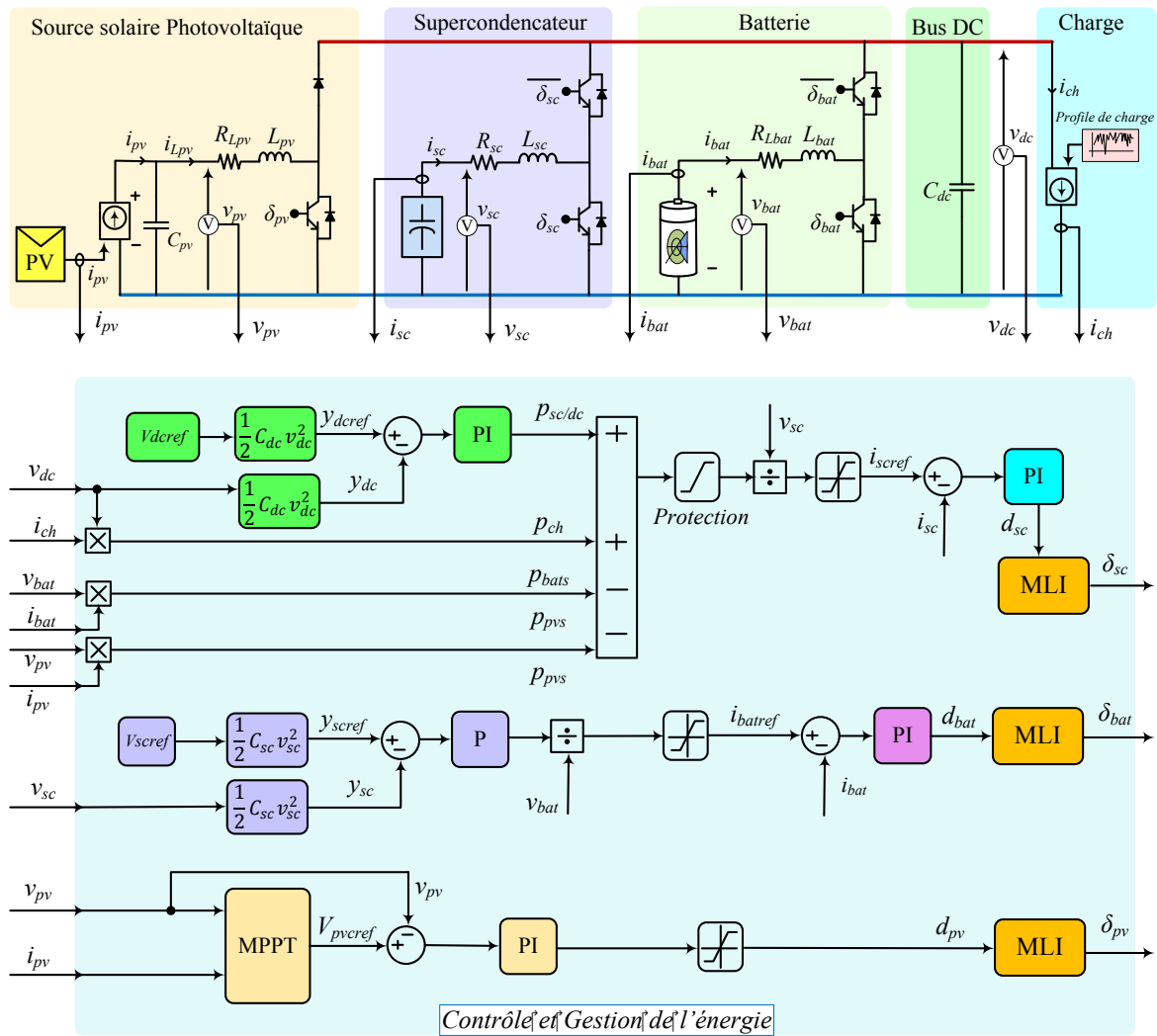


Figure 1-18 : Schéma détaillé du DC-SPD étudié.

Tableau 1-1 : Paramètres de simulation du DC-SPD de la Figure 1-18.

<i>Sous-système</i>		<i>Élément</i>	<i>Valeur</i>
Super condensateur	Convertisseur	L_{sc}	2 mH
		R_{sc}	0,5 Ω
		C_{sc}	165 F
	Coefficients des Correcteurs	K_{Pisc}	0,02
		K_{Iisc}	20 s ⁻¹
		K_{Pydc}	150
		K_{Iydc}	1500 s ⁻¹
Source solaire Photovoltaïque	Convertisseur	L_{pv}	9 mH
		R_{pv}	0,8 Ω
		C_{pv}	40 μ F
	Coefficients des Correcteurs	K_{Pvpv}	0,4
		K_{Ivpv}	8 s ⁻¹
Batterie	Convertisseur	L_{bat}	2 mH
		R_{bat}	0,7 Ω
		K_{Pibat}	0,012
	Paramètres des Correcteurs	K_{Iibat}	3 s ⁻¹
		K_{Pydc}	5

Nous rappelons ici que la puissance de la source solaire PV varie en fonction de l'ensoleillement et est contrôlée selon l'algorithme MPPT décrit à la section 1.2.2.5. En réalité, l'ensoleillement journalier a pour allure générale une courbe dite "en cloche". Nous avons modélisé cet ensoleillement par une courbe de Gauss de la forme (1-23). La courbe d'ensoleillement considérée suit un profil similaire du type de celui de la Figure 1-19. Afin d'accélérer la simulation, on considère un scénario de 40s au cours duquel l'ensoleillement suit la courbe de la Figure 1-19. Avec un tel profil d'éclairement, on pourra observer le bon comportement dynamique de l'algorithme MPPT. En effet, les variations d'ensoleillement considérées sont au maximum de l'ordre de $\pm 50 \text{ W/m}^2/\text{s}$, ce qui correspond aux standards préconisés pour vérifier le comportement d'un MPPT lors de transitoires d'éclairement (le standard EN50530 définit les dynamiques rapides d'éclairement à $100 \text{ W/m}^2/\text{s}$). Il faut noter que la température est celle du milieu ambiant (25° C).

$$G(t) = 1000 * e^{-\frac{(t-20)^2}{2*11^2}} \quad (1-23)$$

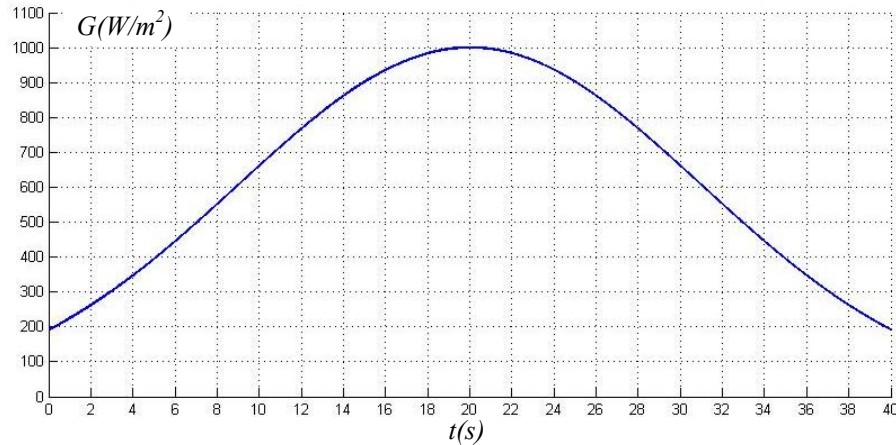


Figure 1-19 : Courbe d'ensoleillement considérée.

Le profil de charge considéré $p_{ch}(t)$ est présenté à la Figure 1-20. La puissance moyenne de ce profil de charge est égale à 884 W. Afin de valider l'efficacité de l'algorithme de gestion de l'énergie, ce profil de charge comprend également des variations rapides. Les valeurs maximale et minimale de la puissance de charge sont 1975W et -383 W.

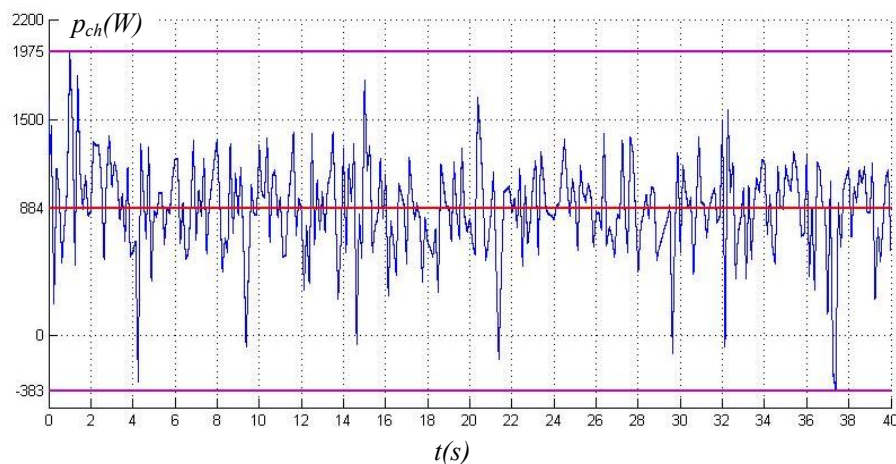


Figure 1-20 : Profil de charge considéré.

Nous examinons maintenant la régulation de la tension aux bornes du bus DC. Les résultats obtenus par simulation sont présentés sur la Figure 1-21. Nous pouvons voir sur cette figure que la tension du bus continu (v_{dc}) a bien été asservie à sa valeur de consigne (200V) grâce à l'algorithme de gestion de l'énergie. De plus, la batterie et son convertisseur associé ont bien joué leurs rôles en termes de régulation de la tension du SC. Comme illustré à la Figure 1-21, v_{sc} est bien asservie à sa valeur de référence (valeur nominale) égale à 45V. La tension de la batterie (v_{bat}) varie autour de sa valeur nominale.

Nous pouvons voir également à la Figure 1-21 que la tension de la source solaire PV (v_{pv}) a été correctement gérée par l'algorithme MPPT afin d'atteindre la puissance maximale de la source solaire. Quand la source solaire PV atteint le point de puissance

maximale (PPM) la tension v_{pv} prend une valeur moyenne quasiment constante avec seulement quelques petites variations.

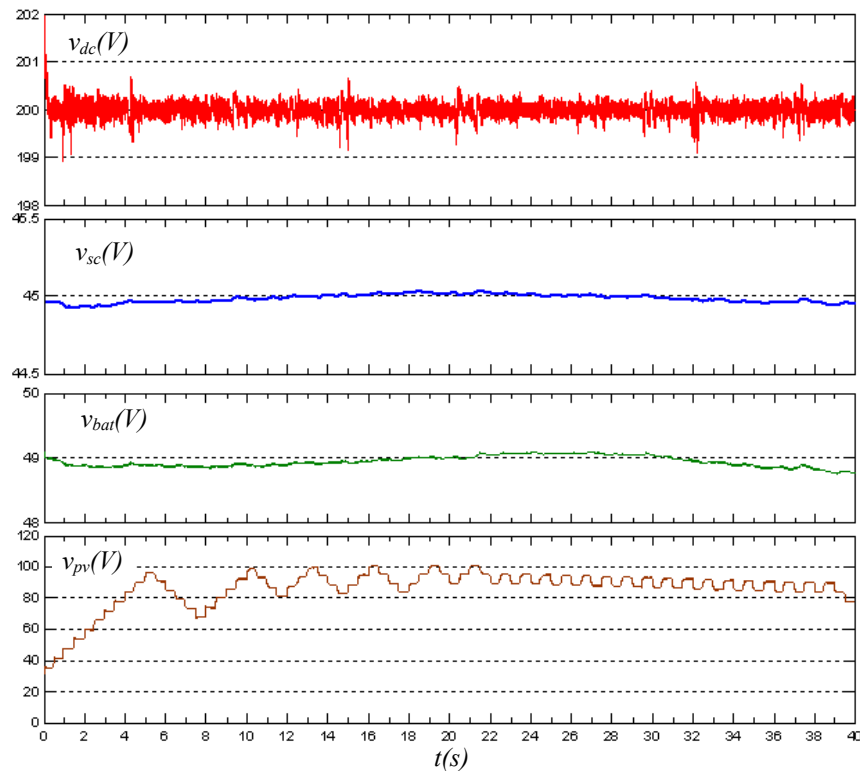


Figure 1-21 : Résultats de la simulation du DC-SPD.

La Figure 1-22 présente les résultats de simulation pour les puissances et la gestion de l'énergie dans le DC-SPD étudié. Comme nous l'avons déjà précisé, le super condensateur, qui est la source d'énergie la plus rapide, a en charge la régulation du bus continu lorsqu'un changement rapide apparaît au niveau de la charge. La Figure 1-22 montre que la puissance du SC (p_{sc}) a bien répondu aux variations rapides de la puissance de charge (p_{ch}) ce qui permet de garantir la régulation de la tension du bus DC.

En revanche, la batterie se charge de réguler le stock d'énergie au niveau du super condensateur. Comme nous pouvons voir sur la Figure 1-22, la puissance de la batterie (p_{bat}) a une dynamique plus lente que celle du SC. Cette dernière permet de réguler l'énergie stockée dans le SC et la tension aux bornes de celui-ci de façon indirecte. Les résultats montrent que la batterie fournit (ou absorbe) la puissance moyenne de charge moins la puissance fournie par la source solaire PV ($p_{bat_moy} = p_{ch_moy} - p_{pv_moy}$). Autrement dit, dans le cas où la valeur moyenne de la puissance p_{pv} est plus petite que celle de la puissance p_{ch} , la batterie fournit de l'énergie, sinon elle absorbe de l'énergie. Il faut noter qu'afin d'éviter la surcharge de la batterie et du SC, une limitation a été mise en œuvre dans les contrôles des convertisseurs associés.

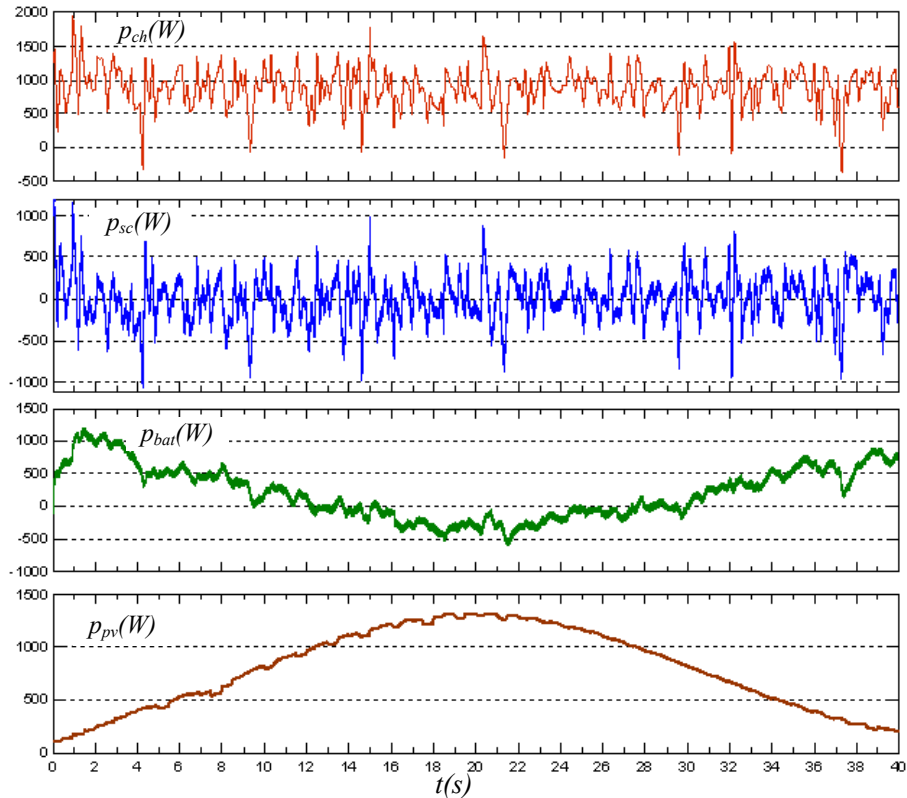


Figure 1-22 : Les différents puissances du système.

Pour conclure par rapport aux résultats de simulation, avec la stratégie de gestion de l'énergie présentée et simulée dans cette section, nous avons correctement régulé la tension du bus continu à sa valeur de consigne, la puissance maximale de la source solaire PV a été extraite et l'énergie du SC a été correctement contrôlée.

1.3 Problématique de la stabilité de DC-SPD intégrant des charges à puissance constante (CPL)

La stabilité d'un système électrique est l'un des aspects importants de la SDF. Dans un DC-SPD, des convertisseurs d'électronique de puissance sont présents dans les sous-systèmes centrés autour du bus continu. Bien souvent, l'interaction de ces sous-systèmes peut conduire à l'instabilité du bus DC. Un des cas les plus connus à l'origine de ce problème est celui d'une charge à puissance constante (CPL). Dans la suite de ce chapitre nous allons étudier le comportement des charges à puissance constante ainsi que leurs effets sur la stabilité du système. Ensuite, la stabilité du système en présence de ces charges CPL sera détaillée. Enfin, une méthode de stabilisation décentralisée sera proposée afin d'augmenter la marge de stabilité du système et avoir éviter l'instabilité liée aux charges déséquilibrées.

1.3.1 Modélisation d'une CPL

Nous proposons d'étudier la stabilité d'un DC-SPD en observant le comportement de

charges de type CPL par les méthodes linéaires. Un modèle linéaire autour d'un point de fonctionnement est donc nécessaire. Pour déterminer ce modèle, considérons le convertisseur statique représenté à la Figure 1-23. La charge (R_{ch}) en sortie du convertisseur est constante. Quelle que soit la tension d'entrée, la tension de sortie est asservie à sa valeur de consigne par la commande du convertisseur. Dans ces hypothèses, la puissance en sortie du convertisseur statique est constante et s'exprime par $P_0 = \frac{V_0^2}{R_{ch}}$ (au point de fonctionnement (I_0, V_0)). Si nous supposons que le rendement du convertisseur ne change pas significativement lors de variations de la tension d'entrée, la puissance d'entrée est alors également constante et s'exprime par $P_e = \frac{P_0}{\eta}$. Le courant de la CPL peut alors s'écrire [Rah091] et [Rah092]:

$$i_{ch}(t) = \frac{p_{ch}}{v_{ch}(t)} \quad (1-24)$$

Pour un point de fonctionnement donné ($I_0 = P_0/V_0$), le taux de variation de courant peut être obtenu à partir de l'équation (1-25) :

$$\frac{\partial i_{ch}}{\partial v_{ch}} = -\frac{P_0}{V_0^2} \quad (1-25)$$

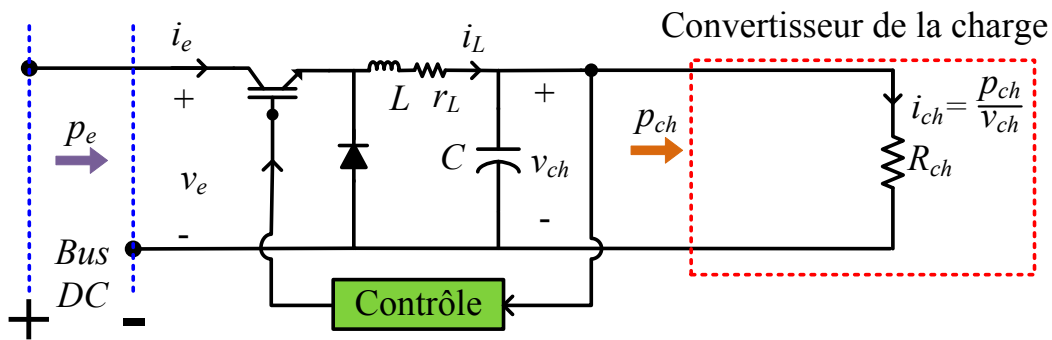


Figure 1-23 : Charge résistive alimentée par un convertisseur DC-DC.

La tangente à la courbe caractéristique de la CPL (Figure 1-24) au point de fonctionnement ($I_0 = P_0/V_0$) est donnée par :

$$i_{ch} = A \cdot v_{ch} + B \quad (1-26)$$

'A' est la pente de cette droite et peut-être calculée à partir de l'équation (1-25). Le terme 'B' peut-être déterminé en remplaçant les coordonnées du point de fonctionnement dans l'équation (1-26).

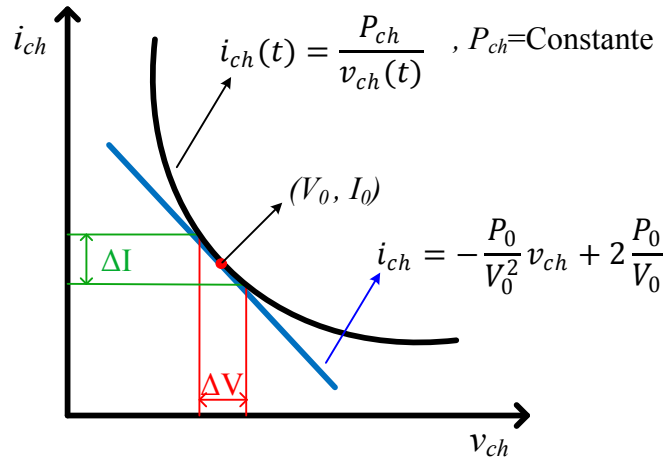


Figure 1-24 : Caractéristique courant-tension- d'une CPL.

Ainsi, le modèle linéaire de la CPL est alors défini par l'équation suivante :

$$i_{ch} = -\frac{P_0}{V_0^2} v_{ch} + 2 \frac{P_0}{V_0} \quad (1-27)$$

L'équation (1-27) démontre alors que pour un point de fonctionnement ($I_0 = P_0/V_0$) donné, une CPL peut être modélisée par une résistance négative R_{CPL} , connectée en parallèle avec une source de courant constante I_{CPL} (voir Figure 1-25). Les paramètres de la source et de la résistance prennent alors les expressions suivantes :

$$R_{CPL} = -\frac{V_0^2}{P_0} \quad (1-28)$$

$$I_{CPL} = 2 \frac{P_0}{V_0} \quad (1-29)$$

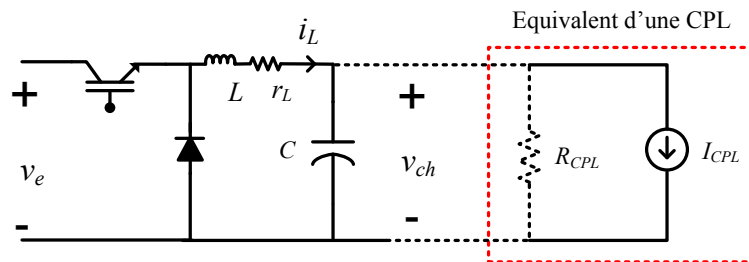


Figure 1-25 : Schéma équivalent d'une CPL autour d'un point fonctionnement.

1.3.2 Comportement et instabilité liés à une charge à puissance constante

Comme nous l'avons présenté, l'introduction d'une CPL dans un SPD entraîne une non-linéarité ($i_{CPL} = \frac{P_{CPL}}{v_{CPL}}$). La Figure 1-26 présente la caractéristique v - i aux bornes d'une

charge de type CPL : il s'agit d'une courbe d'allure hyperbolique. Cette figure illustre aussi le comportement d'une CPL, qualifié d'impédance négative. Si la tension aux bornes de la CPL augmente (diminue), le courant qui la traverse diminue (augmente). Ce comportement de la CPL provoque l'instabilité du système auquel elle est connectée.

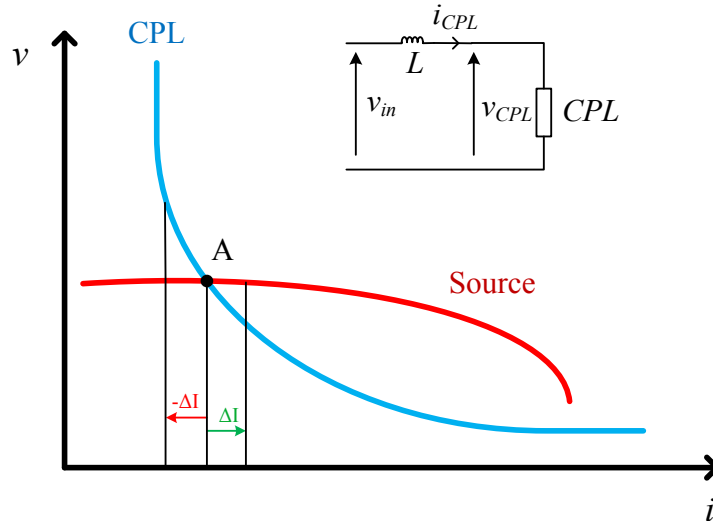


Figure 1-26 : Caractéristiques V-I de la source de tension typique d'une CPL.

La Figure 1-26 présente le cas d'une charge à puissance constante, connectée en série avec une inductance L et une source de tension V_{in} . En régime permanent, le circuit fonctionne au point de fonctionnement (A) obtenu lorsque la tension de source est égale à la tension de la CPL. La stabilité du système peut être évaluée à partir de l'état d'équilibre des courbes tension-courant de la source et de la charge. Le point A est considéré comme un équilibre asymptotiquement stable lorsque le fonctionnement est rétabli après une petite perturbation due à une perturbation de la tension de source. Examinons alors la stabilité autour du point A (Figure 1-26) lorsqu'une petite perturbation entraîne une réduction du courant ΔI . La tension de source devient alors inférieure à la tension de charge et par conséquent, le courant diminue et le point de fonctionnement s'éloigne de A. De même, si l'on considère une augmentation du courant ΔI , la tension de charge devient inférieure à la tension de source, ce qui va provoquer une augmentation du courant. Par conséquent, le point de fonctionnement s'éloigne de A. Ainsi, A est un point d'équilibre instable [Rah091], [Rah10], [Ema06], [Han08], [Duo10] et [Kwa11].

1.3.3 Méthodes d'étude de la stabilité de systèmes linéaires

Pour étudier la stabilité d'un SPD, un modèle mathématique est nécessaire. L'étude de ce modèle peut être complexe car le SPD peut intégrer plusieurs dispositifs non linéaires interconnectés et leurs interactions peuvent donner lieu à des dynamiques complexes [Ema06], [Han08], [Wan08] et [Gri12].

Plusieurs méthodes permettent l'étude de la stabilité des systèmes linéaires et non-

linéaires. Bien évidemment, les méthodes d'étude des systèmes linéaires s'appliquent aussi aux systèmes non-linéaires, une fois linéarisés autour de leur point de fonctionnement. Dans ce cas là, on parle de stabilité "petit-signal". Le modèle et son étude ne sont valables que pour des petites variations autour du point de fonctionnement.

Néanmoins nous pouvons classifier les méthodes d'étude de la stabilité des systèmes linéaires en trois catégories :

1. L'étude directe des valeurs propres (première méthode de Lyapunov, méthode indirecte) ou des pôles du système. Le système linéaire (1-30) est asymptotiquement stable si et seulement si les valeurs propres de la matrice A sont toutes à parties réelles strictement négatives [[Mag12T](#)].

$$\begin{cases} \dot{X}(t) = A.X(t) \\ A \in \mathfrak{R}^{n \times n}, X \in \mathfrak{R}^n \end{cases} \quad (1-30)$$

Les pôles de la fonction de transfert d'un système linéaire correspondent à ses valeurs propres. On peut donc dire qu'un système est stable si et seulement si les pôles de sa fonction de transfert sont à parties réelles strictement négative [[Mag12T](#)]. A titre d'exemple, Han et *al* ont étudié la stabilité du réseau AC d'un avion selon cette méthode [[Han08](#)].

2. Le critère de Routh-Hurwitz. Cette méthode se base sur le signe des pôles du système. Elle ne requiert pas la résolution de l'équation caractéristique du système. Elle permet simplement d'établir si le système est stable ou non [[Kuo03](#)] et [[Mag12T](#)]. Ce critère a été utilisé pour déterminer la stabilité d'un onduleur monophasé alimentant une CPL [[Ema06](#)]. Girinon et *al* ont quant à eux appliqué ce critère afin de proposer le dimensionnement d'un réseau DC [[Gir09](#)].

Néanmoins, la modélisation du système sous une forme d'état ou de fonction de transfert reste nécessaire pour ces deux méthodes.

3. Les méthodes basées sur la spectroscopie d'impédance. Pour appliquer ces méthodes, il faut décomposer le système électrique en sous-systèmes et observer leurs impédances fréquentielles. La stabilité de l'interaction entre deux sous-systèmes (tout en incluant des marges de robustesse) peut être validée par des critères graphiques tels que les diagrammes de Bode et de Nyquist. La méthode de Marge de Gain Marge de Phase (MGMP) est, dans cette catégorie [[Mag12](#)], [[Liu10](#)], [[Fen99](#)], [[Fen02](#)] et [[Wil95](#)]

Pour l'analyse de la stabilité et principalement lorsque les systèmes non-linéaires ne permettent pas une linéarisation ou lorsque le modèle linéarisé est loin de représenter le comportement réel du système, on utilise généralement des méthodes plus ou moins difficiles à mettre en œuvre telle que :

1. La méthode des portraits de phase [[Alk08](#)],
2. Le critère de Popov [[Kha02](#)],
3. Le critère du cercle (stabilité absolue) [[Awa11](#)]
4. La deuxième méthode de Lyapunov (méthode directe) [[Kha02](#)],.

Afin d'étudier la stabilité un SPD, l'utilisation de critères d'impédance (méthodes Middelbrook ou GMPM) est trop conservatrice. Ces dernières nécessitent deux étapes, d'abord pour prouver la stabilité de chaque composant du réseau pris séparément et puis l'analyse de la stabilité de l'ensemble du réseau en tenant compte de l'impédance d'entrée de chacun des composants du réseau et de l'impédance de la source de l'alimentation au point de connexion. Ces méthodes ne sont pas très faciles à utiliser pour l'étude la stabilité d'un SPD. En revanche, une méthode efficace et connue pour l'analyse de la stabilité locale d'un tel SPD consiste à étudier les valeurs propres du système autour d'un point de fonctionnement (première méthode de Lyapunov).

La première méthode de Lyapunov se base sur l'analyse du comportement du système linéarisé autour de son point d'équilibre (équations (1-31) à (1-33)). Plus précisément, on examine les valeurs propres λ_i du système de la matrice Jacobienne ou matrice d'état, évaluée au point d'équilibre x_0 :

$$\dot{x}(t) = f(x(t)) \quad (1-31)$$

$$A = \left. \frac{\partial f}{\partial x} \right|_{x=x_0} \quad (1-32)$$

$$\dot{x}(t) = A \cdot x(t) \quad (1-33)$$

Les caractéristiques de stabilité de cette méthode sont les suivantes :

- Si toutes les valeurs propres de la matrice d'état sont à parties réelles strictement négatives ($\forall i, Re(\lambda_i(A)) < 0$), le système est exponentiellement stable à son point d'équilibre. Dans ce cas, on a :

$$\lim_{t \rightarrow \infty} x(t) = x_0 \quad (1-34)$$

- Si la matrice d'état possède au moins une valeur propre à partie réelle strictement positive ($\exists i$ tel que $Re(\lambda_i(A)) > 0$), le système est instable. Dans ce cas, on a :

$$\lim_{t \rightarrow \infty} x(t) = \infty \quad (1-35)$$

La première méthode de Lyapunov est relativement simple à appliquer mais étant donné que cette méthode repose sur une linéarisation du système, sa validité est alors limitée au voisinage du point d'équilibre. Comme nous l'avons déjà précisé, lorsque la linéarisation du système n'est pas possible ou lorsqu'on veut analyser le système sans le résoudre explicitement, on utilise la deuxième méthode de Lyapunov où bien encore les méthodes d'étude de stabilité de systèmes non linéaires.

Dans la suite de ce mémoire, nous étudierons la stabilité d'un système DC-SPD par l'analyse des valeurs propres du système (première méthode de Lyapunov). Pour ce faire, nous allons utiliser la technique "petit signal" en appliquant la linéarisation autour d'un point fonctionnement donné.

1.4 Étude de stabilité d'un système DC à puissance distribuée (DC-SPD) comportant deux sources et deux CPLs

1.4.1 Description du DC-SPD et du système

La Figure 1-27 présente le DC-SPD qui sera étudié dans la suite de ce chapitre. Il consiste en une source continue principale, un élément de stockage et deux charges à puissance constante.

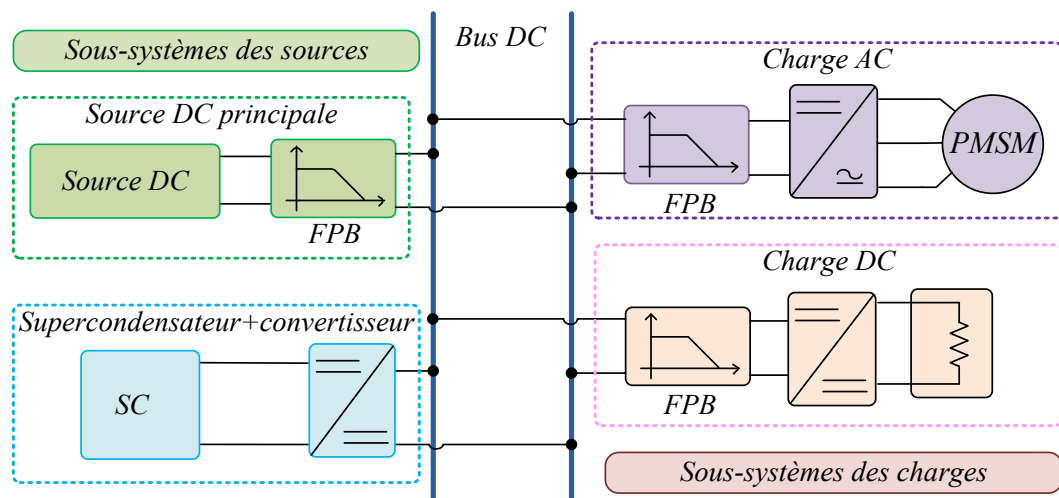


Figure 1-27 : Schéma du système DC-SPD étudié.

Une source principale et un élément de stockage alimentent les charges du système. La source DC principale est directement connectée au bus DC. L'élément de stockage connecté du bus continu est un super condensateur relié au bus à travers un convertisseur DC-DC bidirectionnel.

Pour les systèmes DC-SPD et plus particulièrement dans les systèmes de transport, la source de tension est placée loin des charges et un long câble est généralement utilisé entre la source et le bus continu [Mar12]. En conséquence, l'inductance et la résistance du câble doivent être prises en compte lors de la modélisation.

Deux charges sont alimentées par des filtres LC et des convertisseurs de puissance. La première charge est un Moteur Synchrone à Aimants Permanents (MSAP), alimenté par un convertisseur DC-AC. La seconde est une charge résistive connectée au bus DC par un convertisseur DC-DC.

1.4.1.1 Modélisation des deux sources

Nous avons déjà étudié la modélisation d'un SC dans la partie "gestion d'énergie" à la section 1.2.1.2 et le modèle est présenté sur la Figure 1-8. Ce modèle comporte une résistance série R_{ESR} qui modélise la résistance série de charge/décharge et un condensateur C_{sc} qui modélise la capacité du SC.

La source DC principale est modélisée par un modèle équivalent de Thévenin. Ce modèle pourrait être le modèle de n'importe quelle source de tension AC ou DC, autour d'un point de fonctionnement. Ce modèle est présenté sur la Figure 1-28.

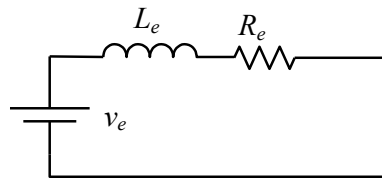


Figure 1-28 : Modèle de la source de tension.

La tension continue v_e , l'inductance série équivalente L_e et la résistance R_e dépendent de la nature de la source.

1.4.1.2 Modélisation des deux charges CPL

La première charge AC est une Machine Synchrone à Aimants Permanents (MSAP). Elle est alimentée par un onduleur triphasé, contrôlé par une commande vectorielle de couple "classique", basée sur le modèle (d-q) de la MSAP [Nah11], [Mar09]. Les détails de la modélisation et de la régulation de la MSAP ne sont pas explicités ici, mais l'on pourra se reporter aux références citées pour plus de précisions. Le principe est de se placer dans un repère tournant à la fréquence électrique de la machine pour avoir une vision continue de celle-ci. Le modèle (d-q) de la machine s'obtient après deux transformations successives : la transformation de Concordia (T_{32}) puis la transformation de Park ($P(\theta)$).

$$T_{23} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \sqrt{\frac{3}{2}} \\ -\frac{1}{2} & -\sqrt{\frac{3}{2}} \end{bmatrix} \quad P(\theta) = \begin{bmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{bmatrix} \quad (1-36)$$

En utilisant ces transformations, le modèle (d-q) de la MSAP prend la forme de l'équation (1-37) Avec :

$\omega = p.\Omega$: pulsation électrique de la machine ;

r_s [Ω] : résistance d'une phase statorique ;

l_d [H] : inductance d'axe d ;

l_q [H] : inductance d'axe q ;

ψ_f [V.s] : flux des aimants à travers les bobines statoriques;

p : nombre de paires de pôles.

$$\begin{cases} v_d = r_s i_d + l_d \frac{di_d}{dt} - \omega l_q i_q \\ v_q = r_s i_q + l_q \frac{di_q}{dt} + \omega l_d i_d + \psi_f \omega \end{cases} \quad (1-37)$$

La MSAP est contrôlée en courant à l'aide de deux boucles classiques de type P-I suivant le schéma de régulation présenté à la Figure 1-29.

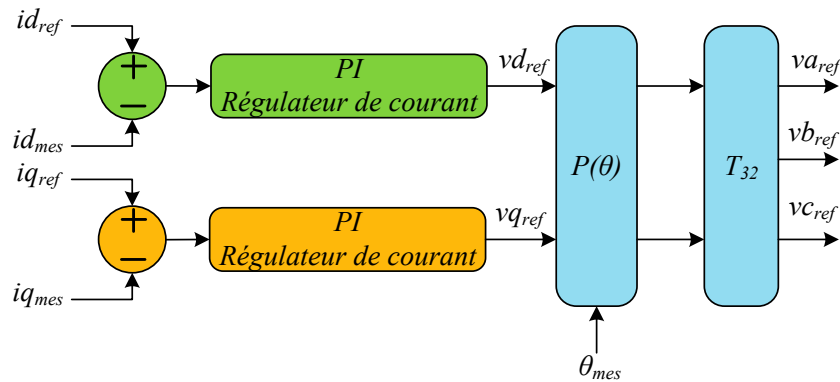


Figure 1-29 : Régulation de l'ensemble Onduleur-MSAP.

Le couple électromagnétique de la MSAP à F.E.M sinusoïdale est défini par la relation suivante :

$$\Gamma = p(\psi_f - (l_q - l_d)i_d)i_q \quad (1-38)$$

Dans le cas de MSAP à rotors lisses, les inductances l_d et l_q sont identiques. Ainsi, l'expression du couple se simplifie pour prendre la forme de (1-39). Le couple est alors directement proportionnel à i_q . Dans le cas de machines avec $l_d = l_q$, pour les contrôler en couple, nous pouvons asservir le courant i_d à 0 pour ne pas créer de pertes Joule supplémentaires et nous donnerons la consigne de couple via le courant d'axe q

[Mag12T].

$$\Gamma = p\Psi_f i_q \quad (1-39)$$

La deuxième charge est une résistance alimentée par un hacheur. Cette charge est supposée être parfaitement régulée de manière à ce que les variations de la tension du bus DC n'aient aucun impact sur la puissance qu'elle absorbe tant que la charge est commandable. Un contrôleur PI est utilisé pour réguler la puissance de cette charge à sa valeur de consigne.

Les contrôleurs rendent la puissance absorbée par ces deux charges indépendante des variations de tension aux bornes du bus DC. Comme nous l'avons expliqué à la section précédente, on peut considérer ces deux charges comme des CPL. Ainsi, les charges et les convertisseurs peuvent être considérés comme des sources de courant dépendantes (1-40), selon la Figure 1-30.

$$I_{CPL_i} = f(p_i, v_i) \quad , \quad i \in \{1, 2\} \quad (1-40)$$

Enfin, nous avons eu recours au modèle moyen pour les convertisseurs [Eri01]. La Figure 1-27 peut donc être modélisée selon la Figure 1-30.

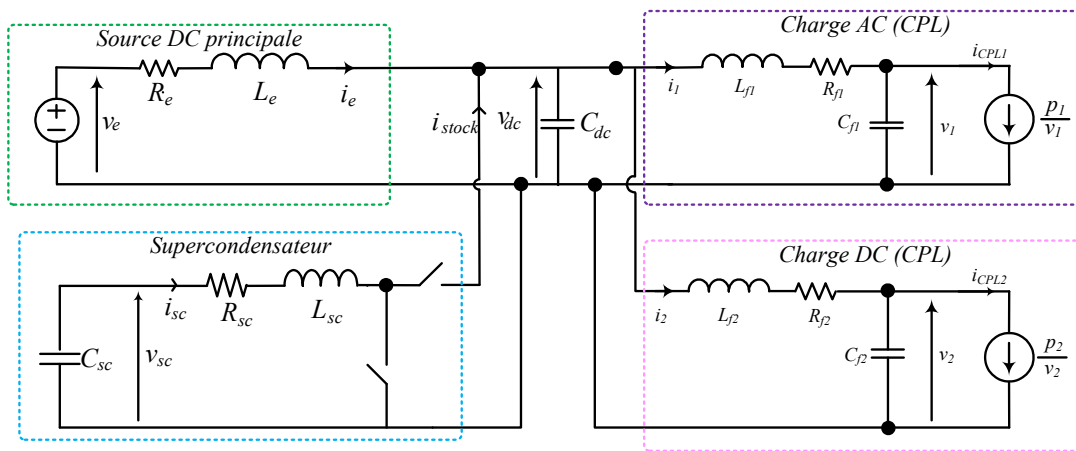


Figure 1-30 : Modélisation électrique du DC-SPD.

1.4.2 Stratégie de régulation de l'énergie du bus DC

Comme mentionné précédemment, les énergies stockées dans les éléments de stockage du système (C_{sc} et C_{dc}) peuvent être utilisées comme variables d'état. On note d_{sc} le rapport cyclique du convertisseur lié au super condensateur, permettant de réguler la tension du bus DC ainsi que l'énergie stockée dans ce SC.

Comme nous l'avons détaillé à la section 1.2.2.1, afin de réguler l'énergie dans le condensateur du bus DC, nous avons eu recours à un contrôleur de type PI. La

Figure 1-31 présente la stratégie de contrôle choisie.

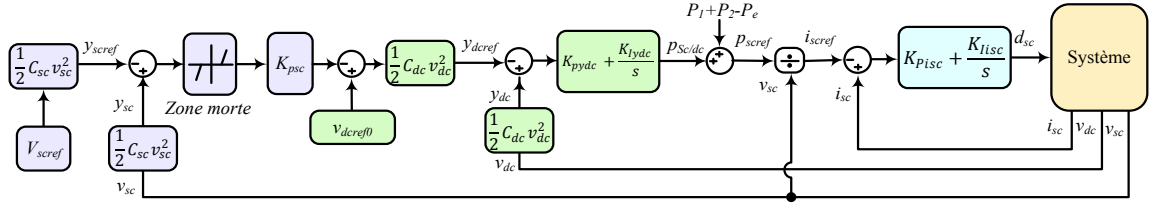


Figure 1-31 : Régulation de l'énergie stockée (y_{dc}) dans le condensateur du bus DC.

Pour des considérations de sécurité et de dynamique, un régulateur proportionnel est utilisé pour contrôler la tension du SC entre 50% et 100% de la tension nominale. Ce contrôle est appliqué pour éviter tous dommages et toute saturation du convertisseur DC-DC.

1.4.3 Modèle mathématique du DC-SPD (modèle non-linéaire)

Le DC-SPD de la Figure 1-30 est le contrôle de la Figure 1-31 peuvent être modélisés sous forme non-linéaire (1-41). Les non-linéarités dans le modèle (1-41) sont dues aux deux CPL du système. Par conséquent, l'étude de la stabilité du système avec ces termes non-linéaires serait complexe. Après avoir centré le modèle non linéaire autour du point fonctionnement, nous proposons d'appliquer une linéarisation pour mener l'étude "petit-signal" de la stabilité.

$$\left\{ \begin{array}{l} \frac{dv_1}{dt} = \frac{1}{C_{f1}} \left(i_1 - \frac{p_1}{v_1} \right) \\ \frac{dv_2}{dt} = \frac{1}{C_{f2}} \left(i_2 - \frac{p_2}{v_2} \right) \\ \frac{dv_{sc}}{dt} = \frac{-1}{C_{sc}} (i_{sc}) \\ \frac{dv_{dc}}{dt} = \frac{-1}{C_{dc}} (i_1 + i_2 - i_e - i_{sc}(1 - d_{sc})) \\ \frac{di_{sc}}{dt} = \frac{1}{L_{sc}} (v_{sc} - R_{sc}i_{sc} - v_{dc}(1 - d_{sc})) \\ \frac{di_e}{dt} = \frac{-1}{L_e} (v_{dc} - v_e + R_e i_e) \\ \frac{di_1}{dt} = \frac{1}{L_{f1}} (v_{dc} - v_1 - R_{f1}i_1) \\ \frac{di_2}{dt} = \frac{1}{L_{f2}} (v_{dc} - v_2 - R_{f2}i_2) \\ \frac{dS_{isc}}{dt} = i_{scref} - i_{sc} \\ \frac{dS_{ydc}}{dt} = \frac{1}{2} C_{dc} (v_{dc}^2 - v_{dc}^2) \end{array} \right. \quad (1-41)$$

Avec d_{sc} défini par :

$$d_{sc} = K_{pisc}(i_{scref} - i_{sc}) + K_{iisc} \cdot S_{isc} \quad (1-42)$$

1.4.4 Modèle centré non-linéaire du DC-SPD

Pour simplifier les études de stabilité et le dimensionnement des paramètres des stabilisateurs étudiés ultérieurement, nous proposons, dans un première temps, de centrer notre modèle autour du point de fonctionnement du système. Le modèle centré est obtenu en appliquant le changement de repère donné par la relation (1-43) où les x_n sont les variations autour des différentes variables d'état X_0 pour le point fonctionnement considéré. Le point de fonctionnement avec ce changement de repère devient alors l'origine du système.

$$\left\{ \begin{array}{l} v_1(t) = V_{10} + x_1(t) \\ v_2(t) = V_{20} + x_2(t) \\ v_{sc}(t) = V_{sc0} + x_3(t) \\ v_{dc}(t) = V_{dc0} + x_4(t) \\ i_{sc}(t) = I_{sc0} + x_5(t) \\ i_e(t) = I_{e0} + x_6(t) \\ i_1(t) = I_{10} + x_7(t) \\ i_2(t) = I_{20} + x_8(t) \\ s_{isc}(t) = S_{isc0} + x_9(t) \\ s_{ydc}(t) = S_{ydc0} + x_{10}(t) \end{array} \right. \quad (1-43)$$

Suite à ce changement de repère et à la prise en considération de d_{sc} (équation (1-42)), le modèle (1-41) peut se mettre sous la forme (1-44). Les non-linéarités du système liées aux CPLs ne sont évidemment pas supprimées par ce changement de repère. Ce point sera adressé lors de la linéarisation de l'étape suivante.

$$\left\{ \begin{array}{l}
 \frac{dx_1}{dt} = \frac{\left(x_7 + I_{10} - \frac{P_{10}}{V_{10} + x_1}\right)}{C_{f1}} \\
 \frac{dx_2}{dt} = \frac{\left(x_8 + I_{20} - \frac{P_{20}}{V_{20} + x_2}\right)}{C_{f2}} \\
 \frac{dx_3}{dt} = -\frac{(V_{sc0} + x_3)}{C_{sc}} \\
 \frac{dx_4}{dt} = -\frac{I_{10} + I_{20} - I_{e0} - x_6 + x_7 + x_8 - (I_{sc0} + x_5)A_2}{C_{dc}} \\
 \frac{dx_5}{dt} = \frac{V_{sc0} + x_3 - R_{sc}(I_{sc0} + x_5) - (V_{dc0} + x_4)A_2}{L_{sc}} \\
 \frac{dx_6}{dt} = -\frac{V_{dc0} + x_4 - V_e + R_e(I_{e0} + x_6)}{L_e} \\
 \frac{dx_7}{dt} = \frac{V_{dc0} + x_4 - V_{10} - x_1 - R_{f1}(x_7 + I_{10})}{L_{f1}} \\
 \frac{dx_8}{dt} = \frac{V_{dc0} + x_4 - V_{20} - x_2 - R_{f2}(x_8 + I_{20})}{L_{f2}} \\
 \frac{dx_9}{dt} = -x_5 - I_{sc0} + \frac{K_{Iydc}(x_{10} + S_{ydc0}) + \frac{C_{dc}K_{Pydc}A_1}{2}}{V_{sc0} + x_3} \\
 \frac{dx_{10}}{dt} = A_1
 \end{array} \right. \quad (1-44)$$

Il faut préciser que $p_1 = P_{10}$ et $p_2 = P_{20}$ (Figure 1-30) sont supposés constants. Avec :

K_{Psc} : le gain du correcteur P du y_{sc} ;

K_{Pydc} et K_{Iydc} : les gains du correcteur PI du y_{dc} ;

K_{Pisc} et K_{Iisc} : les gains du correcteur PI du i_{sc} ;

A_1 et A_2 intervenant dans le système d'équations (1-44) sont définis ci-dessous.

$$A_1 = \frac{1}{2} \left(V_{dcref0} - \frac{C_{sc}K_{Psc}(V_{scref}^2 - (V_{sc0} + x_3)^2)}{2} \right)^2 - (V_{dc0} + x_4)^2 \quad (1-45)$$

$$A_2 = -x_5 - I_{sc0} + \frac{K_{IEdc}(S_{ydc0} + x_{10}) + \frac{C_{dc}K_{Pydc}A_1}{2}}{V_{sc0} + x_3} \quad (1-46)$$

1.4.5 Modèle linéarisé du DC-SPD

Afin d'étudier la stabilité du système autour d'un point de fonctionnement, un modèle

linéaire est suffisant. Néanmoins, le modèle (1-44) est un modèle non linéaire de la forme $\dot{x} = f(x)$. Pour linéarisation nous avons besoin de déterminer la matrice jacobienne associée au modèle (1-44). La matrice jacobienne (J) autour du point de fonctionnement a été calculée et est donnée par la matrice (1-47).

$$\begin{bmatrix}
 \frac{P_1}{C_{f1}V_{10}^2} & 0 & 0 & 0 & 0 & 0 & \frac{1}{C_{f1}} & 0 & 0 & 0 \\
 0 & \frac{P_2}{C_{f2}V_{20}^2} & 0 & 0 & 0 & 0 & 0 & \frac{1}{C_{f2}} & 0 & 0 \\
 0 & 0 & \frac{-1}{C_{sc}} & 0 & \frac{-1}{C_{sc}} & 0 & 0 & 0 & 0 & 0 \\
 0 & 0 & A_5 & \frac{K_{pydc}K_{pisc}V_{dc0}I_{sc0}}{V_{sc0}} & A_8 & \frac{1}{C_{dc}} & \frac{-1}{C_{dc}} & \frac{-1}{C_{dc}} & \frac{-K_{Iisc}I_{sc0}}{C_{dc}} & \frac{-K_{Iydc}K_{Pisc}I_{sc0}}{C_{dc}V_{sc0}} \\
 0 & 0 & A_6 & A_7 & \frac{-R_{sc} + K_{Pisc}V_{dc0}}{L_{sc}} & 0 & 0 & 0 & \frac{K_{Iisc}V_{dc0}}{L_{sc}} & \frac{K_{Iydc}K_{Pisc}V_{dc0}}{L_{sc}V_{sc0}} \\
 0 & 0 & 0 & \frac{-1}{L_e} & 0 & \frac{-R_e}{L_e} & 0 & 0 & 0 & 0 \\
 \frac{-1}{L_{f1}} & 0 & 0 & \frac{1}{L_{f1}} & 0 & 0 & \frac{R_{f1}}{L_{f1}} & 0 & 0 & 0 \\
 0 & \frac{-1}{L_{f2}} & \frac{1}{L_{f2}} & 0 & 0 & 0 & 0 & \frac{-R_{f2}}{L_{f2}} & 0 & 0 \\
 0 & 0 & C_{sc}C_{dc}K_{pydc}K_{psc}A_3 - \frac{A_4}{V_{sc0}} & \frac{-K_{pydc}C_{dc}V_{dc0}}{V_{sc0}} & -1 & 0 & 0 & 0 & 0 & \frac{K_{Iydc}}{V_{sc0}} \\
 0 & 0 & C_{sc}V_{sc0}K_{psc}A_3 & -V_{dc0} & 0 & 0 & 0 & 0 & 0 & 0
 \end{bmatrix} \quad (1-47)$$

Suite à cette linéarisation, nous obtenons effectivement un modèle linéaire de la forme $\dot{x} = Jx$, comme le montre la relation matricielle (1-48).

$$\begin{bmatrix}
 \dot{x}_1 \\
 \dot{x}_2 \\
 \dot{x}_3 \\
 \dot{x}_4 \\
 \dot{x}_5 \\
 \dot{x}_6 \\
 \dot{x}_7 \\
 \dot{x}_8 \\
 \dot{x}_9 \\
 \dot{x}_{10}
 \end{bmatrix} = \begin{bmatrix}
 \frac{P_1}{C_{f1}V_{10}^2} & 0 & 0 & 0 & 0 & 0 & \frac{1}{C_{f1}} & 0 & 0 & 0 \\
 0 & \frac{P_2}{C_{f2}V_{20}^2} & 0 & 0 & 0 & 0 & 0 & \frac{1}{C_{f2}} & 0 & 0 \\
 0 & 0 & \frac{-1}{C_{sc}} & 0 & \frac{-1}{C_{sc}} & 0 & 0 & 0 & 0 & 0 \\
 0 & 0 & A_5 & \frac{K_{pydc}K_{pisc}V_{dc0}I_{sc0}}{V_{sc0}} & A_8 & \frac{1}{C_{dc}} & \frac{-1}{C_{dc}} & \frac{-1}{C_{dc}} & \frac{-K_{Iisc}I_{sc0}}{C_{dc}} & \frac{-K_{Iydc}K_{Pisc}I_{sc0}}{C_{dc}V_{sc0}} \\
 0 & 0 & A_6 & A_7 & \frac{-R_{sc} + K_{Pisc}V_{dc0}}{L_{sc}} & 0 & 0 & 0 & \frac{K_{Iisc}V_{dc0}}{L_{sc}} & \frac{K_{Iydc}K_{Pisc}V_{dc0}}{L_{sc}V_{sc0}} \\
 0 & 0 & 0 & \frac{-1}{L_e} & 0 & \frac{-R_e}{L_e} & 0 & 0 & 0 & 0 \\
 \frac{-1}{L_{f1}} & 0 & 0 & \frac{1}{L_{f1}} & 0 & 0 & \frac{R_{f1}}{L_{f1}} & 0 & 0 & 0 \\
 0 & \frac{-1}{L_{f2}} & \frac{1}{L_{f2}} & 0 & 0 & 0 & 0 & \frac{-R_{f2}}{L_{f2}} & 0 & 0 \\
 0 & 0 & C_{sc}C_{dc}K_{pydc}K_{psc}A_3 - \frac{A_4}{V_{sc0}} & \frac{-K_{pydc}C_{dc}V_{dc0}}{V_{sc0}} & -1 & 0 & 0 & 0 & 0 & \frac{K_{Iydc}}{V_{sc0}} \\
 0 & 0 & C_{sc}V_{sc0}K_{psc}A_3 & -V_{dc0} & 0 & 0 & 0 & 0 & 0 & 0
 \end{bmatrix} \begin{bmatrix}
 x_1 \\
 x_2 \\
 x_3 \\
 x_4 \\
 x_5 \\
 x_6 \\
 x_7 \\
 x_8 \\
 x_9 \\
 x_{10}
 \end{bmatrix} \quad (1-48)$$

Par la suite on pourra étudier la stabilité locale du point de fonctionnement à partir de cette matrice d'état (1-47).

1.5 Stabilité du DC-SPD

1.5.1 Critères de stabilité d'un convertisseur en boucle ouverte avec une CPL

Comme nous l'avons mentionné, chacun des sous-systèmes a été conçu de manière séparée. Nous étudions maintenant la stabilité d'un convertisseur d'alimentation chargé par un autre convertisseur qui agit comme une CPL (Figure 1-25). Pour se faire, nous considérons uniquement les variations du système autour du point de fonctionnement ($I_0=P_0/V_0$).

Le modèle du convertisseur abaisseur sous forme matricielle et en mode CCM peut s'écrire comme suit :

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} -\frac{r_L}{L} & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{C \cdot R_{CPL}} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (1-49)$$

On note x_1 et x_2 les variations de i_L et du v_{ch} autour du point de fonctionnement ($I_0=P_0/V_0$). L'équation (1-49) est celle d'un convertisseur abaisseur de tension, alimenté par une tension d'entrée variable $d \cdot V_e$. Nous pouvons alors exprimer son polynôme caractéristique (1-50) :

$$P(\lambda) = \lambda^2 + \left[\frac{r_L}{L} + \frac{1}{C \cdot R_{CPL}} \right] \lambda + \frac{1}{L \cdot C} \left[1 + \frac{r_L}{R_{CPL}} \right] \quad (1-50)$$

A partir du polynôme caractéristique, nous pouvons donner la relation à respecter pour que les valeurs propres du système soient à partie réelle négative. Dans les cas pratiques, nous avons $R_{CPL} < 0$ et $|R_{CPL}| > r_L$, donc la partie réelle des valeurs propres dépend de la valeur de $\left[\frac{r_L}{L} + \frac{1}{C \cdot R_{CPL}} \right]$ d'où la condition :

$$\frac{r_L}{L} + \frac{1}{C \cdot R_{CPL}} > 0 \quad (1-51)$$

En remplaçant R_{CPL} par son expression, on obtient la relation (1-28) qui donne la condition de stabilité locale pour le système de Figure 1-25.

$$P_{CPL} < \frac{r_L \cdot C}{L} V_0^2 \quad (1-52)$$

La relation (1-52) montre que la stabilité du système dépend du dimensionnement des éléments du système (r_L , L , C et indirectement de V_e) ainsi que de la puissance consommée par la charge. De plus, l'équation (1-52) illustre le fait que la puissance

consommée doit être inférieure à un certain seuil pour que le système reste stable [Rah10], [Ces11] et [Mag12T].

1.5.2 Étude linéaire de la stabilité du DC-SPD

Comme nous l'avons montré à la section précédente, les CPL peuvent affecter la stabilité du système auquel elles sont connectées lorsque la puissance consommée par la charge augmente. La détermination de cette puissance limite est très importante afin de ne pas la dépasser lors de l'utilisation du système. Ainsi, dans les systèmes multi-charges, la détermination des points de fonctionnement garantissant la stabilité du système est nécessaire. Dans un système à n charges, on peut définir l'ensemble des points de fonctionnement stables comme une hypersurface d'ordre n où chaque axe représente la puissance de l'une des charges. Dans notre étude, le système comporte deux charges. Nous pouvons donc déterminer un système de dimension 2 définissant les limites de stabilité du système.

Une étude "petit-signal" de la stabilité du système a été utilisée pour obtenir les limites de stabilité. Il faut alors déterminer, pour chaque point de fonctionnement caractérisé par un couple $\{P_1, P_2\}$, si le système est stable ou non. Pour se faire, on recherche les valeurs propres à partir de la forme d'état du système (1-48). Comme nous l'avons précisé au début de ce chapitre, un système linéaire sera stable si les parties réelles des valeurs propres sont négatives.

Tableau 1-2 : Paramètres du DC-SPD étudié.

Source DC principale	$V_e=200\text{ V}$	$L_e=20\text{ mH}$		$R_e=0.5\ \Omega$
Élément de stockage (SC)	$C_{SC}=165\text{ F}$	$L_{SC}=20\text{ mH}$	$R_{SC}=0.5\ \Omega$	$R_{PSC}=10\text{ K}\Omega$
Première charge et son filtre	$C_{f1}=500\mu\text{F}$	$L_{f1}=39.5\text{ mH}$		$R_{f1}=0.7\ \Omega$
	Nombre de paires de pôles = 4	Constante de frottement= $14\text{ g.m}^2/\text{s}$		
	Inductance Statorique = 3.1 mH	Constante de couple = 0.572 N.m/A		
	Res.= $0.5\ \Omega$	Constante d'inertie = 3.7 g.m^2		
Seconde charge et son filtre	$C_{f2}=1100\mu\text{F}$	$L_{f2}=20\text{ mH}$	$R_{f2}=0.7\ \Omega$	$R_L=14\ \Omega$
	$C_{buck}=1100\mu\text{F}$	$L_{buck}=6\text{ mH}$		$R_{buck}=0.3\ \Omega$

Les paramètres utilisés pour cette étude sont consignés dans le Tableau 1-2 ; il s'agit du système représenté à la Figure 1-30. Pour trouver la limite de stabilité du système avec un codage Matlab, pour chaque puissance $P_1 \in [0, 1200]$, nous avons fait varier la puissance P_2 de 0 à 1000W par pas de 1W et les valeurs propres de la matrice Jacobienne ont été calculées. Dès que la partie réelle d'une valeur propre devient positive, le système est au-

delà de la limite de stabilité. En répétant cette opération pour chaque valeur de P_1 avec pas de 1W, nous pouvons déterminer la limite de stabilité du système. La Figure 1-32 montre l'évolution de la plus critique valeur propre du système en fonction de P_1 et P_2 . La limite de stabilité du système ainsi obtenue est représentée à la Figure 1-33. Il est très important de rappeler que les inductances (L_{f1} et L_{f2} de la Figure 1-30) sont prises volontairement assez grandes afin d'éviter d'endommager le banc expérimental réalisé pour vérifier l'instabilité de système.

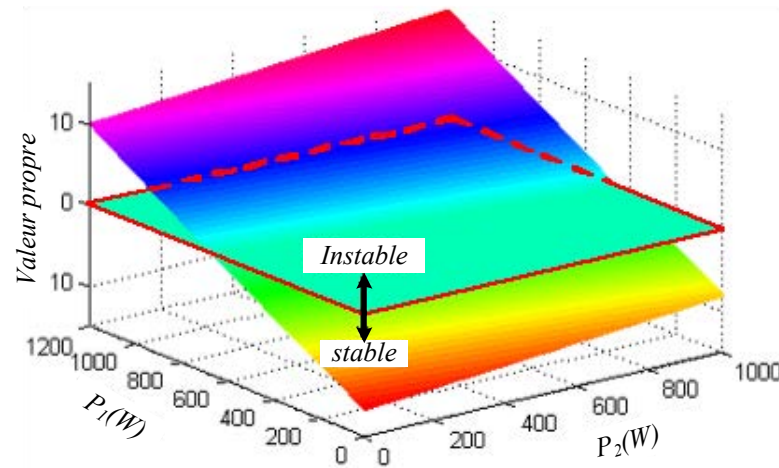


Figure 1-32 : Valeur propre la plus critique en fonction de P_1 et de P_2 .

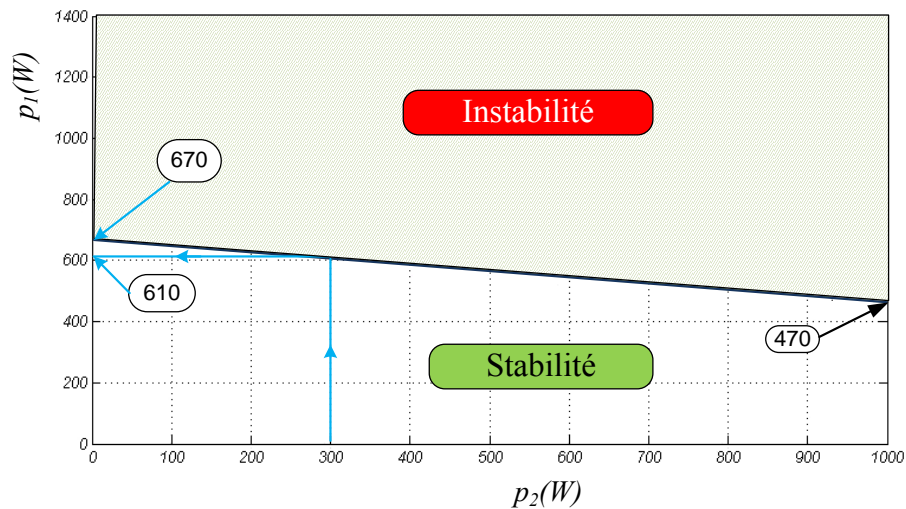


Figure 1-33 : Limites de la stabilité du DC-SPD.

1.5.3 Résultats de simulation

Des simulations en utilisant MATLAB-Simulink ont été effectuées avec les paramètres du Tableau 1-2. A titre d'exemple, lorsque $P_2 = 300W$, P_1 peut être fournie de manière stable que jusqu'à 610 W par le bus DC, comme indiqué à la Figure 1-33. Les résultats de simulation de la Figure 1-34 confirment cette limite de puissance : le système est

asymptotiquement stable pour $P_1 = 500\text{W}$ et $P_2 = 300\text{W}$, il devient par exemple instable pour $P_1 = 620\text{W}$ et $P_2 = 300\text{W}$.

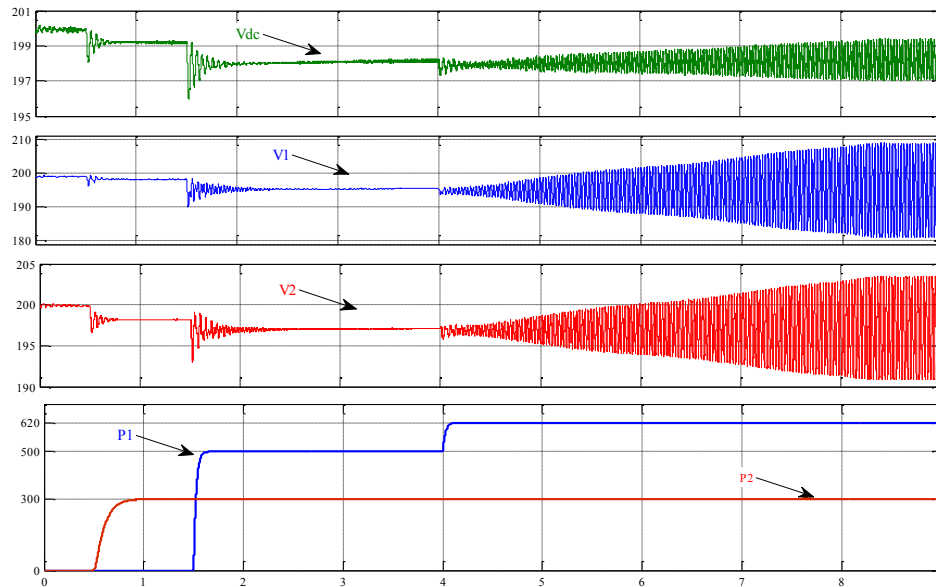


Figure 1-34 : Résultats de simulation pour v_{dc} , v_1 et v_2 lors d'un état stable ($P_1 = 500\text{ W}$, $P_2 = 300\text{W}$) et lors d'un état instable ($P_1 = 620\text{W}$, $P_2 = 300\text{W}$).

1.5.4 Résultats expérimentaux

Un banc de test a été développé au sein du laboratoire GREEN afin de valider les études théoriques sur la stabilité du système. Le système réalisé est celui de la Figure 1-27. Une photo du banc est représentée à la Figure 1-35.

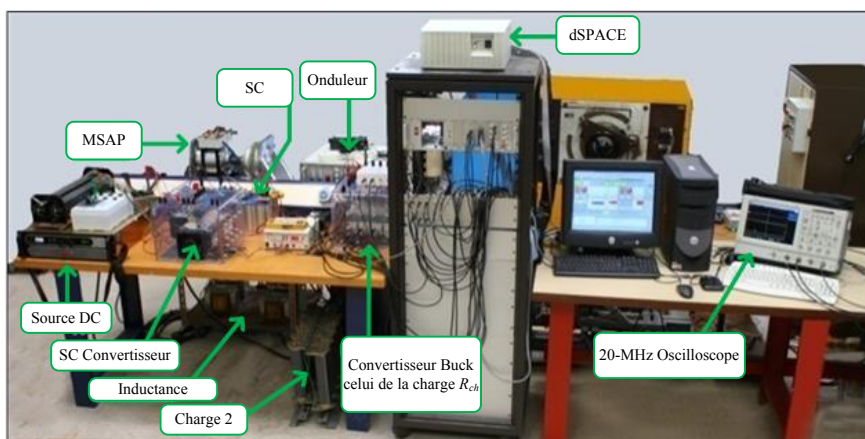


Figure 1-35 : Maquette expérimentale du DC-SPD réalisé au laboratoire GREEN.

La source de tension continue principale du système est une alimentation stabilisée d'une puissance de 10kW. Elle génère une tension constante à ses bornes et n'est pas

régulée en puissance. Elle alimente le bus DC (aux bornes de C_{dc}) à travers un filtre LC.

Les charges utilisées sont de deux types différents : la première est un ensemble onduleur/MSAP régulé en couple. Cette charge est caractéristique des réseaux de transport embarqués.

La deuxième charge du réseau est constituée d'un convertisseur monodirectionnel DC-DC (Buck) régulé en puissance et débitant dans une résistance.

Enfin, le stockage (source secondaire) du système est constitué d'un super condensateur (Maxwel BMOD0165) et d'un convertisseur DC-DC bidirectionnel en courant. Il permet d'absorber de l'énergie sur le réseau ainsi que d'en injecter.

Les charges sont connectées au bus DC principal à travers des filtres d'entrée. Ces filtres sont utilisés pour deux raisons : premièrement, ils servent de filtres différentiels pour filtrer les harmoniques injectés par les convertisseurs sur le réseau. Deuxièmement, ils servent à modéliser l'inductance et la résistance liées à la longueur des câbles.

Les valeurs des paramètres du système ont été présentées au niveau du Tableau 1-2. Il est clair que celles-ci ne correspondent pas exactement à une application réelle. En particulier, les inductances sont élevées, pour avoir un réseau peu amorti où l'on pourra facilement étudier les phénomènes d'instabilité avec des puissances limitées. L'étude de stabilité de système DC sera validée par ce banc.

Au niveau de ce banc, une carte dSPACE DS1004 a été mise en œuvre pour un contrôle en temps réel du système. La période d'échantillonnage est de 100 μ s. La fréquence de commutation du convertisseur est de 10 kHz. Les mesures des courants et des tensions nécessaires pour contrôle du DC-SPD sont réalisées par des capteurs de bande passante suffisamment élevée (> 150 kHz) et échantillonnées soit par un oscilloscope 20MHz, soit par une carte de commande numérique.

Pour contrôler la puissance de la MSAP, nous avons joué sur la composante en quadrature du courant statorique i_q . Pour valider les limites de la stabilité, nous avons augmenté brutalement la référence i_{qref} de 7A à 7.65A, ou de manière équivalente P_l de 575W à 668W (valeur moyenne), comme indiqué sur la Figure 1-36. Comme on peut le constater, le système devient instable comme prévu par la limite de stabilité théorique (Figure 1-33) et par les résultats de simulation.

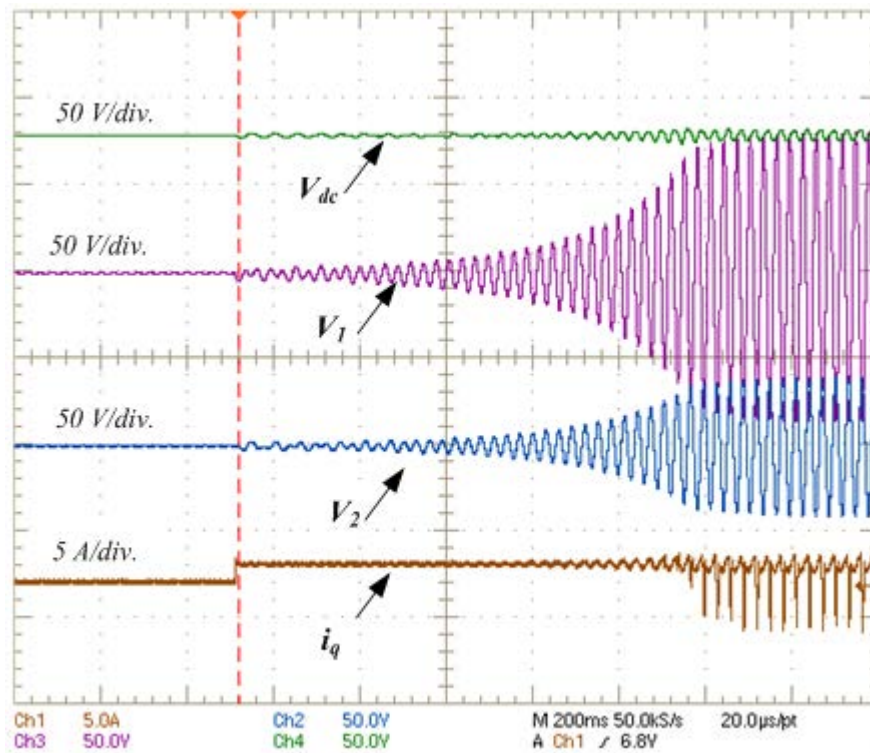


Figure 1-36 : Comportement instable du système après avoir augmenté P_1 de 575W à 668W.

1.6 Les méthodes de stabilisation

Comme nous l'avons expliqué auparavant, l'interaction des sous-systèmes connectés au même bus DC d'un DC-SPD peut conduire à l'instabilité du système électrique, liée à l'effet d'impédance négative de la charge dite CPL. Il y a plusieurs solutions pour protéger le système contre ce risque d'instabilité. Ces méthodes de stabilisation peuvent être "passives" ou "actives".

1.6.1 Méthodes de stabilisation passives

Les méthodes de stabilisation dites "passives" consistent à rajouter des éléments passifs (tel un filtre) au système. Dans la littérature scientifique, différentes structures de filtres d'entrée ont été présentées afin de maximiser la stabilité du système. Cespedes et *al* ont proposé trois structures de filtres différentes : RC parallèle, RL parallèle et RL série [Ces11]. Ils ont démontré que seule la structure "RC parallèle" (Figure 1-37) permet de stabiliser efficacement le système. Cette structure a été également étudiée par Girinon et *al* dans [Gir09]. Les résultats de ces recherches montrent que cette solution, bien qu'efficace, accroît la taille, le poids et le coût du système. Ce désavantage majeur lié aux méthodes passives pourrait être très pénalisant pour les applications embarquées telles que l'aéronautique. De plus, les paramètres du système varient selon les impacts environnementaux et évoluent dans le temps (vieillesse), ainsi la marge de sécurité

en sera également modifiée [Ces11]. Par contre, cette méthode ne nécessite aucune modification de la commande du système et convient plus spécifiquement pour traiter les cas où ni la commande de la CPL ni celle du réseau ne sont modifiables.

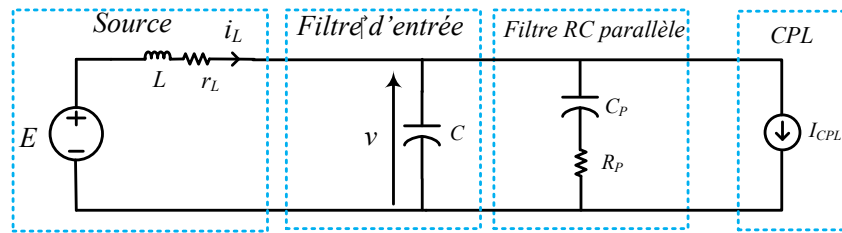


Figure 1-37 : Stabilisation passive - ajout d'un filtre RC parallèle.

1.6.2 Méthodes de stabilisation actives

Afin d'éviter d'accroître la taille et le poids du système, des méthodes de stabilisation actives ont été également proposées et étudiées. Ces méthodes interviennent au niveau de la commande de la CPL pour augmenter la stabilité du système. Naturellement, ceci nécessite d'avoir accès à cette commande. Ces méthodes peuvent être classées en deux groupes en considérant la régulation du bus continu ou non. Elles seront expliquées ci-dessous.

1.6.2.1 Méthodes de stabilisation actives dans le cas où le bus DC n'est pas régulé

Les méthodes de stabilisation actives peuvent justifier l'impact déstabilisant des CPL par le fait que la commande de la charge va imposer à celle-ci de fournir une puissance constante (par exemple mécanique) quelque soit l'état des variables électriques du réseau. Dans ce cas, les variations de charges (frottements...) peuvent être compensées par la commande sans tenir compte des variations du bus continu. La commande du système prend l'information concernant l'état des variables électriques du système et l'utilise pour générer un signal (\tilde{p}) qui va être additionné à la puissance de référence afin de garantir la stabilité du système. La Figure 1-38 illustre le principe de ce type de commande. Des exemples d'applications de cette méthode sont présentés dans les publications suivantes : [Awa09], [Liu10], [Lee09], [Liu07] et [Mag10]. Cette méthode présente par ailleurs l'avantage de pouvoir être installée sur l'ensemble des charges d'un réseau traitant ainsi "localement" l'impact de chaque CPL sur celui-ci [Mag10]. Par contre, elle modifie la référence de puissance de charge ; toutefois, cette perturbation doit être la plus petite possible pour ne pas perturber sensiblement la charge.

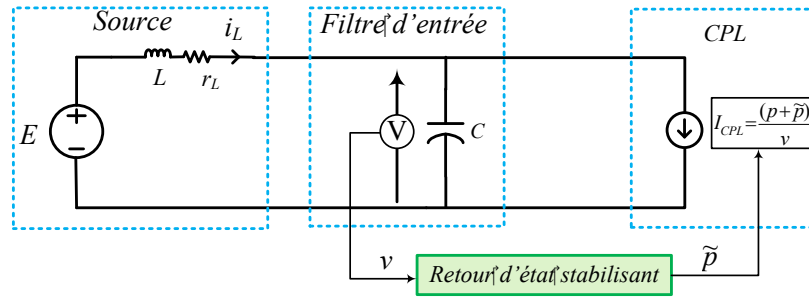


Figure 1-38 : Implémentation d'un retour d'état stabilisant sur la charge.

Les méthodes de stabilisation active dans le cas où le bus DC n'est pas régulé peuvent être divisées en deux groupes. Un premier groupe rassemble les méthodes se basant sur l'émulation par la commande d'éléments passifs dans le système et le deuxième groupe comprend les autres méthodes.

Parmi les méthodes d'émulation, on peut citer la méthode d'implantation d'impédance virtuelle par la commande de la charge [Lee09], [Awa09] et [Mag10]. Ainsi, comme cela est représenté sur la Figure 1-39, le système sera équivalent à un système électrique comportant une impédance virtuelle (Z_v). L'avantage de cette méthode est son dimensionnement clair et instinctif qui permet d'améliorer la stabilité du système. Pour se faire, il suffira d'augmenter la taille de la "capacité virtuelle" ou de diminuer celle de la "résistance virtuelle" [Mag10].

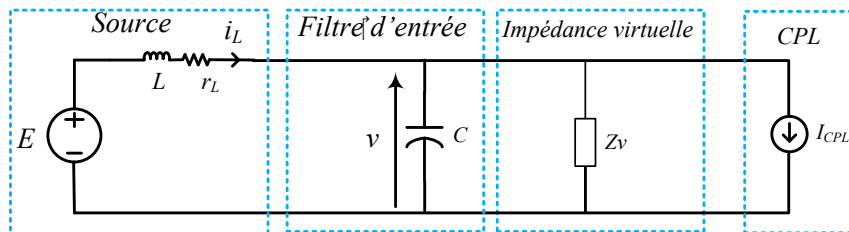


Figure 1-39 : Implémentation d'une impédance virtuelle.

Les méthodes d'émulation sont souvent des approches non-linéaires, comme par exemple celle étudiée dans [Mag10]. Magne et al ont étudié l'influence de l'implémentation d'une "capacité virtuelle" sur la taille du bassin d'attraction du système en utilisant l'approche de Takagi-Sugeno. Alors que les autres méthodes disponibles dans la littérature peuvent être réalisées à l'aide des correcteurs linéaires, comme proposées par exemple dans [Liu10] et [Liu07]. Toutefois, une linéarisation d'un système non linéaire peut être envisagée pour ces autres méthodes comme cela a été envisagé par [Awa09].

1.6.2.2 Méthodes de stabilisation actives dans le cas où le bus DC est régulé

Les méthodes qui viennent d'être mentionnées peuvent être utilisées pour tout type de

système. Néanmoins, dans le cas où nous avons un système dont la CPL est alimentée par un convertisseur DC/DC et dont la commande est accessible, on propose des approches plus adaptées. En effet, dans ce dernier cas, il y aura une nouvelle variable de commande qui peut être intégrée, comme une contrainte de stabilité du système, dans la commande du convertisseur DC/DC afin d'améliorer son amortissement [Mag12T].

Ces méthodes ont été mises en place en considérant la stabilité "petit-signal" du système dans [Gad98]. Plus récemment, dans la littérature scientifique, ces méthodes ont été complétées par de nouvelles approches traitant de la stabilisation "large-signal" de ces systèmes [San92]. Elles proposent des lois de commandes non-linéaires intégrant la stabilité du système dans leur dimensionnement. Pour cela, Kwasinski se base sur les propriétés de passivité du système [Kwa07]. Les auteurs [Riv06] et [Zhao11] utilisent des commandes glissantes pour augmenter la stabilité du système. Rahimi et al proposent l'implémentation d'un gain compensant le terme non-linéaire propre à la CPL qui est la source de l'instabilité [Rah091], [Rah10].

L'avantage de ces méthodes est que la référence de la CPL ne change pas tout en assurant la stabilité du système. La réponse en tension du bus DC peut être contrôlée afin de pouvoir répondre aux contraintes imposées par la CPL en termes de stabilité.

1.6.3 Stabilisation du DC-SPD

Plusieurs approches peuvent être utilisées afin d'empêcher un système de rentrer dans un état instable lors de son utilisation. Les inconvénients des méthodes passives faces aux avantages des approches actives nous amène à opter pour les méthodes actives.

Il faut toutefois noter que pour éviter toute perturbation lors du fonctionnement normal du système, il faut obligatoirement que les signaux stabilisants soient à valeur nulle en régime permanent. Les signaux stabilisants seront uniquement visibles lors du régime transitoire du système. Le rôle de ces signaux est d'amortir les régimes transitoires du système pour assurer sa stabilité. En effet, dans les cas où un point de fonctionnement est stabilisé grâce à un stabilisateur, le système reviendrait à son état instable dès que le stabilisateur serait désactivé.

En plus, la stabilité asymptotique du système est également menacée par le risque de résonance. En effet, il existe des modes résonnants dans les DC-SPDs en raison de la présence de filtres LC faiblement amortis. Si ces modes sont excités, des oscillations stables apparaissent et se propagent à l'ensemble du système. Cette excitation peut provenir de la source principale, des éléments de stockage ou d'une charge déséquilibrée.

Ainsi, pour améliorer les performances du DC-SPD étudié dans ce mémoire, un compensateur décentralisé linéaire actif est proposé afin d'augmenter la marge de stabilité du système et diminuer le risque de résonance. Un bloc indépendant de suppression d'oscillation est considéré pour chaque charge, comme indiqué à la Figure 1-40

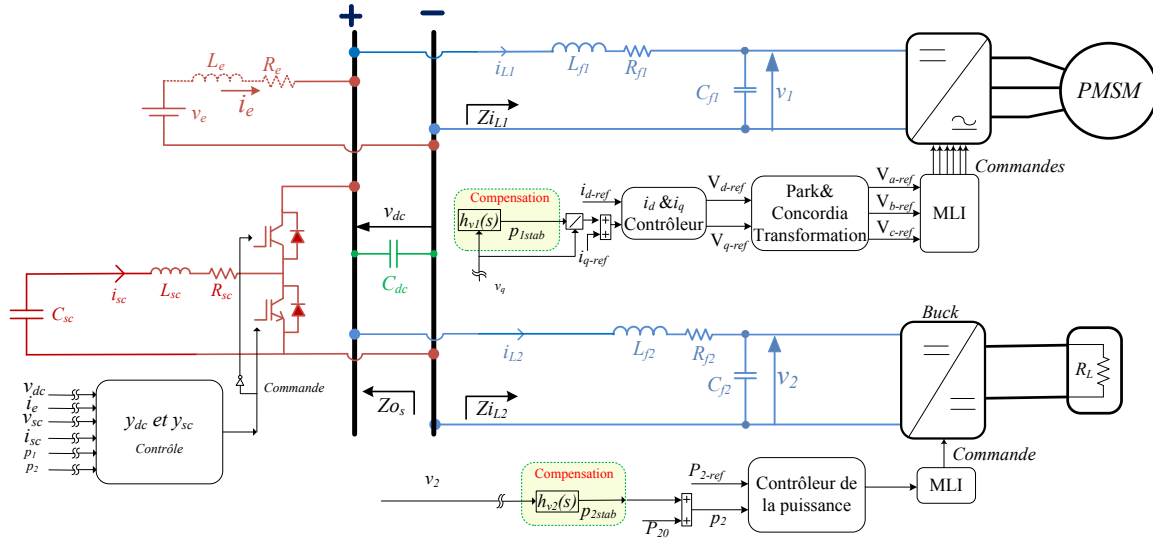


Figure 1-40 : Schéma de principe des boucles de contrôle et des blocs de compensation.

Le bloc de suppression d'oscillations actif proposé dans ce mémoire se compose d'un compensateur proportionnel suivi d'un filtre passe-bande. Ce filtre élimine les bruits de mesure. La fonction de transfert pour $h_{vj}(s)$ est définie par (Figure 1-40) :

$$h_{vj}(s) = K_j \frac{2\xi_j \omega_{fj} s}{s^2 + 2\xi_j \omega_{fj} s + \omega_{fj}^2} \quad j = 1, 2 \quad (1-53)$$

Où la pulsation ω_{fj} est choisie proche de la fréquence de résonance du filtre d'entrée LC de chaque charge et K_j est un gain proportionnel à dimensionner pour répondre aux exigences de stabilité et aux contraintes locales quant à l'amplitude du pic de résonance. Ces prescriptions sont souvent données en termes de marge de gain minimale (GM), de marge de phase (PM) et d'atténuation à la fréquence de résonance. La bande passante de $h_{vj}(s)$, fixée par le paramètre ξ_j , doit être suffisamment large pour couvrir toutes les fréquences de résonance du réseau. La sortie du bloc de suppression d'oscillations est un signal stabilisant (1-54) qui doit être ajouté à la puissance de référence de la charge (1-55) :

$$\begin{cases} p_{1stab} = h_{v1}(s) \cdot v_1 \\ p_{2stab} = h_{v2}(s) \cdot v_2 \end{cases} \quad (1-54)$$

Et :

$$\begin{cases} p_1 = P_{10} + p_{1stab} \\ p_2 = P_{20} + p_{2stab} \end{cases} \quad (1-55)$$

Dans la pratique, ces signaux stabilisants (p_{1stab} et p_{2stab}) sont générés en fonction de la nature de chaque charge. Pour la MSAP (première charge), p_{1stab} est généré à l'aide des

composantes en quadrature des tensions et des courants statoriques (i_q et v_q) de la machine. Pour la charge résistive, le signal stabilisant (p_{2stab}) est généré à partir de la tension v_2 . Les paramètres sont déterminés comme suit.

Tout d'abord, pour l'aspect stabilité, différentes techniques peuvent être appliquées afin de déterminer le gain proportionnel K_j afin de satisfaire aux exigences de stabilité locale. L'une d'elles est basée sur le fait que la stabilité locale autour d'un point de fonctionnement de deux convertisseurs en cascade dépend des pôles de la fonction de transfert $FT(s)$:

$$FT(s) = \frac{1}{1 + T_m(s)} \quad (1-56)$$

où $T_m(s)$ est défini par :

$$T_m(s) = \frac{Z_o(s)}{Z_i(s)} \quad (1-57)$$

Avec $Z_o(s)$ l'impédance de sortie du côté de la source et $Z_i(s)$ l'impédance d'entrée du côté de la charge (voir Figure 1-40) [Liu10] et [Fen02]. Les blocs de suppression d'oscillations modifient l'impédance d'entrée $Z_i(s)$ et améliorent les marges de stabilité. Pour appliquer cette approche, nous devons déterminer l'impédance d'entrée de chaque charge en fonction de K_j (le gain proportionnel de $h_{vj}(s)$). Ensuite, les marges de stabilité peuvent être obtenues à partir des outils bien connus d'analyse linéaire comme le diagramme de Bode ou de Nyquist de T_m . Ici, nous donnons à titre d'exemple le diagramme de Nyquist de $T_m(s)$ pour la première charge (MSAP) pour $P_{10}=750W$ et $P_{20}=850W$ (point de fonctionnement instable selon la Figure 1-33 lorsque $K1$ varie entre 0 et 100). Comme présenté sur la Figure 1-41, le système est instable lorsque $K1=0$. Il peut également être déduit qu'une valeur de $K1$ autour de 10 est un bon choix pour les marges de stabilité. En étudiant le diagramme de Nyquist de $T_m(s)$ plus précisément pour les valeurs de $K1$ autour de 10, on peut conclure que les marges de stabilité sont maximisées avec $K1=8,8$, soit $GM=16,9$ dB et $PM=68^\circ$. (Les paramètres du système sont ceux qui figurent dans le Tableau 1-2)

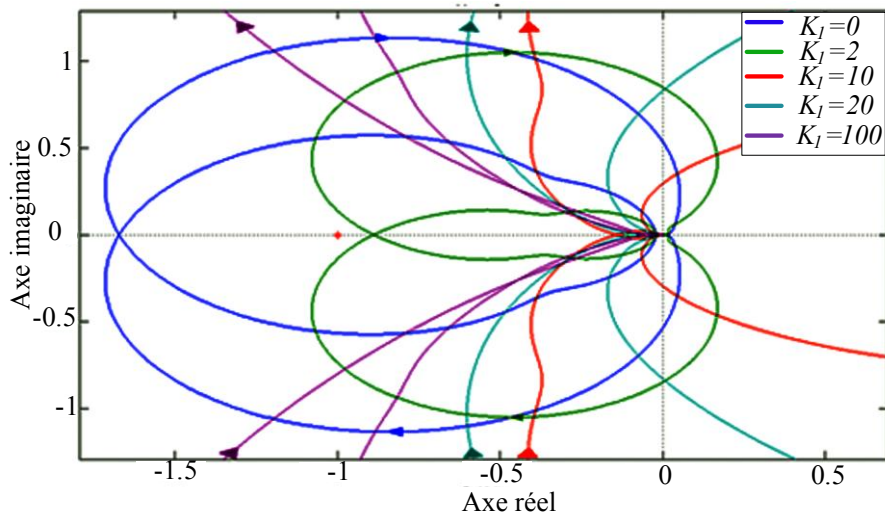


Figure 1-41 : Impact de K_I sur la stabilité du système diagramme de Nyquist de T_m .

Deuxièmement, à des fins de suppression de résonance, la procédure de conception est clairement différente. Il est évident que le gain proportionnel K_j affecte aussi les pics de résonance dans toutes les fonctions de transfert de \tilde{v}_i/\tilde{p}_i . Par exemple, la Figure 1-42 montre l'impact de K_I sur la fonction de transfert \tilde{v}_1/\tilde{p}_1 pour $P_{10}=450W$ et $P_{20}=800W$ lorsque K_I varie entre 0 et 100.

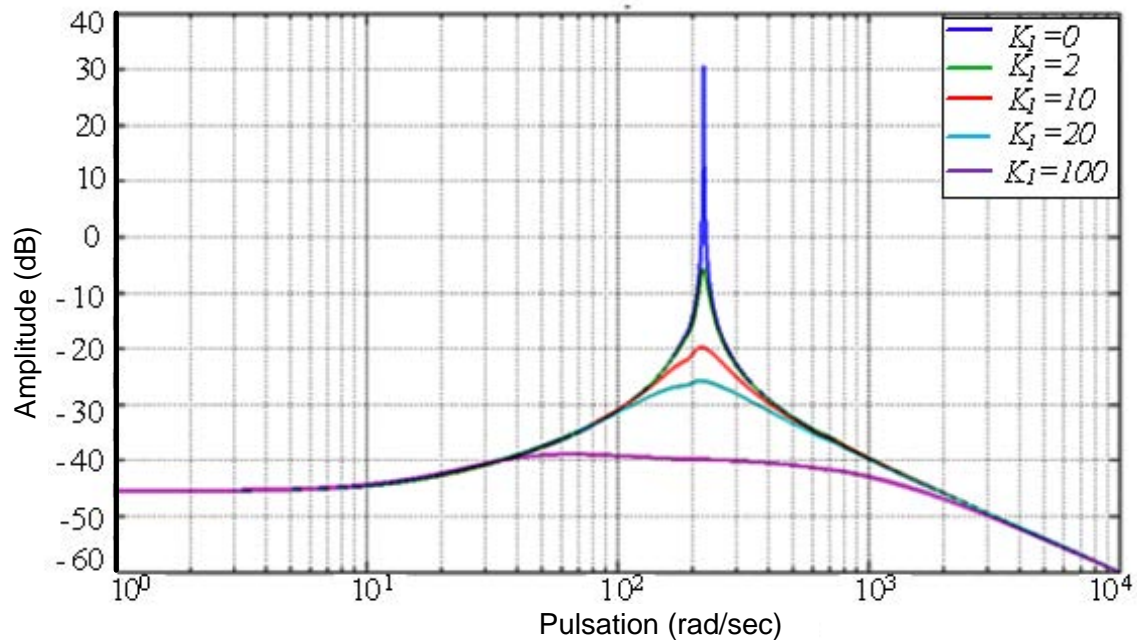


Figure 1-42 : Impact de K_I sur le pic de résonance de la fonction de transfert \tilde{v}_1/\tilde{p}_1 .

Il faut noter que ce point de fonctionnement est stable (voir Figure 1-33). Néanmoins, des oscillations significatives peuvent apparaître sur le bus DC à sa fréquence de résonance comme on le voit sur la Figure 1-42 pour $K_I = 0$. Comme le montre également

la Figure 1-42 pour la première charge, le pic de résonance est considérablement réduit par le bloc de suppression de résonance. Par exemple, si l'atténuation minimale nécessaire à 224 rad/s est de 20 dB, K_1 devrait être supérieur à 10,3. Si nous fixons K_1 à 10,3, les marges de stabilité sont toujours satisfaisantes (GM=17,1 dB et PM=67°). Il peut être également noté que, du point de vue de la suppression de résonance, le meilleur choix de K_1 est évidemment le plus grand ($K_1 = 100$ sur la Figure 1-42). Toutefois, ce choix permet de réduire les marges de stabilité. Donc, un bon compromis entre la suppression de la résonance et des marges de stabilité d'une part et un autre compromis entre la suppression de la résonance et les performances de charge d'autre part doivent être trouvés. Sans ceci, la taille des éléments passifs doit être augmentée pour améliorer la suppression de résonance d'une manière passive.

Cette procédure de conception est appliquée à tous les blocs de compensation. Pour notre application, K_2 est fixé à 6,6 pour obtenir une atténuation de 20 dB au niveau pic de résonance de la fonction de transfert \tilde{v}_2/\tilde{p}_2 . Les paramètres de compensation sont consignés dans le Tableau 1-3.

Tableau 1-3 : Les paramètres des blocs de compensation.

$K_1=10.3$	$K_2=6.6$
$\omega_{f1}=225$ <i>rad/s</i>	$\omega_{f2}=213$ <i>rad/s</i>
$\zeta_1=0.7$	$\zeta_2=0.7$

Il peut être montré, en répétant le processus appliqué pour trouver la marge de stabilité du système sans bloc de compensation, que les mêmes marges de stabilité et d'atténuation de pic de résonance ne peuvent être atteintes que si C_{f1} et C_{f2} sont respectivement 4,6 et 3,7 fois plus grand que ceux donnés dans le Tableau 1-2. Ainsi, l'utilisation des blocs de suppression de résonance actifs proposés permet de réduire les valeurs des capacités sans affecter significativement la dynamique de la charge, comme on le verra dans la partie suivante.

1.6.4 Résultats de simulation

Les simulations ont été réalisées à l'aide de MATLAB-Simulink avec les paramètres des Tableau 1-2 et Tableau 1-3. Sur la Figure 1-43, à l'instant $t=0,5s$ la seconde charge avec $P_2=300W$ est connectée au système. Puis, à l'instant $t=1s$, la première charge avec $P_1=500W$ est connectée. Dans ces conditions, le système reste stable. A $t=4s$, la valeur de P_1 passe à 620W et le système devient instable (confirmation de la limite de la Figure 1-33). Ensuite, les blocs de compensation (avec les paramètres donnés dans le Tableau 1-3) sont activés à $t=8s$ et le système revient à un état stable. A $t=9s$, P_1 et P_2 sont respectivement portées à 1300W et 600W sans pour autant affecter la stabilité du système. Les résultats des simulations montrent que la limite de stabilité est doublée sans changer la valeur des éléments passifs dans du système.

Comme mentionné à la section précédente, la stabilité asymptotique du système est également menacée par le risque de résonance. En particulier, les variateurs de vitesse, largement utilisés dans les systèmes DC-SPDs, sont particulièrement concernés. Ils peuvent conduire à exciter les modes de résonance en raison du risque d'oscillations de charges mécaniques ou des déséquilibres électriques / mécaniques. Dans ces cas, les harmoniques basses fréquences peuvent apparaître au niveau du couple de moteur, de la force électromotrice ou des tensions et courants au stator. Pour réaliser cette condition, nous avons superposé une composante basse fréquence d'oscillation de la puissance absorbée de la première charge. En utilisant Matlab, une analyse "petit signal" peut être effectuée en représentant le diagramme de la fonction de transfert \tilde{v}_1/\tilde{p}_1 . Comme on peut le voir sur la Figure 1-44, il y a un pic de résonance à 224 rad/s avec une amplitude de 30 dB pour P1=450 W et P2=800W. Il convient de noter que ce point de fonctionnement est stable selon la Figure 1-33. En effet, le pic de résonance grandit rapidement lorsque le point de fonctionnement se rapproche de la zone instable (voir Figure 1-33). Ceci peut être vérifié par simulation.

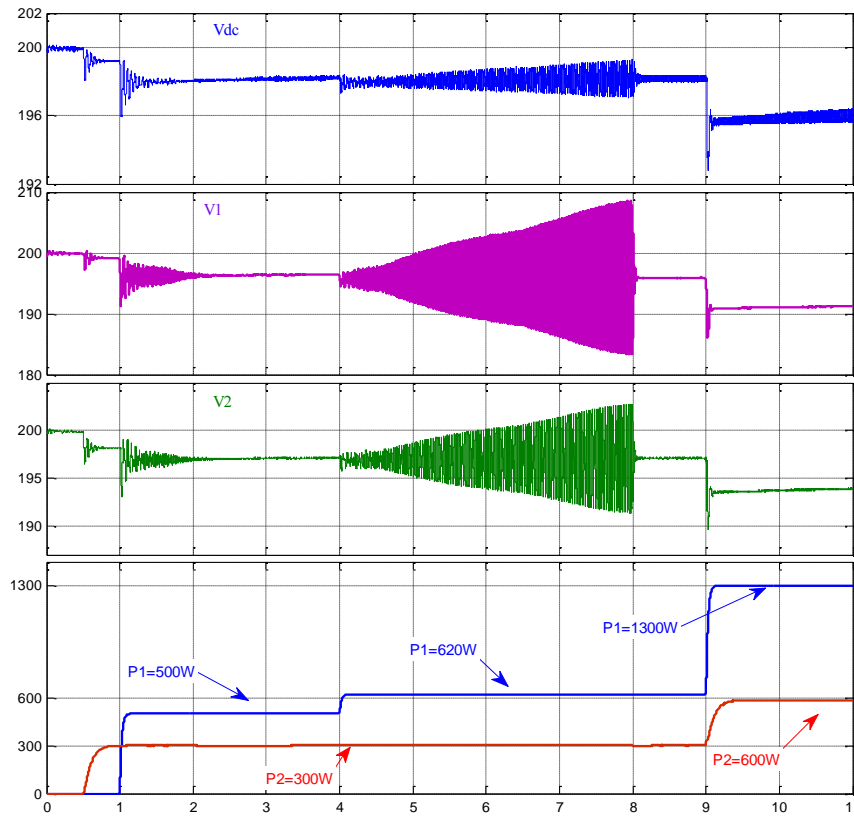


Figure 1-43 : Résultats de simulation avec et sans blocs de compensation.

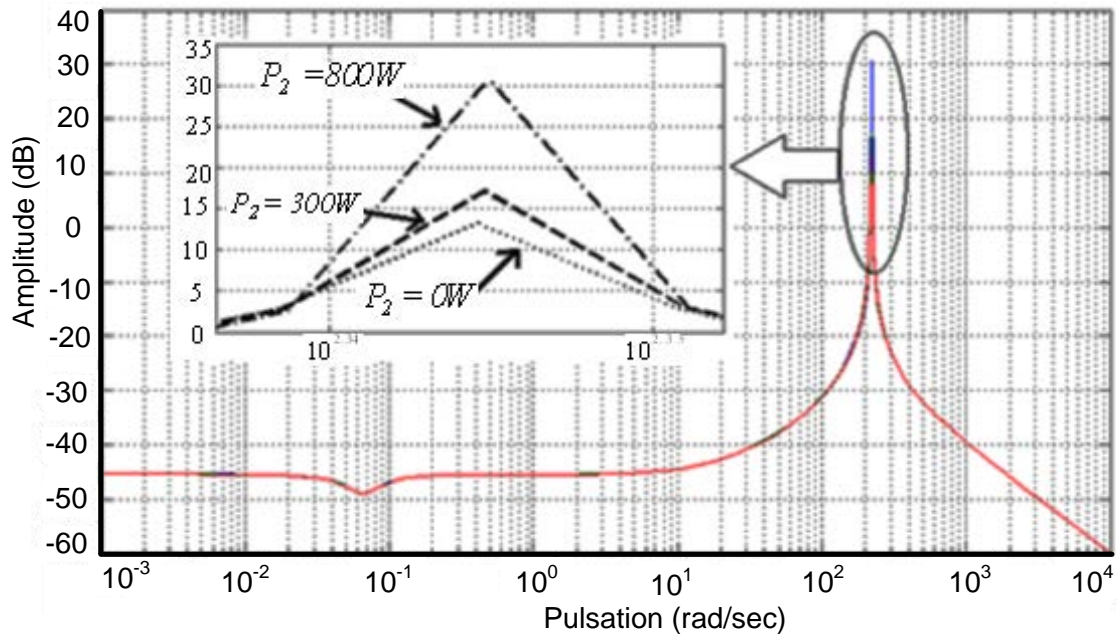


Figure 1-44 : Diagramme de Bode de la fonction de transfert \tilde{v}_1/\tilde{p}_1 pour $P_1 = 450$ W.

Sur la Figure 1-45 nous présentons les résultats de simulation pour $P_2=300$ W et $P_1=450$ W en ayant superposé une oscillation sinusoïdale de 2,2 % à la fréquence de résonance, c'est-à-dire $P_1=450+10 \sin(224t)$. Bien que de petites oscillations apparaissent au niveau de la tension du bus DC (v_{dc}) et de certaines autres variables telles que v_1 et v_2 , le système reste stable. A $t=4$ s, le point de fonctionnement est déplacé vers $P_2=800$ W (Fig. 10). Comme cela a déjà été expliqué, l'amplitude de ces oscillations devient importante et nous n'arrivons plus à contrôler le système qui devient instable.

Pour vérifier l'efficacité de la méthode proposée par suppression de résonance active, le système est simulé avec les blocs de suppression de résonance activés. Comme le montre la Figure 1-46, le point de fonctionnement du système est $P_1=550$ W et $P_2=800$ W. A $t=4$ s une oscillation sinusoïdale ($10\sin(224t)$) est appliquée au niveau de P_1 . Contrairement à la simulation précédente, le système reste stable. Ces résultats de simulation montrent l'efficacité de la méthode proposée, par suppression de résonance active, ce qui réduit le risque de résonance.

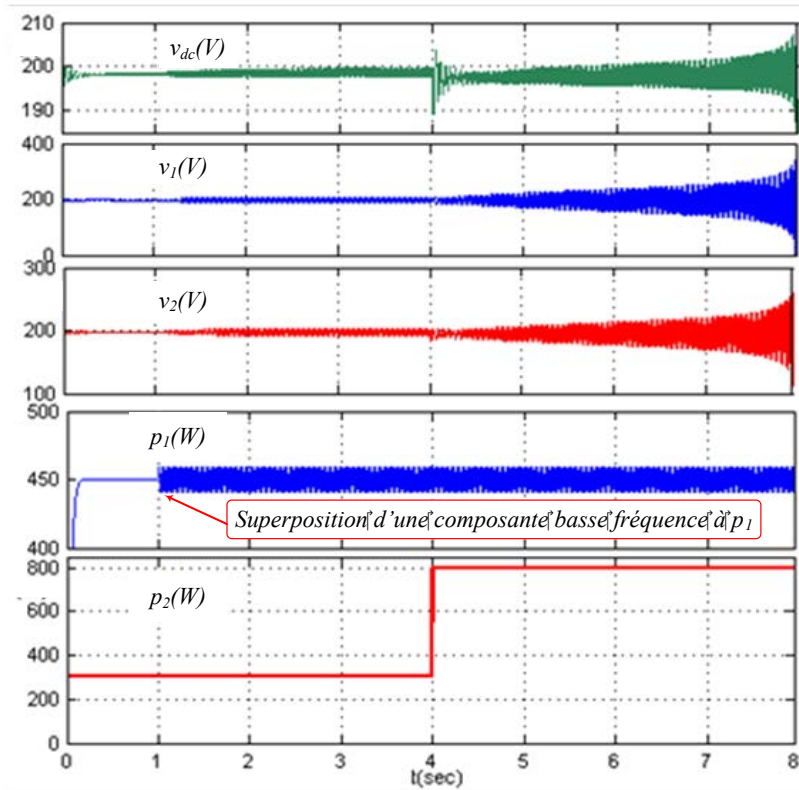


Figure 1-45 : Résultats de simulation dans des conditions de résonance à 224 rad/s. (Sans bloc de suppression de résonance).

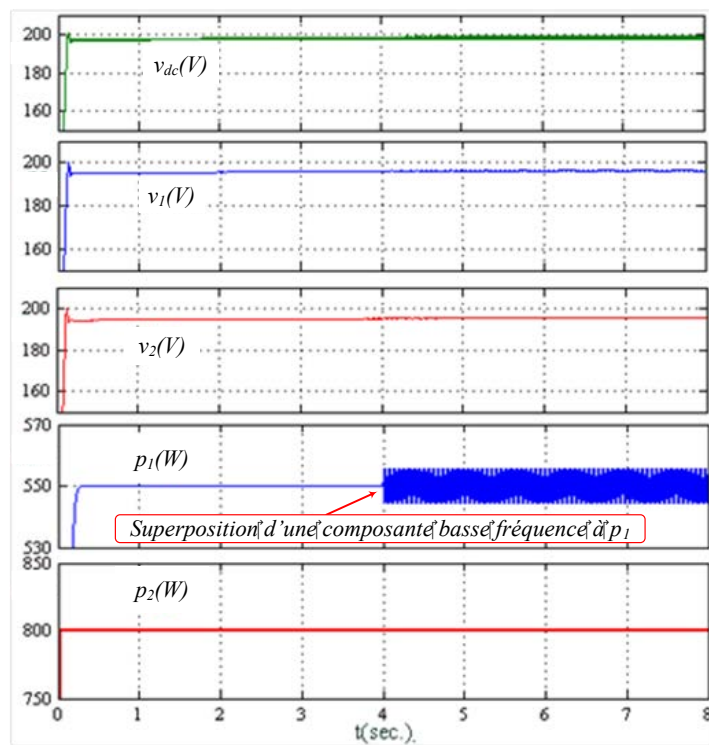


Figure 1-46 : Résultats de Simulation quand un mode de résonance est excité (des blocs de suppression de résonance activés).

1.6.5 Résultats expérimentaux

Des essais expérimentaux ont été réalisés afin de valider les performances de l'approche proposée par suppression de résonance active. Le banc expérimental réalisé pour cette étude a été présenté à la section 1.5.4 (Figure 1-35), et les paramètres sont détaillés dans le Tableau 1-2.

Les Figures 1-47 à 1-50 illustrent l'efficacité de la méthode de stabilisation. Quand les stabilisateurs sont actifs, le système reste stable même si les puissances des charges sortent des limites théoriques de stabilité de la Figure 1-33. A la Figure 1-47, la référence i_{qref} subit une variation de 7A à 8A (ou de manière équivalente P_1 passe de 575W à 734 W) et P_2 reste fixée à 300W. Grâce à la méthode de stabilisation, le système reste stable. A ce moment là, si les blocs de stabilisation sont désactivés, le système devient instable (Figure 1-48). Pour le rendre stable, nous devons activer les stabilisateurs (Figure 1-49). Cela signifie que les blocs de stabilisation stabilisent le système en condition normale de CPL et augmente également la marge de stabilité du système.

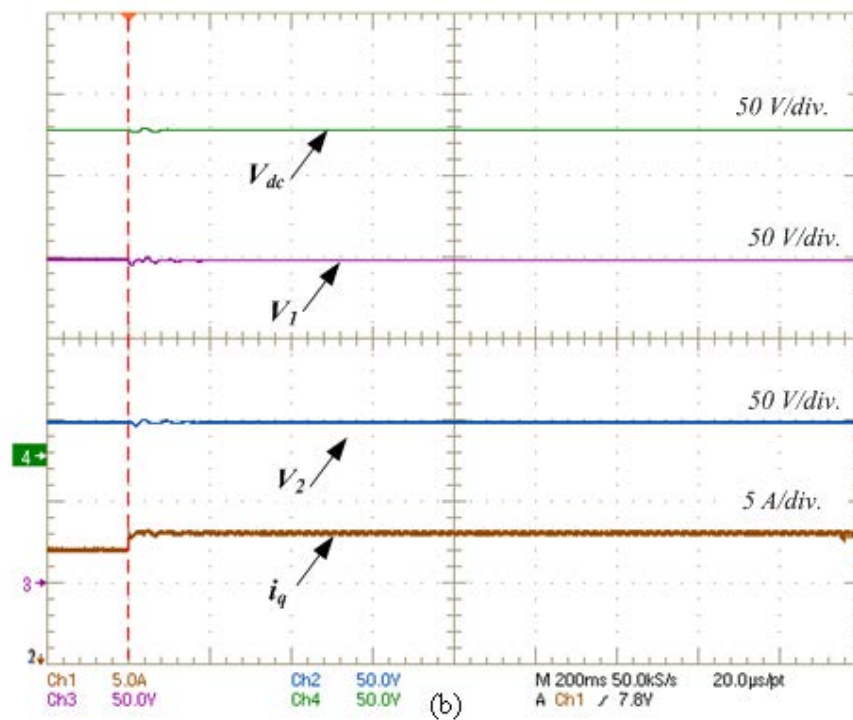


Figure 1-47 : Réponse du système à un échelon de la puissance P1 (stabilisateur activé).

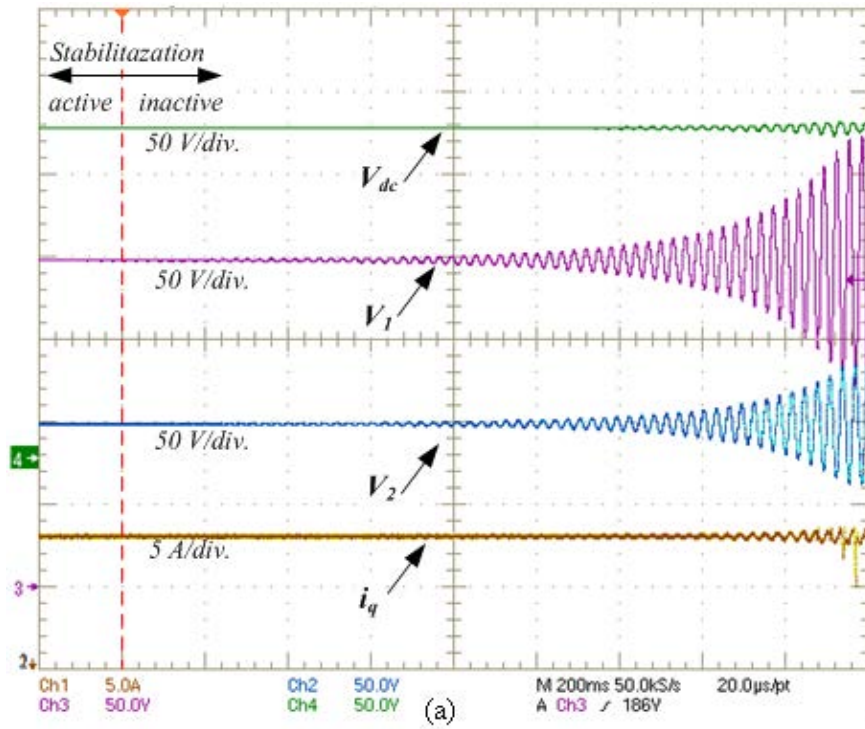


Figure 1-48 : Effet de la stabilisation sur le fonctionnement de système (stabilisation active → inactive).

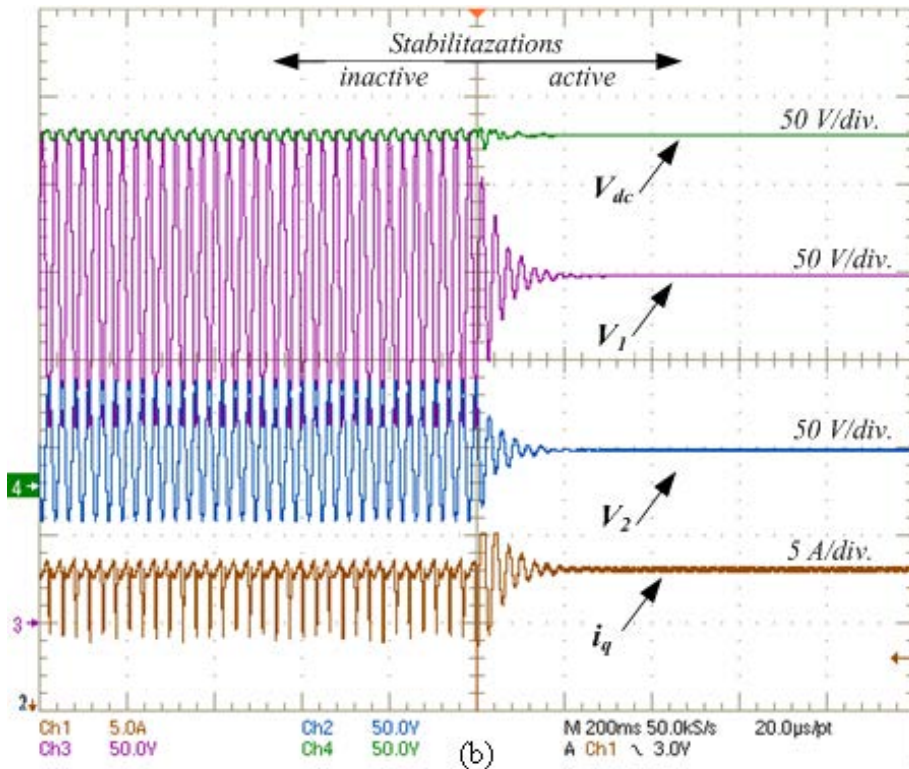


Figure 1-49 : Effet de la stabilisation sur le fonctionnement du système (stabilisation inactive → active).

La Figure 1-50 montre l'efficacité de la méthode proposée par suppression de résonance distribuée active lorsque l'un des modes de résonance du système est excité. Sur la Figure 1-50, le système est stable dans la région ($P_1=550W$ et $P_2=300W$). Comme expliqué précédemment, P_1 est contrôlée par i_q . Suite à une condition de charge déséquilibrée, une oscillation sinusoïdale est ajoutée à la référence de i_q : il en résulte une oscillation de faible amplitude ($\pm 20W$) à une fréquence proche de la fréquence de résonance qui est apparue sur P_1 . Pour mieux visualiser cette oscillation, un zoom de la Figure 1-50 est présenté à la Figure 1-51.

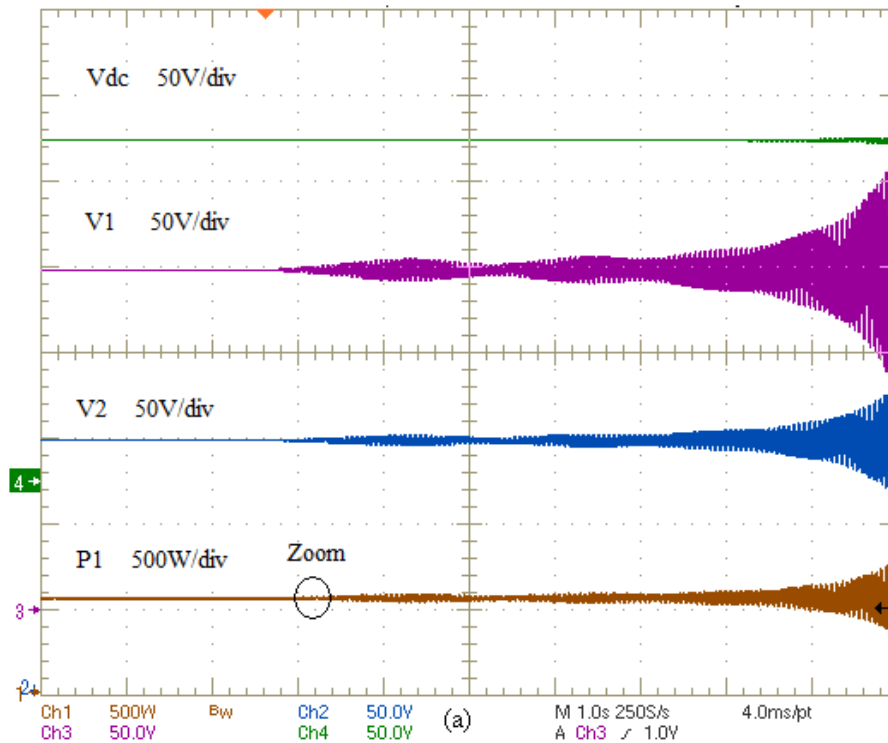


Figure 1-50 : Instabilité causée par une oscillation sous charge déséquilibrée ($P_1 = 450W$, $P_2 = 300W$ sans compensation).

A la Figure 1-51, il peut être clairement observé que des oscillations apparaissent au niveau des tensions v_1 et v_2 . L'amplitude de ces oscillations augmente jusqu'à ce que le système ne soit plus contrôlable. Le seul moyen de supprimer ces oscillations est d'activer les blocs de compensation. Comme représenté sur la Figure 1-52, lorsque les blocs de compensation sont activés, le système revient stable très rapidement.

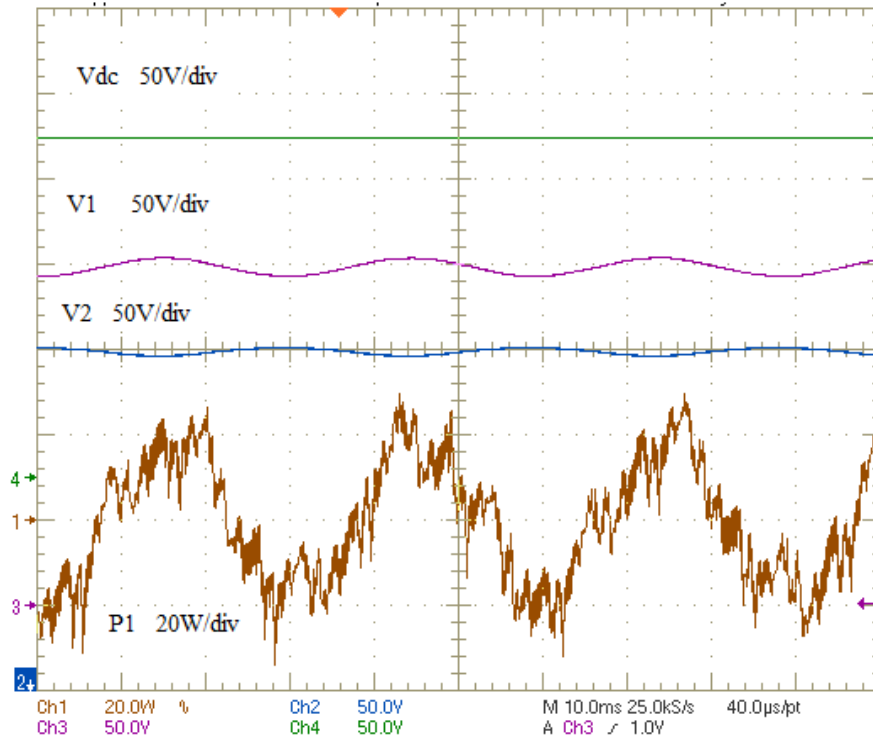


Figure 1-51 : Zoom de la Figure 1-50.

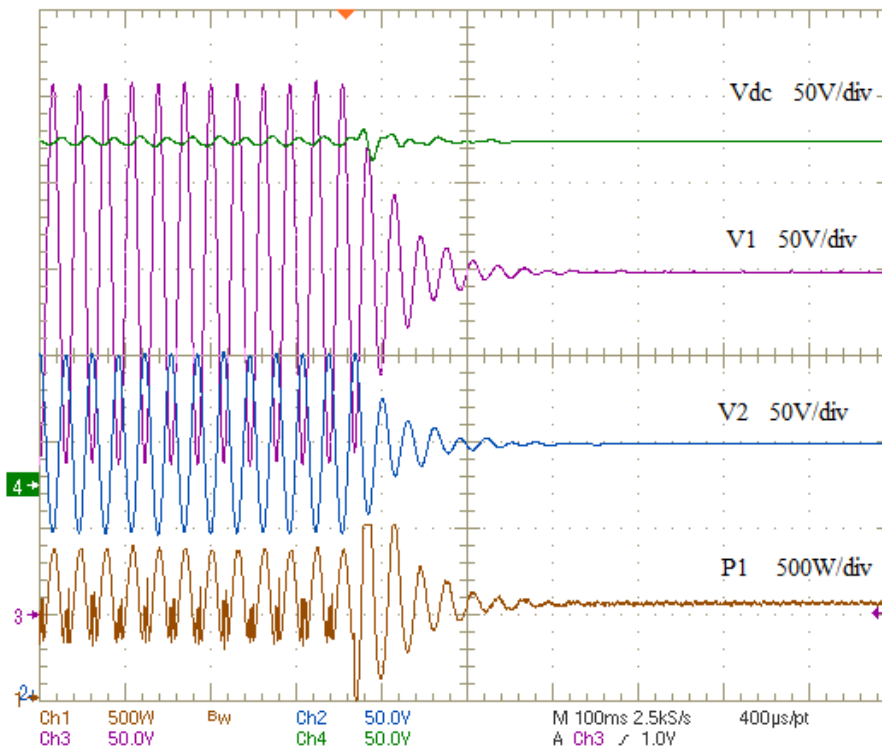


Figure 1-52 : Effet d'activation des blocs de compensation au cours de l'instabilité provoquée par la résonance.

1.7 Conclusion

Ce chapitre a été consacré à l'étude d'un système à puissance distribuée comportant un bus continu (DC-SPD). Ces systèmes comprennent différentes sources (généralement d'origine renouvelables) et charges connectées à bus DC commun via des convertisseurs statiques AC-DC, DC-DC, ou DC-AC. Aujourd'hui, les différents industries du domaine des systèmes embarqués (véhicules électriques, avions, trains, bateaux), les centrales de production électrique, et les alimentations électroniques utilisent ces DC-SPD.

La gestion de l'énergie dans un DC-SPD est un problème essentiel qui régit l'échange d'énergie entre les sources et les charges. Dans ce chapitre, un système avec une source PV et deux éléments de stockage (batterie et super condensateur) a été étudié et modélisé. Une stratégie de gestion de l'énergie et de régulation de bus DC, basée sur la méthode de contrôle de type PI, a été présentée. Afin de valider l'efficacité de la stratégie et le contrôle/commande, une simulation dans l'environnement Matlab a été réalisée. La partie puissance du système a été modélisée par l'outil SimPowerSystem de Matlab. Quant à la partie contrôle ainsi que la gestion d'énergie, ils ont été modélisés par Simulink. Les résultats montrent que la tension du bus DC a été efficacement régulée grâce à la présence du SC malgré les rapides transitions de la charge.

Ensuite, nous avons étudié le comportement et la modélisation des CPLs dans un DC-SPD. Un modèle mathématique non-linéaire du système étudié a été présenté. Afin d'appliquer les méthodes d'étude de stabilité de systèmes linéaires, ce modèle a été linéarisé autour d'un point de fonctionnement. Une étude "petit-signal" de la stabilité a été utilisée pour obtenir les limites de stabilité du système. Pour ce faire les valeurs propres du système ont été déterminées. Afin d'éviter le risque d'instabilité dans le cas où les charges sont déséquilibrées, une méthode de stabilisation active décentralisée a alors été proposée et mise en œuvre. Les résultats de modélisation/simulation dans l'environnement Matlab ainsi que les résultats expérimentaux valident l'étude de stabilité et l'efficacité de la méthode de stabilisation.

Chapitre 2

Convertisseurs statiques DC-DC à tolérance de pannes

2.1 Introduction

Les convertisseurs statiques DC-DC sont largement utilisés dans de nombreuses applications de l'électronique de puissance telles que les transports, la variation de vitesse de machines à courant continu ou bien encore les systèmes solaires photovoltaïques. La continuité de service de toutes ces applications ainsi que leur fiabilité sont des éléments majeurs lors de l'évaluation de leurs performances. On peut notamment mentionner que ces convertisseurs sont particulièrement sensibles aux défauts pouvant survenir tant au niveau du condensateur du filtre de sortie qu'au niveau des semi-conducteurs de puissance; il s'agit en effet des deux composants principaux qui constituent le convertisseur et qui ont les plus faibles taux de fiabilité [Rib13], [Ama12], [Pie12], [Im12], [Rod11], [Bui10], [Est10] et [Lu09]. Une défaillance de l'un d'entre eux peut provoquer de graves dysfonctionnements du système. Tout défaut non détecté et non compensé peut rapidement mettre en danger l'ensemble du système de puissance. Quand un défaut survient dans l'un des convertisseurs du système, afin d'éviter la propagation du défaut aux autres composants du système et d'assurer la continuité de service, il est impératif de mettre en œuvre une méthode efficace et rapide de détection et de compensation de défaut [Sha12T].

Dans la littérature scientifique publiée ces dernières années, on peut noter que la tolérance de pannes des convertisseurs statiques est une préoccupation majeure pour une vaste gamme d'applications. Les structures de convertisseurs concernées sont généralement qualifiées de "fault tolerant". La plupart des travaux de recherche menés sur ces convertisseurs "fault tolerant" concernent principalement les conversions AC-DC ou AC-DC-AC. On peut notamment citer les topologies de convertisseurs "fault tolerant" avec et sans bras redondant, dédiées à l'alimentation et au contrôle des machines asynchrones triphasées ou bien encore à celui des "Micro-Grids" [Tom10], [Cam08]. Ces travaux ont entre autres fait l'objet des publications suivantes : [Dha12], [Son12], [Sha11], [Sha11A], [Rak11], [Pou09], [Kar09], [Men06], [Wel03] et [Rib04]. Les travaux de recherche présentés proposent de connecter le point neutre de la machine, soit au point milieu du bus continu, soit à un bras supplémentaire, après reconfiguration de la topologie du convertisseur. Malgré les avantages de ces méthodes, l'accès au point neutre de la machine est impératif, condition qui n'est pas toujours satisfaite.

Ribeiro et *al* ont étudié deux autres topologies de convertisseurs AC-DC. Dans le premier cas, le bras défaillant est remplacé par un bras redondant supplémentaire, après reconfiguration du convertisseur. Ainsi, la structure du convertisseur reste identique avant et après l'apparition d'un défaut. Dans le deuxième cas, le bras défaillant est connecté au point milieu du bus continu : la structure du convertisseur est alors modifiée en une topologie de type "Pont en H" qui peut alors continuer à fonctionner, même après l'apparition du défaut [Rib04].

Ces structures de convertisseurs sont particulièrement intéressantes ; elles ont également été étudiées lors de travaux de recherche passés, menés au sein de nos

laboratoires (GREEN et IJL(LIEN)) et initiés lors des travaux de thèse de M. KARIMI [Kar09T]. Ensuite, ces travaux ont été poursuivis par Monsieur Arnaud GAILLARD [Gai10T] et Monsieur Mahmoud SHAHBAZI [Sha12T], dans le cadre de leurs thèses de Doctorat. M. GAILLARD a étudié de nouvelles topologies “fault tolerant” de convertisseurs triphasés AC-DC-AC avec redondance ainsi que les stratégies de commande associées, afin de garantir leur continuité de service en présence de la défaillance d'un interrupteur ou d'un capteur de courant [Gai10], [Gai09] et [Gai07].

Quant à lui, M. SHAHBAZI a étudié la continuité de service de trois topologies de convertisseurs AC-DC-AC, avec ou sans redondance, lors de la défaillance d'un de leurs interrupteurs. Il a validé les topologies proposées et en a étudié deux cas d'applications : l'alimentation d'une charge RL triphasée et un système éolien de conversion de l'énergie basé sur une Machine Asynchrone à Double Alimentation (MADA) [Sha12], [Sha11], [Sha11A] et [Sha11B]. Pour tous ces travaux, un composant numérique à logique câblée de type Field Programmable Gate Array (FPGA) a été utilisé pour la détection du défaut afin de minimiser le temps de détection. Ainsi, il a été possible d'optimiser les performances temporelles de la détection.

Plus récemment, on peut noter qu'un nombre croissant de publications traite de la tolérance de pannes de convertisseurs multi-niveaux [Par13], [Bar09] [Ceb11], [Li12] et [Ku12] et de convertisseurs matriciels [Cru12], [Kwa12], [Khw12], [Li12A], [Iba11], [Kwa10] et [Lor10].

De même, de récentes publications traitent du diagnostic de pannes survenant au niveau des interrupteurs commandables dans le cas des convertisseurs DC-DC. Le diagnostic de pannes au niveau de la conversion de puissance d'un système solaire photovoltaïque connecté au réseau est étudié dans [Gon11]. La détection de défaillances de type circuit-ouvert dans un convertisseur DC-DC isolé en pont est présentée dans la publication [Pei12]. Une méthode de détection de défaut pour un convertisseur DC-DC à trois niveaux est présentée dans [She02], basée sur la surveillance de la tension aux bornes de la capacité flottante. La mise en œuvre de filtres de Kalman, basée sur le modèle de diagnostic de défaut, pour un convertisseur DC-DC élévateur, est étudiée dans [Iza10]. Une autre méthode de diagnostic de défaillance, basée sur les composantes harmoniques du champ magnétique à proximité d'un convertisseur DC-DC, est proposée et étudiée dans [Che11]. Dans la publication [Par11], la défaillance d'un des interrupteurs commandables d'un convertisseur DC-DC survolteur est détectée en observant la valeur échantillonnée du courant traversant l'inductance. Dans un cas de défaut de type circuit-ouvert, la valeur du courant diminue et dans le cas d'un court-circuit, elle augmente continuellement. Dans cette méthode, un capteur de courant additionnel est nécessaire à la détection du défaut. Une méthode de détection de défaut de type circuit-ouvert et une topologie à tolérance de panne pour un convertisseur DC-DC à trois niveaux est présentée dans [Rib13]. Ce convertisseur a été utilisé dans un système photovoltaïque utilisant des batteries comme dispositif de stockage. La méthode de détection de défaut a uniquement recours aux variables de contrôle utilisées pour le suivi du point de puissance maximale

(MPPT) et à la tension aux bornes du condensateur du bus continu. Lors d'un défaut de type circuit-ouvert, le convertisseur reconfiguré devient un convertisseur à deux niveaux.

Tous ces travaux, très récemment publiés, témoignent du fort intérêt porté aux convertisseurs à tolérance de pannes. Ce chapitre est plus particulièrement consacré à la proposition et à l'étude de méthodes de détection de défaillances de types court-circuit et circuit-ouvert, pouvant survenir au niveau des interrupteurs commandables de convertisseurs DC-DC non isolés. Les méthodes présentées sont basées sur l'étude de la forme d'onde du courant traversant l'inductance du convertisseur. Elles ont été appliquées, dans ce mémoire, au cas d'un convertisseur élévateur fault tolerant et validées par des essais expérimentaux.

2.2 Convertisseurs DC-DC non-isolés

Plusieurs topologies de convertisseurs DC-DC sont classiquement utilisées en électronique de puissance. Il est important de rappeler ici que la défaillance d'un de leurs interrupteurs commandables est la deuxième source de défaillance la plus fréquente, après celle des condensateurs [[Ama12](#)]. Ainsi, pour en assurer la continuité de service, nous proposons dans cette seconde partie du mémoire, une méthode de détection de pannes très rapide, dédiée à une famille de convertisseurs DC-DC non isolés, dite "Non-Isolated Single-Ended DC-DC Converters". Cette famille inclut les convertisseurs abaisseurs (Buck), élévateur (Boost), abaisseur-élévateur (Buck-Boost), Ćuk, SEPIC (Single-Ended Primary Inductor Converter) et Dual SEPIC. La topologie de tous ces convertisseurs est rappelée à la Figure 2-1.

Ces convertisseurs sont très utilisés dans les applications industrielles. Parmi leur vaste gamme d'applications, on peut notamment citer la traction électrique, les véhicules électriques et les sources renouvelables DC. D'autres applications peuvent être les systèmes hybrides électriques à bus DC distribué pour réseaux de bord de navires ou d'avions, pour ordinateurs ou bien encore pour les télécommunications [[Cao12](#)], [[Tho12](#)] et [[Du11](#)].

La plupart des applications citées précédemment exigent un très haut niveau de sécurité, pouvant être qualifié de "safety critical" pour certaines d'entre elles, ce qui donne un intérêt majeur au diagnostic de pannes des interrupteurs et à la continuité de service. Pour cette famille de convertisseurs, comme on peut le visualiser à la Figure 2-1, l'allure générale de la forme d'onde du courant traversant l'inductance (i_L) est toujours la même. En raison de cette similarité, nous avons choisi d'appliquer, dans la suite de ce mémoire, la méthode de détection de défaut proposée au cas particulier d'un convertisseur élévateur, notre approche étant basée sur l'étude de la forme d'onde du courant traversant l'inductance, commune à l'ensemble des convertisseurs. Notre étude pourra être ensuite généralisée à l'ensemble des autres topologies mentionnées à la Figure 2-1.

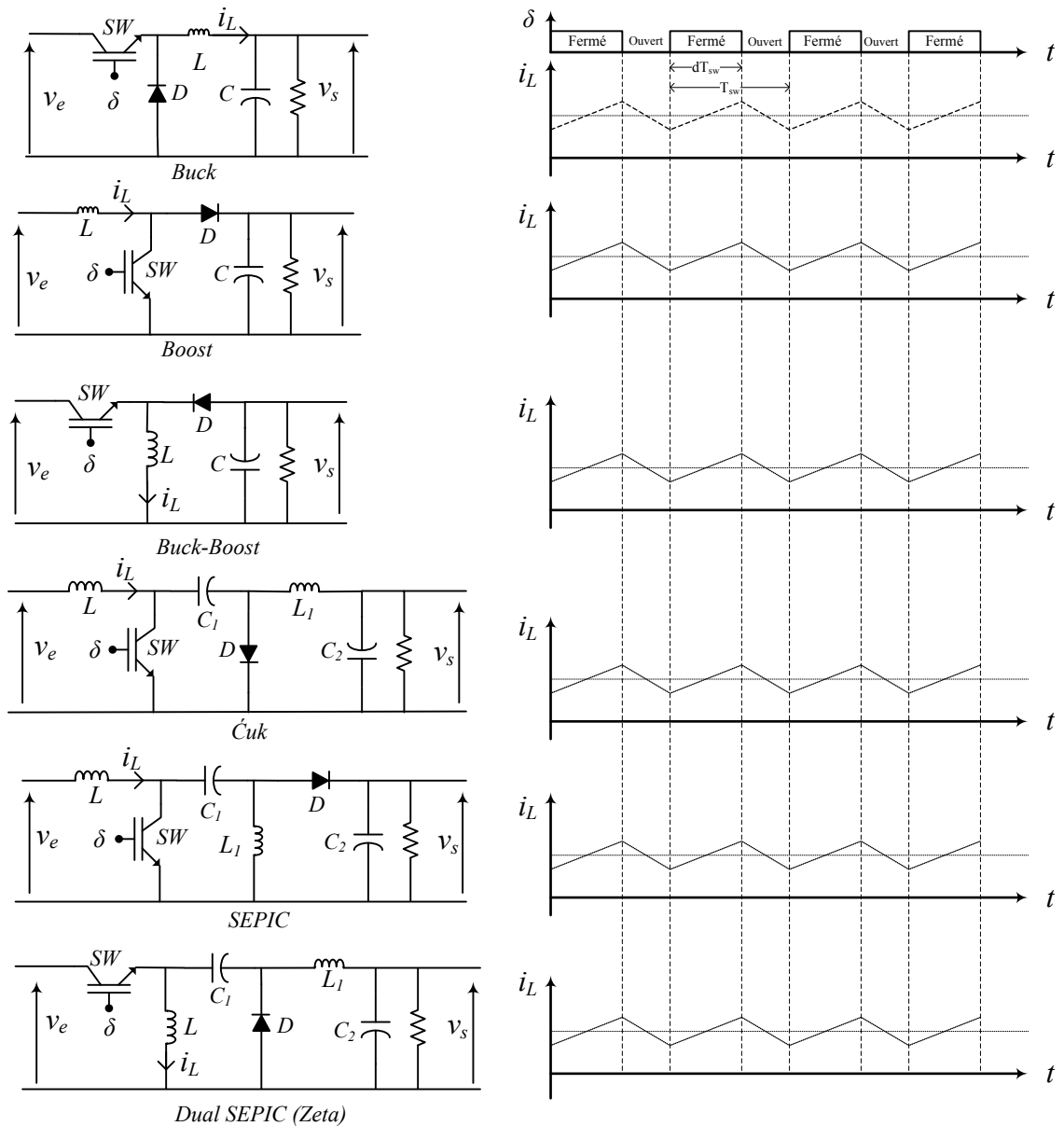


Figure 2-1 : Famille des convertisseurs DC-DC non isolés.

Un convertisseur élévateur (Boost), comme tout autre convertisseur statique DC-DC, peut avoir deux modes de fonctionnement : le mode dit "conduction continue" (mode MCC) et le mode dit "conduction discontinue" (mode MCD). La différence entre ces deux modes porte sur la forme d'onde du courant traversant l'inductance. Dans le mode MCC, le courant traversant l'inductance (i_L) ne s'annule jamais alors que dans le mode MCD, le courant i_L est nul durant une partie de la période de fonctionnement.

Les applications industrielles des convertisseurs DC-DC exigent de pouvoir contrôler le courant à travers l'inductance : c'est pour cette raison qu'ils fonctionnent en mode MCC. Le courant dans l'élément inductif peut alors être contrôlé en utilisant une architecture de commande comportant une boucle interne de courant et une boucle externe pour le contrôle de la tension de sortie. Ainsi, dans ce mémoire, nous nous intéresserons

uniquement au cas d'un convertisseur élévateur fonctionnant en mode MCC.

En mode MCC, une période de fonctionnement (notée ici T_{sw}) du convertisseur élévateur comporte deux phases de fonctionnement :

Phase 1 : Elle débute à la fermeture de l'interrupteur SW, comme cela est illustré à la Figure 2-2 (a). Lorsque l'interrupteur SW est fermé, la tension v_L aux bornes de l'inductance est égale à la tension d'entrée (v_e) et le courant traversant l'inductance (i_L) croît linéairement, si l'on néglige l'effet de la résistance interne de l'inductance (Figure 2-2 (c)). La tension aux bornes de la diode (v_D) est égale à l'opposé de la tension de sortie ($-v_s$) : elle est donc bloquée. Nous avons alors une augmentation de l'énergie stockée dans l'inductance. On notera " d " le rapport cyclique et " δ " l'ordre de commande de SW, égal à '1' pendant cette phase.

Phase 2 : Elle débute à l'ouverture de l'interrupteur SW (Figure 2-2 (b)). Lorsque cet interrupteur est ouvert, la tension aux bornes de l'inductance est égale à la différence entre la tension d'entrée et la tension de sortie ($v_L=v_e-v_s$). Pendant la durée $(1-d)T_{sw}$ de cette phase, v_L devient négative et donc le courant dans l'inductance décroît (Figure 2-2 (c)); ceci entraîne le transfert de l'énergie stockée dans l'inductance vers la charge, via la diode D . Notons que δ est égal à '0' pendant cette phase.

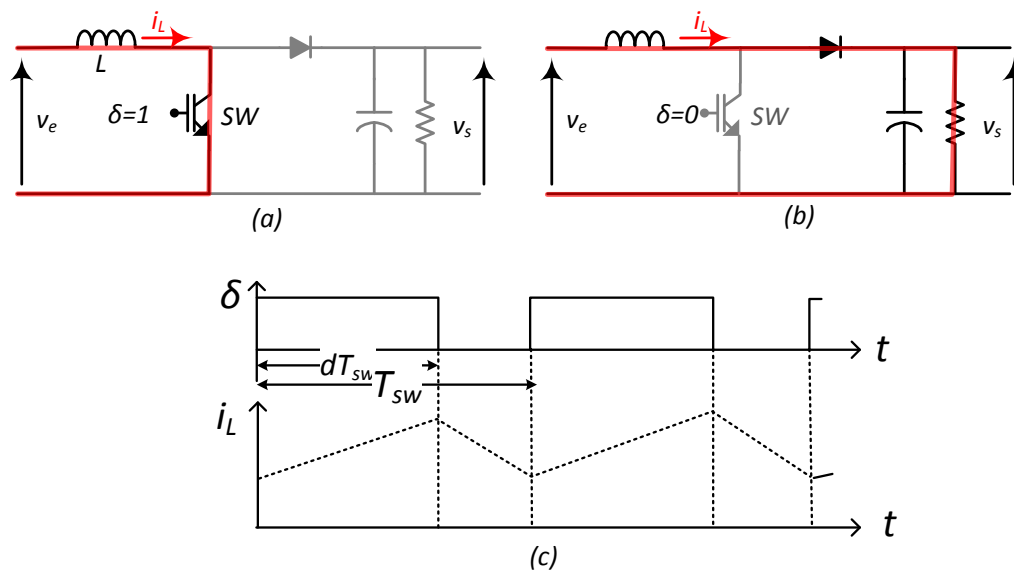


Figure 2-2 : Phases de fonctionnement d'un convertisseur élévateur en mode MCC (a) Phase 1 (b) Phase 2 (c) Ordre de commande δ et courant $i_L(t)$ traversant l'inductance.

En menant une analyse similaire des autres convertisseurs DC-DC non isolés de la Figure 2-1, nous aurions obtenu, pour le courant à travers l'inductance, une forme d'onde similaire à celle obtenue pour le convertisseur élévateur. Compte tenu de cette similitude, la forme d'onde de ce courant traversant l'inductance a été choisie comme élément de base pour développer deux nouvelles méthodes de détection de défaut, présentées dans la suite de ce mémoire.

2.3 Méthodes de détection de défaut

2.3.1 Etat de l'art

Afin de garantir la continuité de service d'un dispositif de puissance à tolérance de pannes, deux étapes principales sont généralement nécessaires. D'abord, le défaut doit être détecté et localisé, puis la continuité de service doit être assurée en reconfigurant la topologie du convertisseur et/ou son contrôle/commande. En effet, la reconfiguration du contrôleur n'est pas nécessaire en cas de redondance matérielle au niveau des interrupteurs commandables. Les défaillances des semi-conducteurs de puissance les plus courantes sont les défauts de type "circuit ouvert" (DCO), les défauts de type "court-circuit" (DCC) et les défauts intermittents liés à de mauvais déclenchement ("intermittent gate-misfiring default") [Pie12], [Ric11], [Rod11], [Lu09], [Kim08] et [Ism06]. Tous ces défauts peuvent se produire en raison d'événements externes ou internes à l'interrupteur. Un défaut de type circuit-ouvert ou court-circuit peut par exemple apparaître suite à :

- Un défaut du "driver",
- Une surintensité ou une surtension [Pie12], [Gal10] et [Lu09].

Le court-circuit est un dysfonctionnement très contraignant pour les semi-conducteurs de puissance [Lef03]. Les composants de puissance ont une aire de sécurité suffisante et sont capables de dissiper de façon transitoire et sur de très courtes durées des énergies très élevées. Si le régime de court-circuit est supporté par la grande majorité des modules IGBT et MOSFET, il n'est pas conseillé de rester dans cet état pendant un laps de temps excédant une dizaine de microsecondes [Mah04].

Par ailleurs, il est important de mentionner ici que la grande majorité des travaux publiés à ce jour étudient et proposent de nouvelles méthodes de détection de défaut de type circuit-ouvert pour des convertisseurs AC-AC ou AC-DC-AC alors que notre étude porte sur la conversion DC-DC.

La majorité des méthodes proposées pour les convertisseurs AC-AC ou AC-DC-AC conventionnels (à deux niveaux) utilisent les trois courants de phase du convertisseur triphasé afin de détecter le défaut. Pour toutes ces méthodes, la durée nécessaire à la détection d'un défaut est très dépendante de l'application ciblée mais reste de l'ordre de grandeur d'un cycle fondamental [Mas10], [Sle09], [Zid08] et [Dia05]. On peut trouver dans la littérature scientifique d'autres méthodes de détection plus rapides, nécessitant alors la mise en œuvre de capteurs de tension additionnels. L'ajout de ces capteurs permet d'augmenter très sensiblement la rapidité de la détection du défaut d'un interrupteur commandable. Lors de ses travaux de recherche portant sur la détection de défaut, Ribeiro a utilisé des capteurs permettant de mesurer les tensions dites "de pôle" : les performances obtenues par les méthodes étudiées garantissent la détection du défaut en un quart de cycle fondamental [Rib03]. Ces méthodes basées sur les tensions de pôle estimées et mesurées sont également détaillées dans les publications [Kim09] et [Tra12].

Récemment, une méthode nommée “model based” par ses auteurs, a été étudiée pour la détection d'un défaut de type “circuit ouvert” dans un bras de convertisseur à IGBT. Pour ce faire, la tension émetteur-collecteur des interrupteurs IGBT doit alors être observée [[An2011](#)]. Pour ce même type de convertisseur AC-AC ou AC-DC-AC, une autre approche basée sur l'observation de la tension de grille est proposée dans la publication [[Rod11](#)]. Dans ces deux cas, on peut noter que les méthodes de détection sont implantées de manière analogique.

Très récemment, l'étude de méthodes de détection de défauts pour des convertisseurs DC-DC a connu un fort intérêt, traduit par un nombre croissant de publications. Gonzales et *al* ont étudié le diagnostic de défaut pour une des topologies les plus largement utilisées dans le domaine des systèmes photovoltaïques (PV connecté au réseau électrique). Cette topologie se compose d'un convertisseur élévateur DC-DC et d'un onduleur de tension en pont complet. La méthode proposée pour détecter le défaut est basée sur une étude harmonique des courants de charge [[Gon11](#)]. Afin de réaliser la détection de défaut d'interrupteurs de type MOSFET, Kim et *al* ont quant à eux utilisé la forme d'onde du courant du bus continu pour un convertisseur dit Zero Voltage Switching (ZVS) en pont complet. La forme d'onde du courant du bus continu a été acquise via un transformateur de courant, au lieu d'un traditionnel capteur à effet Hall, plus onéreux. De plus, la méthode proposée a été validée lors d'un prototypage analogique. Le temps nécessaire à la détection de défaut est d'environ 130 ms [[Kim08](#)]. Nie et *al* ont quant à eux utilisé la forme d'onde de la tension aux bornes du composant magnétique (inductance ou transformateur) comme critère de diagnostic. Une transformation de Fourier rapide (FFT) a été utilisée pour extraire les caractéristiques de cette forme d'onde. Un réseau de neurones (Neural Network) a été mis en œuvre pour réaliser la classification des différents types des défauts possibles. Ils n'ont pas eu recours à des capteurs de tension additionnels car les signatures de tension requises peuvent être obtenues en ajoutant un bobinage ou en positionnant une sonde de champ magnétique à proximité du composant magnétique. Cette méthode a été expérimentée sur un convertisseur DC-DC de type "Phase Shift Full Bridge (PSFB)" en utilisant une cible numérique de type "Digital Signal Processing " DSP [[Nie10](#)].

Jayabalan et *al* ont quant à eux proposé une méthode de détection des différents types de défauts, au niveau d'une topologie constituée de deux convertisseurs abaisseurs DC-DC montés en cascade. Ces convertisseurs sont respectivement appelés "convertisseur source" et "convertisseur charge". Les défauts analysés sont de type "circuit ouvert" et "court-circuit", pouvant survenir soit au niveau de l'interrupteur commandable et/ou de la diode. Le type de défaut est détecté à partir des mesures de tension et de courant des convertisseurs. Pour ce faire, ils ont utilisé les informations issues des capteurs de courant et de tension déjà présents dans le système pour réaliser son contrôle, sans avoir besoin de capteur supplémentaire. Ainsi, en tenant compte de l'impact des défauts de chaque élément semi-conducteur sur les formes d'onde de la tension et du courant des convertisseurs "source" et "charge" et en utilisant également l'analyse fréquentielle, ils ont

pu identifier le type et la localisation du défaut. Pour cette méthode, le temps de détection est de l'ordre de 200 microsecondes [Jay06].

Pie et *al* ont proposé une méthode de diagnostic en quatre étapes pour détecter un défaut de type circuit-ouvert de l'un des interrupteurs commandables d'un convertisseur DC-DC isolé en pont complet. Cette méthode de détection de défaut utilise la tension côté primaire du transformateur isolant du convertisseur comme critère de détection. Cette tension primaire peut être obtenue facilement en ajoutant un enroulement auxiliaire au transformateur isolant. Les auteurs proposent de comparer la valeur de la tension primaire du transformateur avec une table de valeurs estimées en fonction d'un éventuel interrupteur défectueux. Cette approche permet la localisation précise du défaut. Après localisation de l'interrupteur défaillant, le convertisseur en pont complet est reconfiguré en un convertisseur en demi-pont asymétrique (Asymmetrical Half-Bridge (AHB)) pour garantir la continuité de service. Le temps de détection et de reconfiguration du convertisseur est légèrement supérieur à 20 millisecondes. Selon les auteurs, cette méthode a pour avantage majeur son faible coût, associé à une grande fiabilité et à une conception simple [Pei12].

Dans [Par11], la défaillance d'un des interrupteurs commandables d'un convertisseur survolteur est examinée. La valeur du courant traversant l'inductance est échantillonnée deux fois par période de commutation lorsque l'interrupteur commandable est ouvert et fermé. Lors des périodes qui suivent l'apparition du défaut, dans un cas de défaut de type circuit-ouvert, la valeur du courant diminue graduellement alors que dans le cas d'un court-circuit, elle augmente graduellement. En respectant les trois dernières valeurs échantillonnées du courant dans l'inductance le défaut peut être donc détecté. Dans cette méthode, un capteur de courant additionnel est nécessaire et le temps de la détection est moins de deux périodes de fonctionnement.

Une méthode de détection de défaut pour un convertisseur DC-DC à trois niveaux est également présentée dans [She12]. Elle est basée sur la surveillance de la tension flottante aux bornes du condensateur (flying capacitor). Dans cet article, les différentes formes de déséquilibre de la tension aux bornes du condensateur sont classées et illustrées en détail, selon leurs causes probables avec la solution adaptée à mettre en œuvre suivant les cas. Les auteurs précisent les avantages de cette méthode que nous résumons ici :

- Aucun ajout de composant supplémentaire sur l'étage de puissance, pas de capteur de courant supplémentaire et donc aucun impact sur le fonctionnement normal du convertisseur et ses performances;
- Capacité à détecter des défauts multiples;
- Temps de réponse rapide, critère essentiel dans la protection contre les court-circuits;

- Faible coût et mise en œuvre facile.

Izadian et Khayyer ont tous deux utilisé un filtre de Kalman pour modéliser un convertisseur DC-DC élévateur, en vue de la détection de défaut. La méthode présentée détecte le défaut en comparant les valeurs de sortie prévues par le modèle du filtre de Kalman avec celles issues du système réel. L'avantage de la modélisation des circuits électroniques de puissance à l'aide d'un filtre de Kalman est la capacité d'inclure les perturbations au niveau des modèles mathématiques. La fréquence de commutation et les harmoniques générés dans les dispositifs d'électronique de puissance peuvent ainsi être pris en compte afin d'améliorer la performance du diagnostic de pannes [Iza10].

Dans la littérature récente, une nouvelle méthode de détection de défaut a été proposée par Nie et *al.* [Nie14] et [Che11]. Elle repose sur la mesure de la tension aux bornes des composants magnétiques. Dans [Nie14] et [Che11], la tension des composants magnétiques est mesurée à l'aide d'un enroulement additionnel ; cette mesure est ensuite utilisée pour la détection de défaut qui est effectuée par un circuit analogique. Cette méthode de détection de défaut présente l'avantage d'un coût relativement faible, l'ensemble étant réalisé par un circuit analogique. Elle permet de détecter le défaut très rapidement, en moins d'une période de découpage [Nie14]. Toutefois, cette méthode nécessite un circuit additionnel spécifique.

La méthode précédente peut être adaptée aux structures constituées de convertisseurs en parallèle. Par exemple, dans [Rib14], les auteurs proposent de modifier la méthode de détection de défaut, alors appliquée à une structure de convertisseurs Boost entrelacés. Les modifications apportées dans [Rib14] permettent l'utilisation d'un capteur de courant unique pour le diagnostic des Boost entrelacés.

Afin de résumer les avantages des différentes méthodes de la détection de défaut au niveau d'un interrupteur commandable, ces dernières ont été comparées et consignées dans le Tableau 2-1 (T_{sw} est la période de commutation, "lent" signifie que le temps nécessaire à la détection est égal à plusieurs périodes de commutation, "*" signifie que le temps de détection n'est pas certain).

Tableau 2-1 : Comparaison des méthodes de détection de défauts [Nie14].

Méthode	Paramètre utilisé pour la détection	Application	Temps de détection
Inductor current slope	Inductor current [Sha13], [Par11]	Non-isolated single-switch	$< 2T_{sw}$
Active phase shift	Transformer primary voltage [Pie12]	Zvs full-bridge converter	lent
DC-link current	DC-link current [Kim08]	ZVS full-bridge converter	lent
Voltage error analysis	Output dc-link capacitor voltage [Rib13]	Three-level boost converter	*
Flying capacitor voltage	Flying capacitor voltage [She12]	Half-bridge three-level converter	*
FFT and neural network	Magnetic near field [Che11]	Most converters	lent
Time and voltage criterion	Magnetic component voltage [Nie14]	Most PWM converters	$< 1T_{sw}$

Les travaux présentés dans cette section du mémoire reposent sur une expertise des laboratoires GREEN et IJL de l'Université de Lorraine, dans le domaine de la sûreté de fonctionnement des systèmes électriques. Ils s'inscrivent dans la continuité des travaux de recherche menés sur ce sujet depuis 2006. En effet, trois thèses ont déjà été soutenues sur ce thème de la tolérance de pannes de convertisseurs AC-DC-AC [Kar09T], [Gai10T] et [Sha12T]. Lors de ces précédentes recherches, il a notamment été proposé de nouvelles méthodes de détection de défaut, rapide et robuste vis à vis des commutations et des perturbations, dans le cas de la conversion AC-DC-AC. Ces méthodes ont été validées sur une plateforme expérimentale à base de composants reconfigurables à logique câblée, de type FPGA. Elles reposent sur l'observation des tensions du convertisseur AC-DC-AC dites tensions "de pôles" et intègrent deux critères de décision :

- L'erreur entre tensions de pôles estimées et mesurées (critère "tension") ;
- La durée pendant laquelle l'erreur de tension persiste (critère "temporel").

L'avantage de ces méthodes, outre la rapidité de la détection du défaut (quelques dizaines de microsecondes, notamment grâce à la mise en œuvre de FPGA), est qu'elles sont utilisables pour tout type d'interrupteurs commandables [Kar09T], [Kar09], [Kar08], [Sha11] et [Sha12].

Il est important de préciser ici que les travaux portant sur la détection de défauts pour la conversion DC-DC ont été initiés dans le cadre de cette thèse, également dans le contexte d'une collaboration entre les laboratoires GREEN et IJL. Ils s'inscrivent assurément dans la continuité des thèses précédemment soutenues, mais leur innovation majeure porte sur l'étude et la validation expérimentale de nouvelles méthodes de détection de défaut, spécifiquement adaptées au cas de la conversion DC-DC, tout en s'affranchissant de la mise en œuvre de capteurs additionnels. Ainsi, dans la suite de ce mémoire, nous proposons une nouvelle méthode générale de détection de défaut pour la conversion DC-DC non isolée, basée sur deux algorithmes permettant de détecter tout défaut de type circuit-ouvert (DCO) ou de type court-circuit (DCC) survenant au niveau de l'interrupteur commandable. Les deux algorithmes sont basés sur l'observation de la forme d'onde du courant traversant l'inductance. Le premier algorithme sera noté DF1 dans la suite de ce mémoire. Nous mentionnons dès à présent que cet algorithme est très rapide mais sa robustesse n'est pas satisfaisante si :

1. Le rapport cyclique est petit ($d \approx < 25\%$) et nous sommes en présence d'un DCO,
2. Le rapport cyclique est grand ($d \approx > 75\%$) et nous sommes en présence d'un DCC.

Le deuxième algorithme proposé (DF2) est robuste et détecte efficacement tout type de défauts dans toutes les conditions. Par contre, il n'est pas aussi rapide que DF1.

En plus d'une méthode de détection de défaut très rapide, un convertisseur à tolérance de pannes ("fault tolerant") est nécessaire afin d'éviter toute discontinuité et tout transitoire indésirable lors de l'apparition d'un défaut au niveau d'un interrupteur commandable. Dans ce mémoire nous avons proposé un convertisseur à tolérance de pannes qui inclut un interrupteur redondant, mutualisé avec le convertisseur DC-DC par le biais d'un interrupteur bidirectionnel (triac). La reconfiguration du système après la détection du défaut, dépend du type de défaut. Dans le cas d'un défaut de type circuit ouvert, l'interrupteur défectueux peut être remplacé par l'interrupteur redondant immédiatement après la déclaration de défaut. En revanche, dans le cas d'un défaut de type court-circuit survenant au niveau d'un interrupteur, il est nécessaire d'attendre que l'interrupteur défectueux soit physiquement isolé du système (par un élément de protection, un fusible par exemple) avant d'activer l'interrupteur redondant.

Ces deux algorithmes et la topologie à tolérance de pannes sont présentés en détail dans les sections suivantes.

2.3.2 Algorithme de détection de défaut DF1

Cet algorithme est basé sur le principe suivant (Voir Figure 2-2) : en mode de fonctionnement normal, lorsque l'interrupteur commandable SW est fermé, le courant à travers l'inductance (i_L) accroît alors que lorsque ce même interrupteur est ouvert, le courant i_L décroît (Figure 2-2 (c)). Si nous supposons les interrupteurs idéaux, on peut alors conclure que dans des conditions normales de fonctionnement (sans défaut), le signe

de la pente du courant i_L change simultanément avec l'ordre de commande de l'interrupteur SW . En pratique, notamment en raison des effets de la commutation et des temps morts du driver de SW , il y a un retard T_d entre le changement d'ordre de commande de l'interrupteur SW et son changement effectif d'état.

La Figure 2-3 présente le schéma de principe de l'algorithme de détection DF1. Le signal δ représente l'ordre de commande de l'interrupteur SW , caractérisant ainsi son état théorique, sans la présence de défaillance. Nous avons estimé le signe théorique de la pente du courant (i_L) selon l'état de l'interrupteur SW : celui-ci est positif pendant la durée de fermeture de l'interrupteur et est négatif sur le reste de la période de commutation, soit pendant une durée égale à $(1-d)T_{sw}$. Ce signe est noté S_q . Il est le signe de la variable q , définie par :

$$q = \delta - 0,5 \quad (2-1)$$

Afin d'estimer la pente du courant réel traversant l'inductance, le courant mesuré i_L doit être traité par un bloc de dérivation. Nous rappelons ici qu'il n'est pas utile de connaître la valeur exacte de di_L/dt , mais seulement son signe, noté $S_{diL/dt}$. Ainsi, nous pouvons utiliser une méthode simple et efficace afin que le processus de détection de défaut ne soit pas trop complexe et ne nécessite pas un temps de traitement trop important, au détriment des performances temporelles de la méthode de détection. Pour ce faire, nous comparons à chaque instant d'échantillonnage la valeur mesurée du courant traversant l'inductance avec la valeur mesurée précédemment, n périodes d'échantillonnage avant (Figure 2-3). La période d'échantillonnage est notée T_C . Le choix de la valeur du paramètre n sera expliqué et justifié dans la partie expérimentale exposée à la section 2.4.7.1. A partir de ces deux valeurs échantillonnées du courant i_L , on peut alors en déduire le signe de di_L/dt : si i_L augmente, $S_{diL/dt}=1$ et si i_L diminue $S_{diL/dt}=-1$. Si les signaux S_q et $S_{diL/dt}$ ont même valeur, on peut conclure que le système est en mode de fonctionnement normal, sinon il y a un défaut. Le signal d'erreur err est ainsi obtenu en comparant les deux signaux S_q et $S_{diL/dt}$. Il est égal à '1' lorsque les pentes estimée et obtenue à partir des mesures du courant (i_L) sont différentes. S'il n'y a pas de défaillance de l'interrupteur SW , les deux signaux S_q et $S_{diL/dt}$ auront la même valeur, et le signal err sera alors égal à '0'. On peut donc écrire :

$$\begin{aligned} \text{Conditions normales : } S_{\frac{diL}{dt}} = S_q &= \begin{cases} 1 & t \in [0, dT_{sw}[\\ -1 & t \in [dT_{sw}, T_{sw}[\end{cases} \implies err = 0 \\ \text{Conditions anormales : } S_{\frac{diL}{dt}} \neq S_q & \implies err = 1 \end{aligned} \quad (2-2)$$

En pratique, en fonctionnement normal, le signal err passe à '1' durant les commutations de SW et lors du temps mort imposé par le driver. Ainsi, le signal instantané err est constitué de pics. Il est donc nécessaire de proposer un moyen pour éviter d'interpréter comme des défaillances les pics observés lors des commutations. Sur la base des méthodes de détection développées lors de précédents travaux de thèse et de

leurs validations expérimentales, nous avons mis en œuvre un critère temporel supplémentaire permettant d'effectuer le «filtrage» de ces pics au niveau de leurs interprétations par l'algorithme de détection [Kar09T], [Kar09], [Sha11] et [Sha12T].

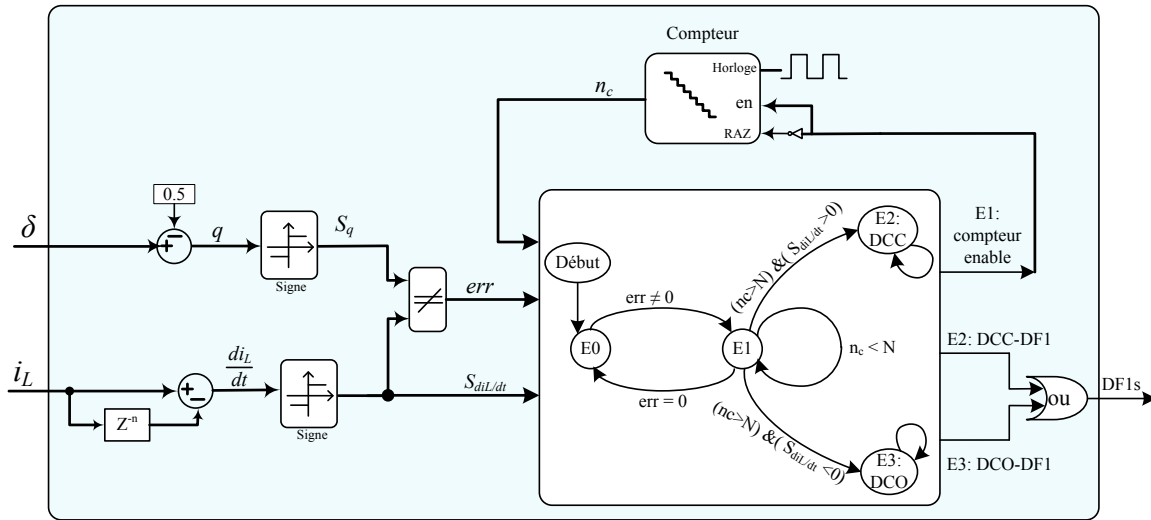


Figure 2-3 : Principe de l'algorithme de détection DF1.

Notre méthode étant destinée à être implémentée numériquement, nous proposons d'estimer la durée pendant laquelle le signal err est égal à '1' (en conditions normales de fonctionnement, cette durée est notée T_d à la Figure 2-4). Un compteur, représenté à la Figure 2-3, permet d'établir cette durée, quantifiée en "nombre de périodes d'échantillonnage T_c " et notée n_c . Lorsque le signal err est égal à '1', la sortie n_c du compteur s'incrémente à chaque front montant d'horloge (front actif). La valeur de n_c est remise à zéro après chaque front descendant du signal err . Le signal n_c ainsi obtenu est un signal de type "dent de scie". La valeur maximale atteinte est directement liée à deux grandeurs : la durée pendant laquelle le signal err est égal à '1' (durée T_d , Figure 2-4) et la valeur de T_c ($n_c = T_d / T_c$).

Ensuite, le signal n_c est comparé avec sa valeur seuil notée N . Ce seuil doit être supérieur à la valeur maximale de n_c lors du fonctionnement normal du convertisseur. Dans la pratique, le choix de N dépend des spécifications des composants utilisés, en particulier des temps morts imposés par le driver. Le choix du paramètre N sera plus précisément expliqué et justifié à la section 2.4.7. En mode de fonctionnement normal, sans défaillance, on doit donc avoir :

$$T_d < NT_c \quad (2-3)$$

Le signal err est "constamment surveillé" : cela signifie que l'algorithme de détection de défaut doit être exécuté en parallèle de l'algorithme de contrôle/commande du convertisseur. Si ce signal err reste à l'état '1' pendant une durée supérieure à NT_c , on

conclut à la présence d'une défaillance. A la Figure 2-3, nous pouvons visualiser la représentation schématique de la machine à 4 états (E_0 à E_3) qui a été mise en œuvre lors de la détection de défaut par l'algorithme DF1. Cette machine est dotée de deux sorties ($DCC-DF1$ et $DCO-DF1$), de trois entrées n_c , err et $S_{diL/dt}$, d'une entrée d'horloge et d'une entrée de remise à zéro (RAZ) pour la réinitialisation. Les signaux d'erreur $DF1s$, $DCC-DF1$ et $DCO-DF1$ en sorties du module de détection de défaut, sont ensuite utilisés pour assurer la continuité de service du convertisseur en reconfigurant sa topologie et/ou son contrôle/commande. Cette étape sera l'objet de la section 2.5.1.

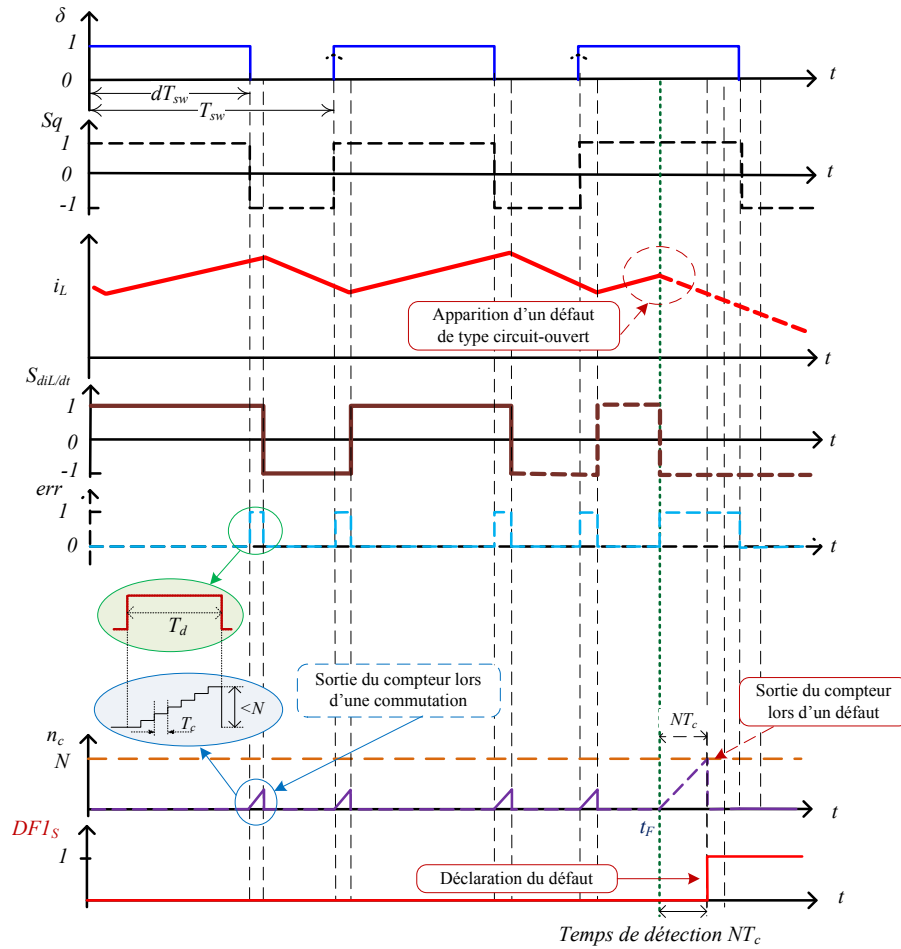


Figure 2-4 : Détection d'un défaut de type circuit-ouvert par DF1.

Ainsi, grâce à l'utilisation simultanée d'un "critère temporel" et d'un "critère basé sur la forme d'onde du courant traversant l'inductance" (Figure 2-3), les deux types de défauts DCC et DCO de l'interrupteur commandable SW peuvent être détectés. Les Figures 2-4 et 2-5 présentent respectivement les formes d'ondes des principaux signaux obtenus pour l'algorithme de détection DF1, en présence d'un DCO et d'un DCC. Ces Figures illustrent le fait que notre algorithme écarte toutes fausses détections de défauts suite aux commutations de SW . De plus, nous sommes capables de détecter les deux types de défaut (DCC et DCO) en quelques dizaines de microsecondes, sachant que la durée exacte nécessaire à la détection du défaut est choisie et fixée lors du choix de la valeur du seuil

N. En effet, l'implémentation de notre algorithme sur une cible numérique de type logique câblée (FPGA en l'occurrence) permet de réaliser cette détection en temps réel, compte tenu des fréquences d'échantillonnage élevées qui peuvent être atteintes sur ce type de cibles numériques. Ce choix d'implémentation sera discuté et justifié à la section 2.4.2.

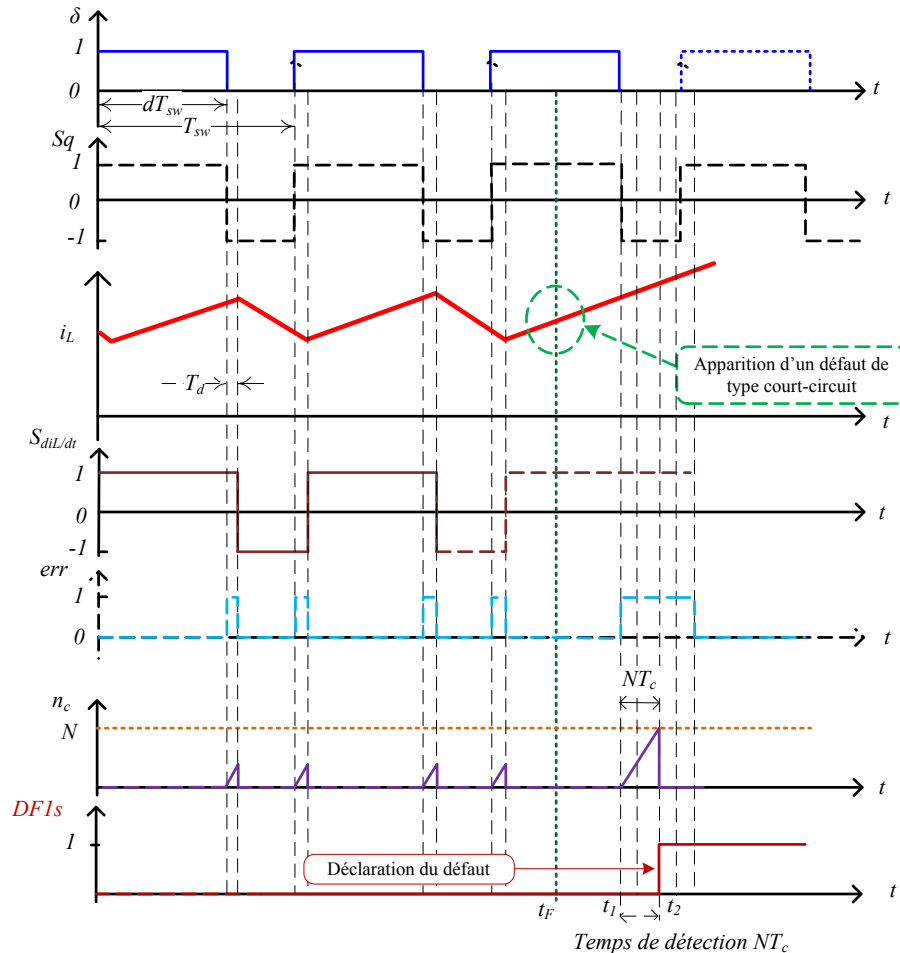


Figure 2-5 : Détection d'un défaut de type court-circuit par DF1.

Il faut noter qu'à la Figure 2-5, dans le cas d'un défaut de type DCC, le convertisseur fonctionne en mode normal (vu du convertisseur) de l'instant t_F à l'instant t_I , même si le défaut de type DCC apparaît à l'instant t_F . En effet, même si le défaut DCC affecte l'interrupteur SW , la forme d'onde du courant (i_L) est conforme à un fonctionnement normal du convertisseur, tant que l'ordre de commande de SW ne passe pas à '0'. Le signal err reste donc égal à zéro aussi longtemps que le signal δ reste égal à '1'. Dès que δ passe à '0', le signal err commence à croître car le courant i_L continue à augmenter, mais cette fois anormalement. Ainsi, la durée de détection reste toujours est égale à $N.T_C$, même si le défaut de type DCC apparaît à l'instant t_F .

Comme nous l'avons expliqué auparavant, l'algorithme de DFI est très rapide et peut, dans certains conditions, détecter un défaut, après son apparition, en N périodes d'échantillonnage, correspondant à une durée (NT_c). Cependant, le temps de détection

d'un défaut par *DFI* dépend de plusieurs paramètres tels que la fréquence de commutation du convertisseur et son rapport cyclique. Ces paramètres peuvent alors dégrader les performances temporelles de l'algorithme *DFI* dans certaines conditions, explicitées ci-après. Dans les sections suivantes et dans un premier temps, nous analyserons en détail le processus de détection d'un défaut de type DCO par cet algorithme *DFI*. Plusieurs cas de défaut DCO peuvent se produire, selon l'instant d'apparition du défaut au cours de la période de commutation du convertisseur. Nous allons les étudier séparément ci-après.

2.3.2.1 Premier cas : le DCO apparait pendant la durée T_d suite à la fermeture de *SW*

Considérons le cas où le défaut DCO apparait pendant la durée T_d suivant la fermeture de *SW*. Dans ce cas, il n'est pas assuré que le défaut puisse être détecté pendant la période de commutation au cours de laquelle il est survenu. La durée T_d représente ici la durée pendant laquelle la présence d'un signal *err* égal à '1' n'est pas interprétée comme une défaillance du convertisseur (filtrage par le critère temporel expliqué auparavant).

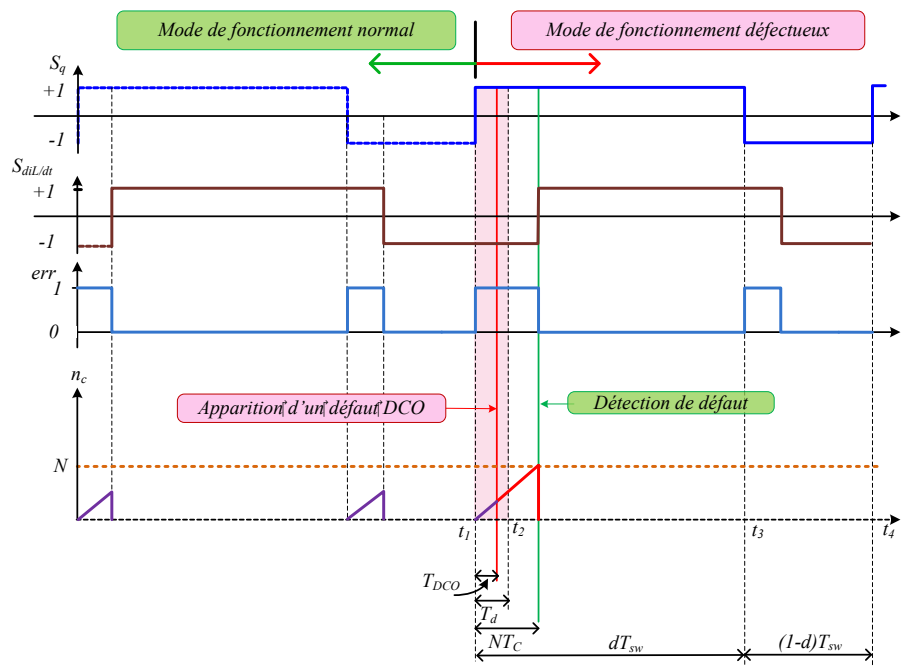


Figure 2-6 : Algorithme DF1 : détection effective d'un DCO dans l'intervalle $[t_1, t_2]$.

La Figure 2-6 représente le cas où le défaut DCO apparait pendant la durée T_d et peut être détecté avant que l'ordre de commande de *SW* ne passe à '0'. Les principaux signaux de *DFI*, liés à la détection, sont présentés sur cette même Figure 2-6, sur deux périodes de commutation. La première période illustre le fonctionnement normal du convertisseur. Le défaut DCO apparaît lors de la seconde période de commutation, une durée notée T_{DCO} après le passage à '1' de l'ordre de commande de *SW* (cas où $T_{DCO} < T_d$).

La Figure 2-7 illustre le cas où le défaut DCO apparait pendant la durée T_d et ne peut pas être détecté avant que l'ordre de commande de *SW* ne passe à '0'. Dans ce cas, le

compteur de DFI n'a pas encore atteint le seuil N lorsque SW est commandé à l'ouverture.

Dans le premier cas présenté ici et pour lequel l'apparition d'un DCO a eu lieu dans l'intervalle de temps $[t_1, t_2]$ de durée T_d (voir Figure 2-6), le défaut sera détecté par DFI pendant la période de commutation lors de laquelle il est survenu, si la condition temporelle suivante est satisfaite :

$$dT_{sw} > NT_c \quad (2-4)$$

Si cette condition (2-4) est vérifiée, en raison du retard dû à la commutation de SW , le compteur a déjà commencé à compter pendant une durée T_{DCO} avant l'apparition du défaut DCO. Ainsi, l'algorithme DFI peut détecter très rapidement ce DCO, le temps de détection étant alors inférieur à NT_c et égal à $(NT_c - T_{DCO})$.

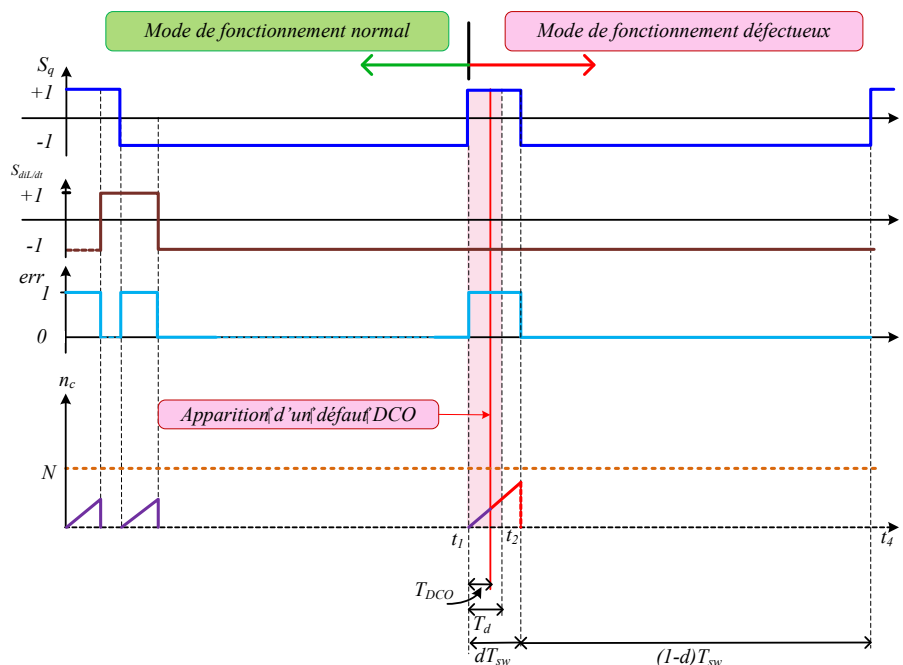


Figure 2-7 : Algorithme DFI : détection infructueuse d'un DCO au cours de sa période d'apparition alors qu'il apparaît dans l'intervalle $[t_1, t_2]$.

Si la condition (2-4) n'est pas vérifiée en raison d'un rapport cyclique trop petit et/ou d'une fréquence de commutation du convertisseur trop élevée, le défaut DCO ne pourra pas être détecté pendant la période de commutation lors de laquelle il est survenu. Ce cas est illustré par la Figure 2-7. Néanmoins, ce défaut pourra être détecté quand les conditions de fonctionnement du convertisseur le permettant mais il n'est alors pas possible de quantifier le temps de détection qui dépend alors de l'évolution temporelle des ordres de commande imposés par le contrôleur (fréquence de commutation et rapport cyclique).

2.3.2.2 Deuxième Cas : le défaut DCO apparait après une durée T_d suite à la fermeture de SW et une durée NT_c avant l'ordre d'ouverture de SW

Considérons maintenant un second cas pour lequel le défaut de type DCO apparait après une durée T_d suite à la fermeture de SW. Deux cas sont alors possibles :

- soit le défaut apparait au moins NT_c avant l'ordre d'ouverture de SW et il est alors détecté pendant la période de commutation lors de laquelle il est survenu (Figure 2-8);
- dans le cas contraire, le compteur de DFI n'a pas encore atteint le seuil N lorsque SW est commandé à l'ouverture : ainsi, le défaut DCO ne peut pas être détecté pendant la période de commutation lors de laquelle il est survenu (Figure 2-9). Néanmoins, ce défaut pourra être détecté si les futures conditions de fonctionnement du convertisseur le permettent mais il n'est alors pas possible de quantifier le temps de détection qui dépend alors de l'évolution temporelle des ordres de commande imposés par le contrôleur (fréquence de commutation et rapport cyclique). La Figure 2-9 illustre un cas pour lequel le DCO peut être détecté lors de la période suivant celle de l'apparition du DCO.

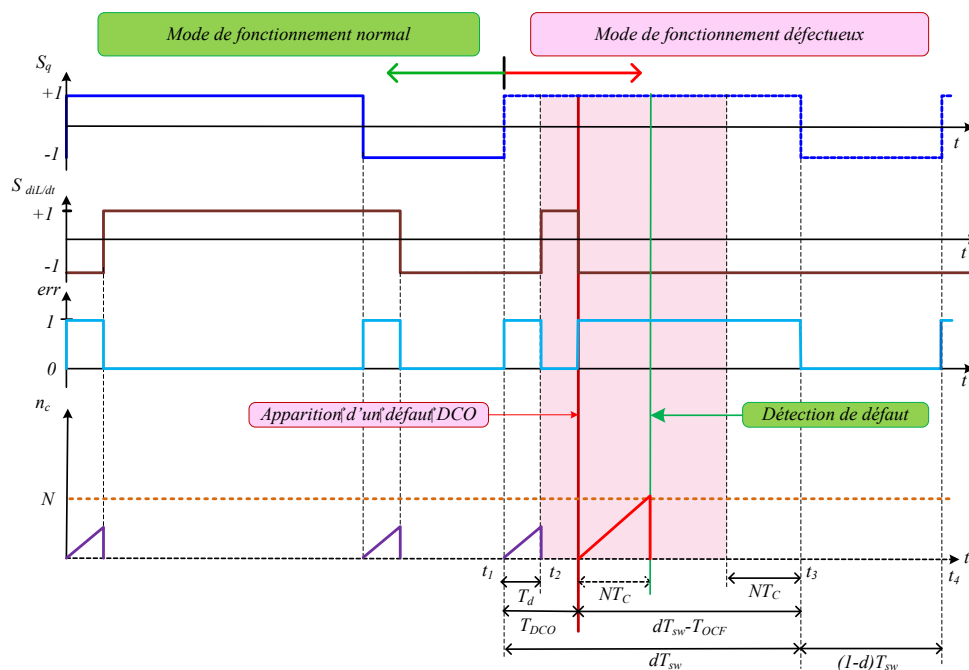


Figure 2-8 : Algorithme DFI : détection effective d'un DCO dans l'intervalle $[t_2, t_3-NT_c]$.

Dans ce second cas, le défaut peut être détecté par DFI pendant la période de commutation lors de laquelle il est survenu, si la condition suivante est satisfaite :

$$(dT_{sw} - T_{DCO}) > NT_c \quad (2-5)$$

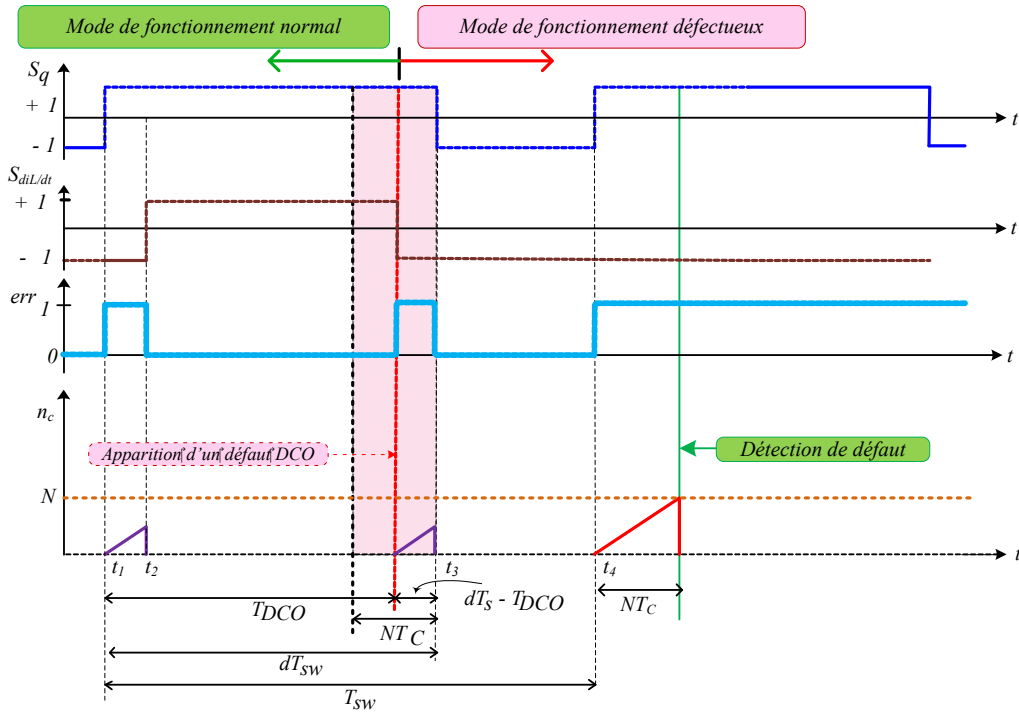


Figure 2-9 : Algorithme DF1 : détection du DCO lors de la période de fonctionnement suivant celle de son apparition.

2.3.2.3 Synthèse des deux cas précédents dans le cas d'un DCO

Nous pouvons quantifier les limites de l'algorithme *DFI* pour la détection d'un DCO pendant la période de commutation lors de laquelle il est survenu par les trois équations ci-après :

$$NT_c > T_d \quad (2-6)$$

$$T_{DCO} < dT_{sw} - NT_c \quad (2-7)$$

$$dT_{sw} > NT_c \quad (2-8)$$

Ces trois critères doivent être simultanément satisfaits pour que *DFI* puisse effectivement détecter un DCO pendant la période de commutation lors de laquelle il est survenu. Lorsque le défaut apparaît dans l'intervalle $[t_1, t_2]$ avec $T_{DCO}=T_d$, le temps minimal de détection peut alors être aussi réduit que :

$$t_{det_{min}} = NT_c - T_d \quad (2-9)$$

Si le défaut peut être détecté lors de la période de commutation suivant celle de l'apparition du défaut, le temps de détection total est à sa valeur maximale quant la

défaillance survient à $T_{DCO}=t_3-(N-1)T_C$. Dans ce cas, si l'algorithme *DFI* détecte le défaut à la période de commutation suivante, le temps de détection sera égal à $(N-1)T_C + (1-d)T_{sw} + NT_C$. Cette valeur est maximale pour $dT_{sw}=NT_C$ et la durée maximale de détection est de :

$$t_{det,max} = T_{sw} + (N-1)T_C \quad (2-10)$$

Notons que le temps maximum de détection dépend de l'évolution de T_{sw} (période de commutation), de la période d'échantillonnage T_C et de la valeur de N .

2.3.2.4 Généralisation au cas d'un DCC

Une analyse similaire à celle présentée et détaillée lors des précédentes sections a été menée dans le cas d'un défaut de type DCC. Selon la même approche, on peut conclure que dans le cas d'un DCC, l'algorithme *DFI* peut détecter le défaut avec succès, pendant la période de commutation lors de laquelle il est survenu, que si les trois conditions suivantes sont simultanément satisfaites :

$$NT_c > T_d \quad (2-11)$$

$$T_{DCC} < (1-d)T_{sw} - NT_c \quad (2-12)$$

$$(1-d)T_{sw} > NT_c \quad (2-13)$$

De plus, les expressions théoriques des temps minimum et maximum de détection sont les mêmes pour un DCO que pour un DCC.

2.3.2.5 Détection sans succès par *DFI* lorsque d'un défaut (DCO ou DCC)

Les analyses précédentes ont permis de détailler le fonctionnement de l'algorithme *DFI*. Nous avons notamment quantifié les critères nécessaires pour que *DFI* détecte avec succès un défaut (DCC ou DCO), pendant la période de commutation au cours de laquelle il est survenu. Si ces critères ne sont pas entièrement satisfaits, la détection de défaut ne sera pas possible lors de la période de fonctionnement concernée. De plus, il est alors impossible de quantifier le temps nécessaire pour détecter le défaut après son apparition ; cette durée est en effet liée aux évolutions du rapport cyclique et de la fréquence de commutation, imposées par le contrôleur. La détection du défaut peut même être parfois impossible. Par exemple, si un convertisseur fonctionne avec une faible valeur de rapport cyclique (d) ou lors d'un découpage à haute fréquence, les critères précédemment établis peuvent ne pas pouvoir être satisfaits.

La Figure 2-10 illustre l'impossibilité de détecter un circuit-ouvert car le rapport cyclique est trop faible : le compteur ne peut jamais atteindre sa valeur seuil N car la

valeur de S_q change rapidement, après une courte durée de valeur dT_{sw} , et le signal err revient à '0' avant même que le seuil N n'ait été atteint.

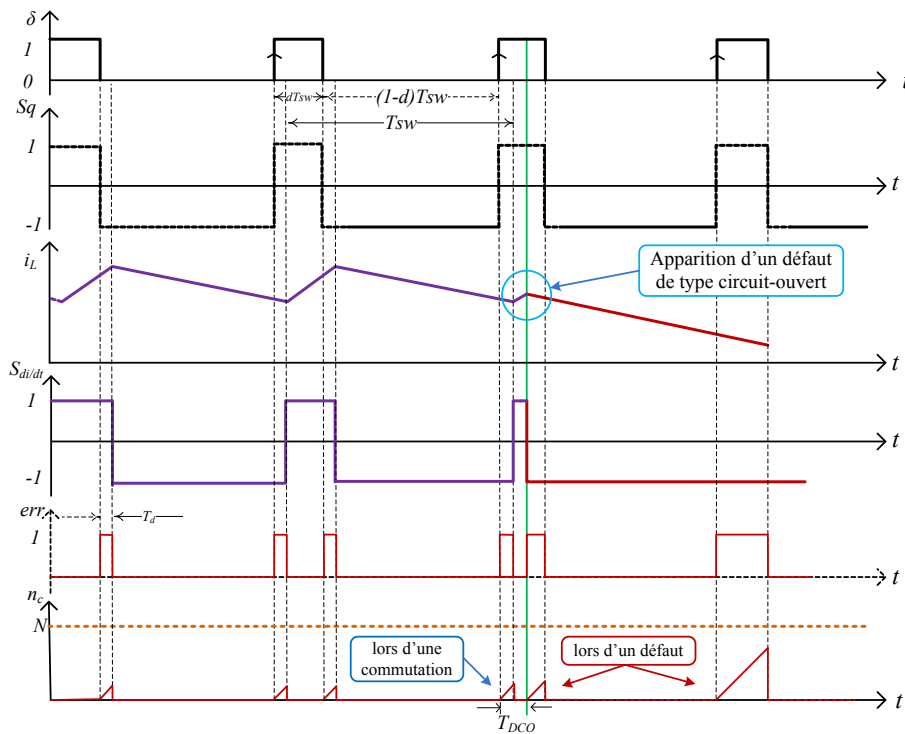


Figure 2-10 : Détection infructueuse par *DFI* lors d'un *DCO* (valeur faible de d).

De même, dans le cas d'un défaut de type DCC, les critères établis précédemment ne peuvent pas être satisfaits dans le cas d'une valeur élevée du rapport cyclique d ou lors de découpage à haute fréquence. L'un de ces cas est illustré à la Figure 2-11 : l'algorithme *DFI* ne parvient pas à détecter le défaut car le rapport cyclique d est trop élevé.

L'algorithme *DFI* que nous venons de proposer et de détailler permet d'atteindre des performances temporelles très élevées quant au temps de détection d'un défaut de type DCO ou DCC. Néanmoins, dans certaines conditions exposées précédemment, on ne maîtrise pas le temps de détection qui peut alors être variable selon l'évolution des ordres de commande imposés par le contrôleur. Dans certains cas rappelons que, la détection peut même être impossible pendant une longue durée si le rapport cyclique reste faible lors d'un DCO ou si la fréquence de commutation reste élevée lors d'un DCC.

Pour toutes ces raisons et afin de pouvoir garantir une détection fiable en temps réel, lors d'un DCO ou d'un DCC et afin de maîtriser le temps de détection, indépendamment de la commande imposée par le contrôleur, nous proposons à la section suivante d'associer à *DFI* un second algorithme de détection de défaut qui sera noté *DF2*. Ce dernier permettra de détecter tout défaut dans tous les cas possibles mais ne sera pas aussi rapide que l'algorithme *DFI*, lorsque ce dernier permettait de détecter le défaut pendant la période de commutation lors de laquelle il était survenu.

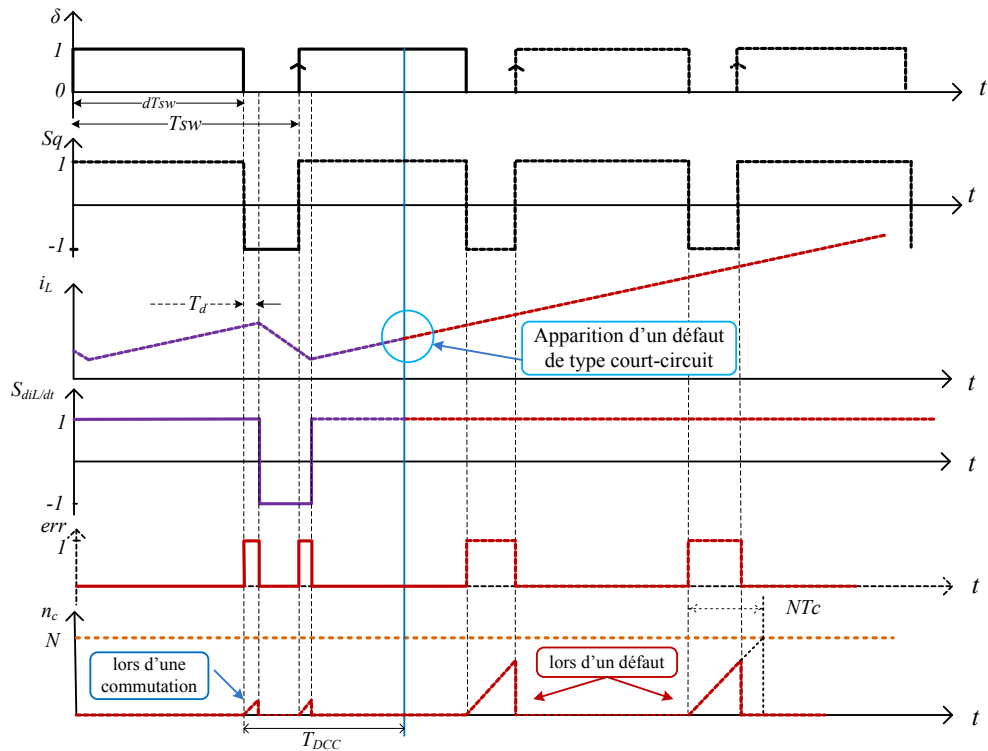


Figure 2-11 : Détection infructueuse par DF1 lors d'un DCC (valeur élevée de d).

2.3.3 Algorithme de détection de défaut DF2

Comme nous l'avons expliqué précédemment, il existe deux phases de fonctionnement (en mode CCM) pour la famille des convertisseurs non isolés ici étudiée. Lors de la première phase de la période de fonctionnement, le courant à travers l'inductance augmente alors qu'il diminue lors de la seconde phase. C'est également sur ce constat qu'est basé le principe de l'algorithme *DF2*. Nous avons alors construit la détection proposée sur un signal appelé *Trig*. Ce signal est constitué d'une série d'impulsions de courte durée (égale à T_C), égales à '1' et générées en début de chaque période de fonctionnement, lors du passage à '1' du signal δ . Ces impulsions sont en effet synchrones avec le passage à '1' de l'ordre de commande de l'interrupteur commandable *SW*. Ceci est illustré par la Figure 2-12. Suite à chaque impulsion du signal *Trig*, le courant dans l'inductance doit alors croître, puis ensuite décroître. Si ce courant i_L est toujours croissant ou décroissant entre les deux pulses du signal *Trig*, on peut en conclure qu'un défaut s'est produit.

La Figure 2-13 est la représentation schématique de la machine à 5 états (E_0 à E_4) qui a été mise en œuvre lors de la détection de défaut par l'algorithme *DF2*. Cette machine est dotée d'une sortie (*DF2s*), de deux entrées *Trig* et $S_{diL/dt}$, d'une entrée d'horloge (Horloge) et d'une entrée de remise à zéro (*RAZ*) pour la réinitialisation.

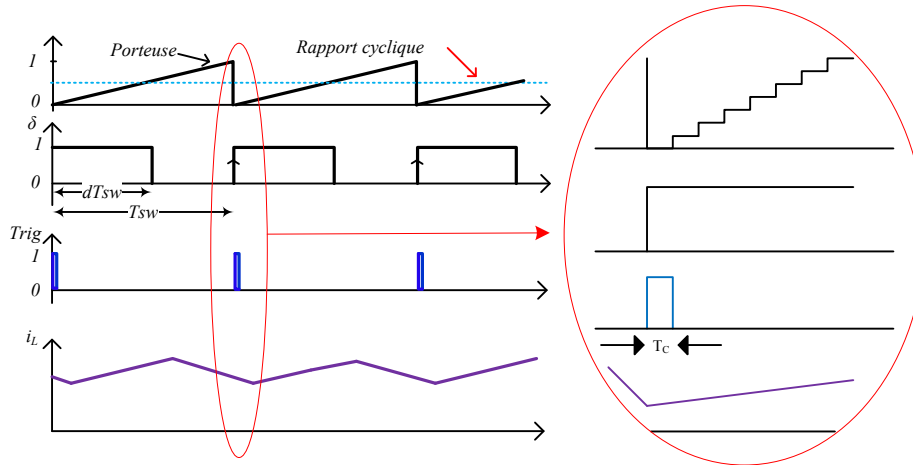


Figure 2-12 : Génération du signal Trig.

A l'état initial E_0 , le signal de sortie $DF2s$ est positionné à l'état '0', traduisant ainsi l'absence de défaut. De même, le signal RAZ est positionné à l'état '0'. La machine à états reste dans cet état E_0 tant que le signal δ n'est pas passé de '0' à '1'.

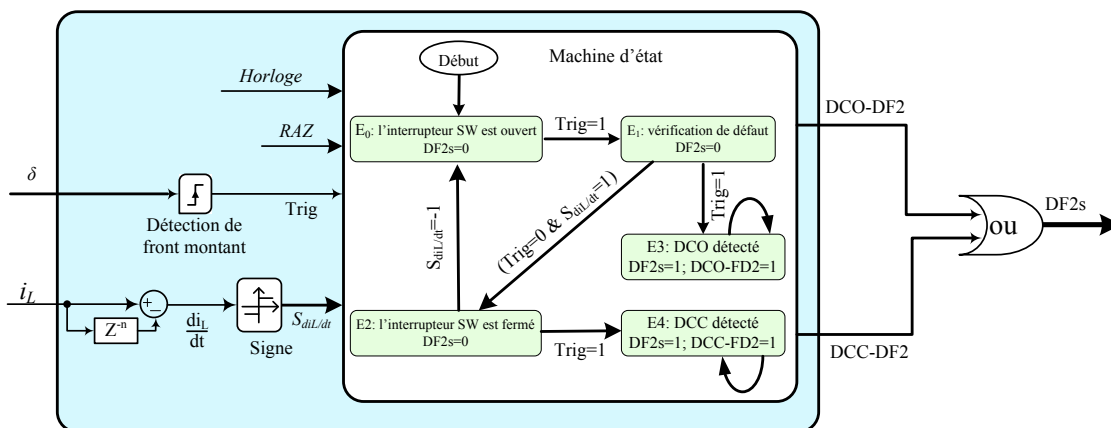


Figure 2-13 : Algorithme de détection de défaut DF2.

La fermeture de SW (passage de '0' à '1' du signal δ) fait passer de '0' à '1' le signal Trig. Ce front montant de Trig fait alors passer la machine d'états de l'état E_0 à l'état E_1 . Nous sommes alors entrés en phase de détection de défaut et trois transitions sont possibles :

1. Si aucune défaillance n'est survenue lors de la fermeture de SW , cet interrupteur est donc effectivement fermé : le courant i_L augmente et $S_{diL/dt}=1$. Une fois le signal Trig égal à '0', on passe à l'état E_2 sur front d'horloge actif (ici front montant).
2. Si un défaut de type DCO est survenu, le courant i_L commence à décroître et on a $S_{diL/dt}=-1$. Cette condition ne permet pas de sortir de l'état E_1 . Nous devons alors attendre la prochaine pulsation de Trig pour passer à E_3 et pouvoir conclure avec certitude quant à la présence d'un défaut.

3. Si un défaut de type DCC est apparu, l'interrupteur SW est bloqué à l'état fermé. Néanmoins, le courant i_L augmente apparemment normalement et $S_{diL/dt}=1$: on passe alors à l'état E_2 .

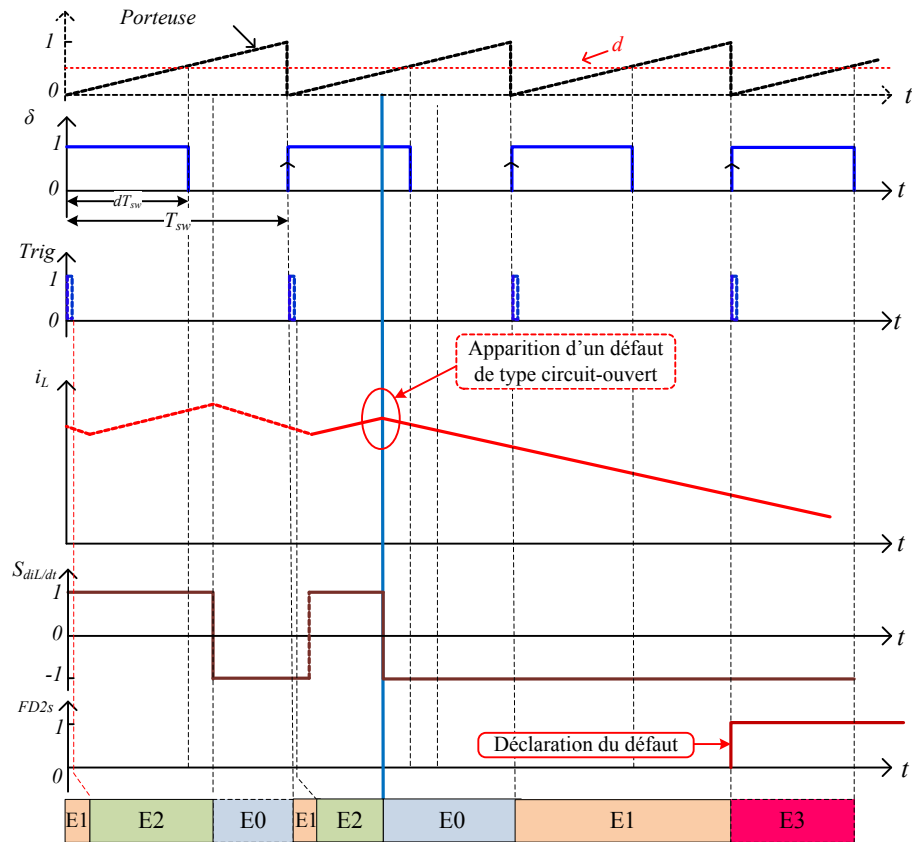


Figure 2-14 : Principaux signaux de l'algorithme DF2 lors d'un défaut de type DCO.

L'état E_2 traduit une phase de fonctionnement du convertisseur durant laquelle $\delta=1$ et l'interrupteur SW conduit. Nous avons alors deux transitions possibles :

1. Si le convertisseur fonctionne sans défaillance, tant que $\delta=1$, le système reste dans l'état E_2 car dans ce cas $S_{diL/dt}$ reste à l'état '1'. Dès que δ passe à '0', l'interrupteur s'ouvre et le courant diminue ($S_{diL/dt}=1$) et donc on peut revenir à l'état initial E_0 dès que le signal $S_{diL/dt}$ passe à '-1'. Ce retour à l'état E_0 valide le fait que le convertisseur a fonctionné sans défaillance sur la partie étudiée pour la période de fonctionnement en cours. Ce fonctionnement est illustré par la première période de fonctionnement décrite à la Figure 2-14.
2. Si un défaut de type DCO apparaît alors que nous sommes dans l'état E_2 , le système passe néanmoins à l'état E_0 pour les mêmes raisons que celles expliquées pour le cas précédent car le DCO fait également passer le signal $S_{diL/dt}$ '-1' et déclenche ainsi prématurément le passage à l'état E_0 . Le DCO ne peut donc pas être détecté lors de la période de fonctionnement au cours de laquelle il a eu lieu. Ce DCO sera détecté lors de la période suivante car le

passage à '1' du signal $Trig$ (suite au passage à '1' du signal δ) ne sera pas suivi d'une croissance du courant. Ainsi, lors du prochain passage à '1' du signal $Trig$, aucun changement de signe du signal $S_{diL/dt}$ n'aura été observé : on sera alors dans l'état E_3 traduisant la présence d'une défaillance de type circuit-ouvert. Ce fonctionnement est illustré par les deux dernières périodes de fonctionnement décrites à la Figure 2-14.

Si un défaut de type DCC est survenu alors que $\delta=1$, ce défaut ne peut pas être détecté aussitôt car le convertisseur fonctionne normalement vu des grandeurs électriques. On reste alors dans l'état E_2 car la condition de passage à l'état E_0 n'a pas été satisfaite (passage de $S_{diL/dt}$ à la valeur '-1'). Néanmoins, dès le prochain front montant du signal $Trig$, on passe à l'état E_4 traduisant la présence d'une défaillance de type court-circuit. Ce fonctionnement est illustré par les deux dernières périodes de fonctionnement décrites à la Figure 2-15.

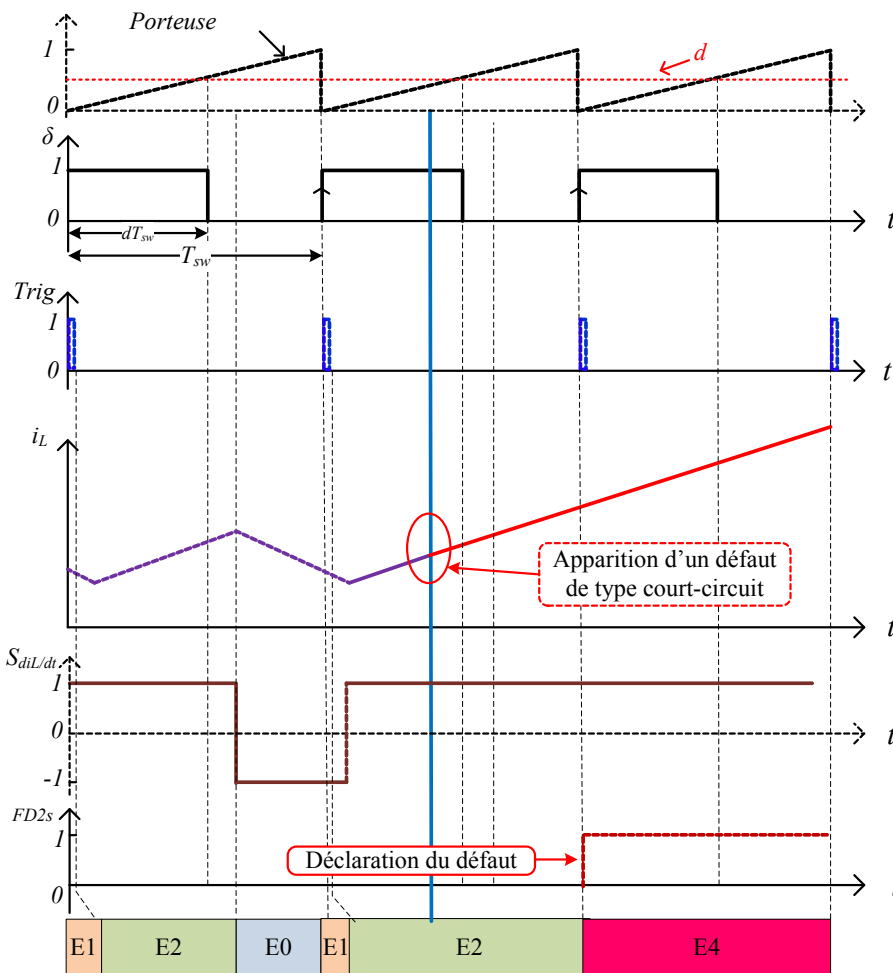


Figure 2-15 : Principaux signaux de l'algorithme DF2 lors d'un défaut de type DCC.

Lorsqu'une défaillance est apparue, le système est donc passé à l'état E_3 ou E_4 et il restera dans l'un de ces deux états. Dans ce cas, le signal de sortie $DF2s$ est mis à '1' : le

défaut a été détecté.

On peut dès à présent mentionner que cet algorithme *DF2* est plus lent que le premier l'algorithme (*DF1*), mais peut détecter tout défaut (DCC ou DCO) dans toutes les conditions, quelle que soit la valeur du rapport cyclique (d) et quelle que soit la fréquence de commutation du convertisseur (Figure 2-14 et Figure 2-15).

Ainsi, afin d'être certain que tout défaut sera détecté tout en privilégiant les performances temporelles de la détection, les deux algorithmes ont été mis en œuvre en parallèle. Pour cela, dans la configuration proposée et représentée à la Figure 2-16, les 2 algorithmes *DF1* et *DF2* s'exécutent en parallèle et génèrent un signal global (noté *DF*) de détection de défaut, obtenu à partir des signaux de détection de défaut issus de *DF1* et de *DF2*. Le signal *DF* est mis à '1' lorsque l'un des algorithmes *DF1* ou *DF2* détecte un défaut (Figure 2-16). Dans ce système, *DF1* est l'algorithme principal : il permet de détecter la majorité des cas de défaillances avec des performances temps réel élevées. L'algorithme *DF2* permet de détecter tout défaut dans tous les cas qui n'auraient pas pu être traités par *DF1*, en un délai maximum égal à deux périodes de fonctionnement du convertisseur. Par exemple, lors d'un découpage à fréquence élevée, la détection d'un défaut de type DCC avec d grand et la détection d'un défaut de type DCO avec d petit sont assurées par l'algorithme *DF2*.

Pour conclure cette section, on peut mentionner que la méthode de détection proposée permet de détecter et d'identifier tous les types de défauts (DCO et DCC) très rapidement, sans ajouter de capteur supplémentaire au niveau du système. En effet, la mesure du courant est de toute façon prévue pour le contrôle et est la seule grandeur physique et électrique utilisée pour la détection. Ceci est très intéressant car le fait d'ajouter des capteurs supplémentaires diminue la fiabilité globale du système.

De plus, le fait de pouvoir identifier le type de défaut (DCC ou DCO) est très important pour la suite. En effet, la reconfiguration du convertisseur ne sera pas gérée de la même manière selon le type de défaut détecté.

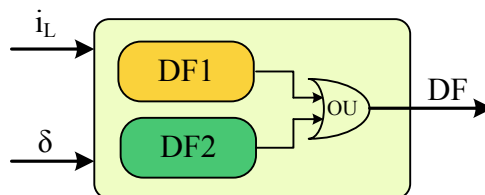


Figure 2-16 : Association des deux algorithmes de détection de défaut.

2.4 Validation et application de la méthode de détection de défaut proposée à un convertisseur élévateur (Boost)

2.4.1 Introduction

Durant ces dernières décennies, la motorisation électrique ainsi que les systèmes basés sur l'électronique de puissance et leurs contrôles sont de plus en plus complexes. Par ailleurs, leur utilisation s'est largement accrue dans de nombreux secteurs d'activités allant des réseaux et alimentations électriques jusqu'à l'aéronautique, en passant par les équipements électroniques industriels, la propulsion ferroviaire, automobile et navale ou bien encore l'électroménager. La conception et la validation expérimentale des systèmes de contrôle pour ces applications d'électronique de puissance peuvent être coûteuses et requérir beaucoup de temps. C'est la conséquence de la complexité et des exigences de haut niveau requises pour ces systèmes. De plus, on peut noter une pression industrielle croissante pour réduire les délais de lancement des nouveaux produits sur le marché (time-to-market). En conséquence, le temps imparti aux tests et à la validation expérimentale de ces systèmes complexes est devenu un critère essentiel lors du processus de conception et d'ingénierie [[Rab12](#)], [[Kar09T](#)] et [[Abo05](#)].

Traditionnellement, la validation du système est réalisée par simulations lors de l'étape de conception et de validation fonctionnelle de ce dernier, aussitôt suivie par des essais expérimentaux une fois le prototype réalisé est mis en œuvre. Cette méthode présente des inconvénients majeurs. D'abord, l'écart potentiel entre le processus de conception et de simulation (hors ligne) et le prototype réel est si vaste qu'il est susceptible d'engendrer de nombreuses difficultés, accrues s'il y a intégration de différents modules conçus indépendamment. Ainsi, il est souvent nécessaire de modifier une partie du système, telle que le contrôleur ou simplement l'algorithme de contrôle. Cependant, il peut être difficile d'avoir physiquement accès à l'ensemble des données internes du système expérimental pour tester le nouveau contrôleur, ce système étant soit déjà en cours d'utilisation, soit dans une étape de fonctionnement difficilement interruptible. D'autre part, il peut s'avérer très ou trop risqué de tester un nouveau système de contrôle sur un équipement coûteux ou sensible. C'est particulièrement notre cas qui consiste à valider des algorithmes de détection en générant des défaillances sur un système, défaillances qui pourraient conduire à sa destruction partielle ou totale en cas d'erreur.

Pour toutes ces raisons, il est devenu nécessaire de recourir à une approche progressive lors de la conception d'un nouveau système, lors de l'intégration de ses modules ou lors de l'implantation sur maquette expérimentale. Désormais, pour les applications d'électronique de puissance qui nous concernent plus particulièrement dans ce mémoire, la simulation peut être utilisée comme une étape clé lors de l'ensemble du processus d'ingénierie. Elle permet de simuler l'ensemble d'un système, mais aussi de n'en simuler qu'une partie en complément ou en substitution de l'existant : Cette approche est communément appelée Hardware-in-the-Loop. Elle permet d'accélérer le processus d'ingénierie et d'en réduire les coûts [[Rab12](#)], [[Poo12](#)] et [[Abo05](#)].

En effet, l'approche HIL permet de tester en boucle fermée une partie matérielle d'un système, dans des conditions de fonctionnement réalistes, sans avoir besoin d'une interface avec la partie du système alors émulée par ordinateur. Les outils de conception dédiés à cette approche HIL permettent :

- D'accélérer les démarches de test et de validation des systèmes, en réduisant le temps de développement en laboratoire ;
- De simuler de nombreux points de fonctionnement ainsi que des scénarios qui sont difficiles voire impossibles à recréer en conditions réelles ;
- D'avoir la capacité de créer et simuler des défauts ;
- D'avoir accès à tous les signaux d'ordinaire difficiles à mesurer en conditions réelles [[Poo12](#)].

Dans notre approche, la partie matérielle de la démarche HIL sera constituée par le contrôleur numérique, intégrant également la détection de défaut que nous souhaitons tester et valider. Notre choix s'est porté sur un composant de type FPGA qui sera la cible sur laquelle sera implantée la méthode de détection de défaut proposée. Quant à la partie émulée du système, elle sera constituée de la partie puissance (convertisseur, source, charge) et des capteurs.

L'approche globale que nous proposons comporte plusieurs étapes afin d'aboutir finalement à un contrôleur "fault tolerant" efficace, fiable et fonctionnel. La première de ces étapes appelée "FPGA in the loop" consiste à valider le fonctionnement du contrôleur implémenté sur FPGA en émulant totalement son environnement à l'aide d'un ordinateur [[Kar09T](#)], [[Gai10T](#)] et [[Sha12T](#)].

A la section suivante, nous allons tout d'abord préciser et justifier les avantages du choix de la cible numérique de type FPGA. Ensuite, nous détaillerons la méthodologie adoptée pour la mise en œuvre expérimentale. Enfin, nous appliquerons cette approche à la validation expérimentale de la détection de défaut pour le système modélisé et simulé précédemment.

2.4.2 Choix de la cible numérique

Le choix d'un composant numérique de type FPGA a été guidé par les impératifs de rapidité requis pour l'exécution des algorithmes de détection et de gestion de défauts. En effet, la logique câblée interne au FPGA lui permet d'atteindre des vitesses d'exécution très élevées. Le composant FPGA étant multi-tâches (traitement parallèle), leurs capacités s'avèrent également intéressantes par rapport à celles de composants de type DSP, souvent pénalisés par le traitement sérialisé des instructions [[Mon11](#)] et [[Mon11A](#)].

Ainsi, de nombreux travaux de recherche récents ayant pour application le domaine de

l'électronique de puissance et basés sur des contrôleurs implantés sur cibles FPGA, ont été conjointement réalisés au sein de nos laboratoires GREEN et IJL. Ces travaux nous ont permis d'acquérir une bonne expérience lors de la mise en œuvre de FPGA, notamment pour un filtre actif de puissance [Kar08] et pour un système éolien "fault tolerant" basé sur une MADA, lors de la défaillance d'un semi-conducteur de puissance [Gai07], [Gai09] et [Sha12] ou bien encore d'un capteur de courant [Gai10] et [Kar09].

De plus, un FPGA est capable de travailler avec une période d'échantillonnage très faible, de l'ordre de quelques centaines de nanosecondes (ns), alors qu'un système basé sur un DSP (Digital Signal Processor) pourra rencontrer des difficultés pour travailler à de telles fréquences [Mac12]. Par ailleurs, la mise en œuvre d'une détection de défaut très rapide est essentielle dans les convertisseurs à tolérance de pannes. La rapidité de la détection nous permet d'éviter toute discontinuité et tout transitoire indésirable lors de l'apparition d'un défaut. La surveillance du système par l'algorithme de détection de défaut doit alors être effectuée en parallèle par rapport aux autres traitements dédiés au contrôle du système.

C'est pour toutes ces raisons que lors de nos précédents travaux de recherche, nous avons mis en œuvre les méthodes de détection de défaut proposées sur cible FPGA. La structure de ces composants FPGA basée sur la logique câblée nous a ainsi permis d'atteindre des performances temporelles très élevées et le temps de détection a été largement réduit [Shu08] et [Cas03]. Dans la partie suivante, nous allons présenter la méthode de prototypage adoptée pour la mise en œuvre sur FPGA.

2.4.3 Méthodologie de prototypage

Une méthode de prototypage HIL innovante, appelée "FPGA in the Loop", a été développée dans notre laboratoire lors de précédents travaux de recherche [Kar09T]. Elle est physiquement basée sur une plateforme expérimentale, centrée sur un FPGA de la famille ALTERA et les outils CAO associés. Le flot de conception Top-Down au cœur de cette approche est illustré à la Figure 2-17. Ce flot se compose de quatre étapes principales : simulation fonctionnelle, simulation mixte, prototypage "Hardware in the Loop" et test entièrement expérimental. Cette méthode sera utilisée dans la suite de ce mémoire pour mener à bien la conception et la mise en œuvre sur cible FPGA. Elle est développée ci-après.

2.4.3.1 Première étape : simulation fonctionnelle

Cette première simulation est effectuée à l'aide des outils informatiques classiques, ici Matlab et ses toolboxes Simulink et SimPowerSystems Blockset. Cette étape nous permet de valider fonctionnellement le fonctionnement du système étudié (Figure 2-17).

Nous commençons par simuler le système en mode "continu". Si les résultats de simulation obtenus sont cohérents et satisfaisants, nous passons à une simulation du système en le discrétisant. Dans cette étape, nous veillons à choisir un pas de simulation

suffisamment petit mais cohérent avec celui qui sera réellement fixé lors de la phase totalement expérimentale. En effet, le pas restera fixe pendant toute la simulation ce qui pourrait dégrader la précision dans le cas où ce pas serait choisi trop grand. Une fois les résultats du mode discret validés, nous pouvons alors passer à l'étape suivante.

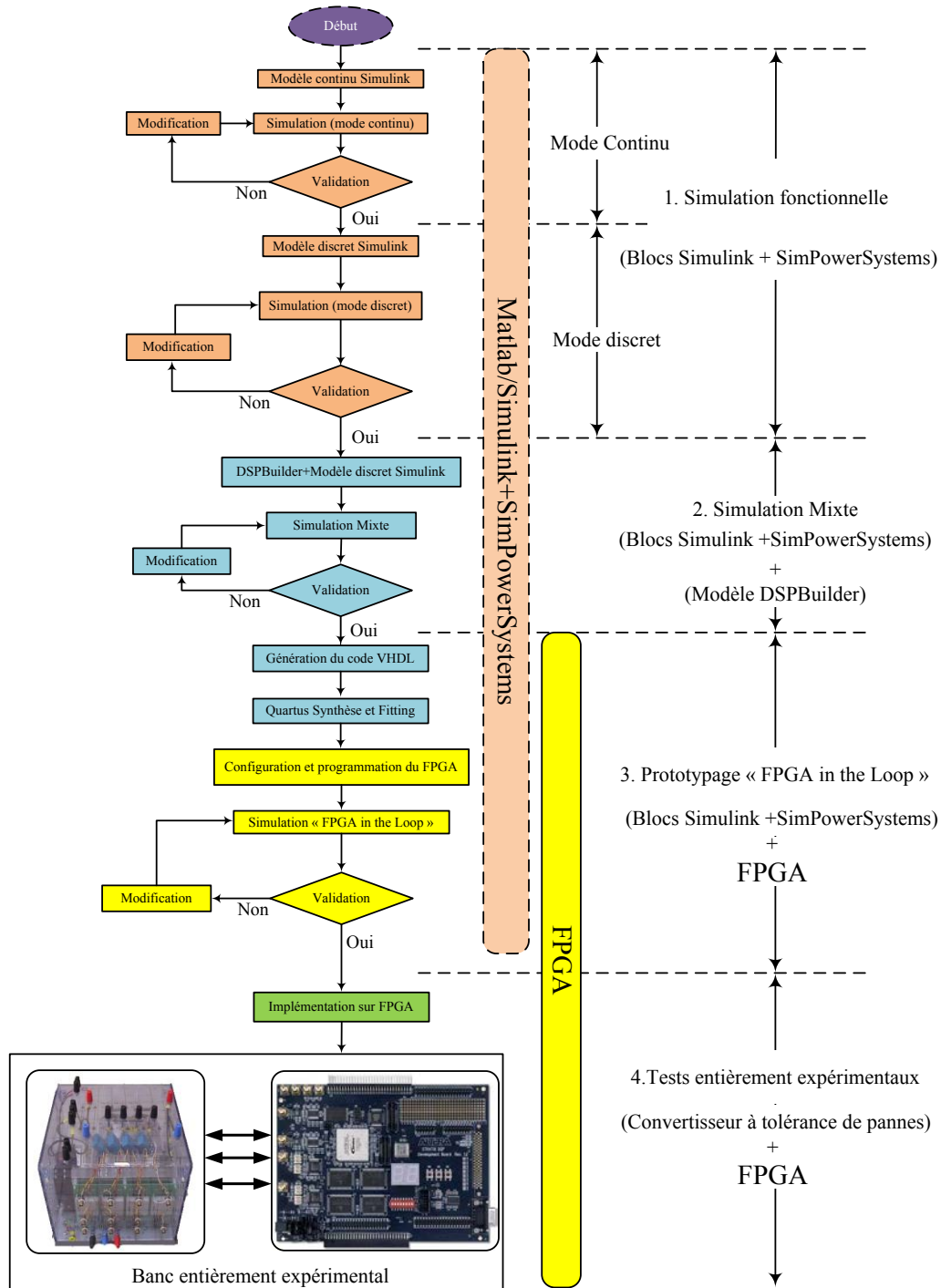


Figure 2-17 : Flot de conception pour le prototypage "FPGA in the Loop".

2.4.3.2 Deuxième étape : *simulation mixte*

Dans cette deuxième étape, le modèle Simulink du contrôleur intégrant la détection de défaut est alors remplacé par un nouveau modèle, construit à partir des éléments disponibles dans la bibliothèque de la toolbox "DSP Builder" alors que la modélisation de la partie puissance reste identique à celle de la première étape. DSP Builder est une toolbox compatible avec l'environnement Matlab, réalisée conjointement par les sociétés MathWorks et ALTERA. Elle permet de simuler sous Matlab la modélisation VHDL synthétisable destinée à la programmation de composants FPGA de la famille ALTERA. Cette toolbox est particulièrement efficace pour un prototypage rapide de composants FPGA de cette famille. Toutefois, certaines des fonctions souhaitées ou nécessaires ne sont pas disponibles au sein de cette bibliothèque DSP Builder. Ces modèles doivent alors être conçus par l'utilisateur, à partir de modèles VHDL alors importés dans l'environnement Matlab.

La simulation ainsi réalisée s'appelle simulation "mixte" car elle permet de simuler conjointement des modèles VHDL synthétisables et des modèles issus des toolboxes de Simulink. Une fois les résultats de simulation mixte validés, nous pouvons alors passer à l'étape suivante : le prototypage "FPGA in the Loop".

2.4.3.3 Troisième étape : *Prototypage "FPGA in the loop"*

Cette troisième étape est consacrée à la vérification de la conception matérielle, sur la carte FPGA de la plateforme expérimentale, du contrôleur intégrant la détection de défaut. Cette validation sera réalisée en boucle fermée, par simulation selon le principe communément appelé HIL. L'objectif majeur sera de vérifier, en boucle fermée, l'implantation des méthodes de détection de défaut *DF1* et *DF2* sur un contrôleur physique (cible FPGA), tout en émulant le reste du système (partie puissance, interfaces, capteurs, ...) à l'aide d'un ordinateur.

Le prototypage dit "FPGA in the Loop" que nous proposons ici possède des avantages indéniables en termes de validation de l'implémentation d'algorithmes sur cible FPGA. Outre le fait que la reprogrammation du FPGA est facile, rapide et peu coûteuse (quelques minutes pour des corrections mineures), la méthode d'évaluation expérimentale permet d'exclure le risque de dégradation ou de destruction de matériel physique, la partie puissance étant émulée de façon virtuelle. Ainsi, toute erreur lors de la conception matérielle de l'algorithme ne demande qu'une reprogrammation de la cible FPGA. Par ailleurs, émuler virtuellement la partie puissance autorise de pouvoir tester le système avec un grand choix d'équipement de puissance dont il serait difficile de pouvoir disposer de façon physique (coût, encombrement, alimentations). Principalement, il ne faut pas oublier que cette méthode élimine aussi tous risques et dangers envers l'utilisateur et les locaux (court-circuit, électrocution, incendie,...).

Détaillons maintenant la mise en œuvre concrète de cette validation "FPGA in the Loop". Lors de la seconde étape du flot de conception, le contrôleur a été modélisé à

partir des éléments disponibles dans la bibliothèque de DSP Builder. Ce modèle correspond à un modèle en langage VHDL synthétisable. Lors de sa compilation à l'aide de l'outil "Signal compiler", la modélisation DSP Builder alors obtenue permet de générer automatiquement une description VHDL synthétisable, au niveau RTL. L'outil de synthèse logique, Quartus, dédié spécifiquement aux FPGAs de la famille ALTERA, permet ensuite de générer le bitstream permettant la programmation du FPGA ciblé. A ce niveau, on peut alors insérer un bloc dénommé "HIL" dans l'environnement Matlab/Simulink pour remplacer le modèle DSP Builder de l'étape 2. Après compilation de ce bloc HIL sous Matlab, le FPGA de la carte de développement de notre plateforme est alors programmé via une interface JTAG, reliée au PC qui émule la partie puissance. La Figure 2-18 en illustre ici encore le principe. Le prototypage "FPGA in the Loop" est alors opérationnel.

A chaque pas de simulation, les signaux nécessaires sont obtenus à partir de la simulation de la partie puissance du système électrique par l'ordinateur (PC) et sont transmis au FPGA. Lorsque ce dernier reçoit les signaux du PC, il exécute les algorithmes matériellement implémentés sur FPGA. Dans cette section, il s'agit principalement du contrôle-commande et de la détection de défaut. Ensuite, le FPGA fournit les ordres de commande des différents interrupteurs de puissance au PC, établis au cours de cette étape. A ce stade, un cycle de simulation "FPGA in the loop" est effectué. Une interface de type JTAG est utilisée pour relier le FPGA au PC afin d'échanger et synchroniser les données entre le PC et le FPGA.

2.4.3.4 Quatrième étape : validation entièrement expérimentale

Une fois l'implantation sur cible FPGA validée par prototypage "FPGA in the Loop", on peut alors envisager de procéder à des tests entièrement expérimentaux, avec la partie puissance réelle. Dans cette étape, la carte FPGA embarquant le contrôleur et de ce fait l'algorithme de détection de défaut, est alors connecté au système de puissance réel à l'aide d'interfaces matérielles spécifiques dédiées à l'application ciblée.

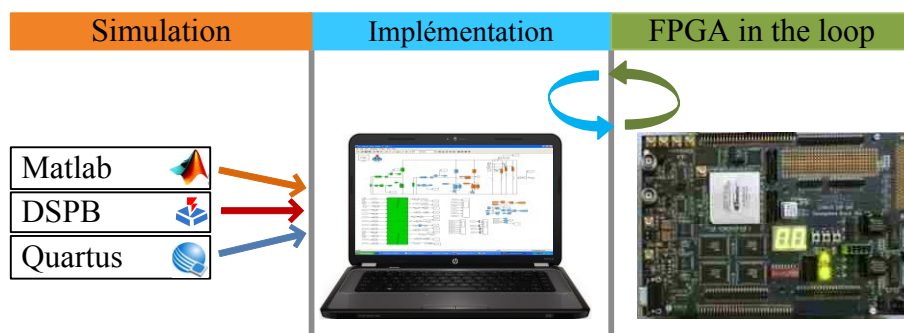


Figure 2-18 : Principe du prototypage "FPGA in the loop".

2.4.4 Paramètres et modélisation du hacheur élévateur étudié

Dans cette section dédiée à la modélisation/simulation d'un hacheur élévateur de

tension ou hacheur Boost, nous détaillerons dans un premier temps le choix des paramètres. Ensuite, la modélisation sera abordée et les résultats obtenus à l'aide de l'outil Matlab et des toolboxes associées seront présentés.

2.4.4.1 Paramètres du hacheur élévateur étudié

Nous allons modéliser maintenant le système de la Figure 2-19 comportant un convertisseur DC-DC élévateur (Boost). Notre objectif étant de valider la méthode de détection de défaut, nous considérerons un point de fonctionnement pour mener cette étude, compte tenu des performances temporelles de la méthode de détection de défaut proposée précédemment. En effet, on peut légitimement travailler dans l'hypothèse selon laquelle les paramètres électriques du système restent constants durant la phase de détection de défaut. Ainsi, la source peut être modélisée par une source de tension constante. Les paramètres électriques du convertisseur étudié sont consignés dans le Tableau 2-2, suite au détail du dimensionnement présenté ci-après.

2.4.4.2 Modélisation du hacheur élévateur

Le convertisseur Boost à modéliser est connecté à une source v_e et débite dans une charge résistive R_{ch} . La Figure 2-19 présente le schéma électrique du hacheur ainsi que le schéma bloc de son contrôle. Nous avons utilisé des correcteurs PI pour les boucles de courant i_L et de tension v_s .

En mode de conduction continue (CCM), quand l'interrupteur SW est fermé, la diode D ne conduit pas et la tension v_e est alors appliquée à l'inductance L . Lorsque SW s'ouvre, l'énergie accumulée dans l'inductance transite par la diode D en direction de la charge R_{ch} , imposant ainsi une tension de sortie v_s supérieure à la tension d'entrée (l'interrupteur est un module IGBT).

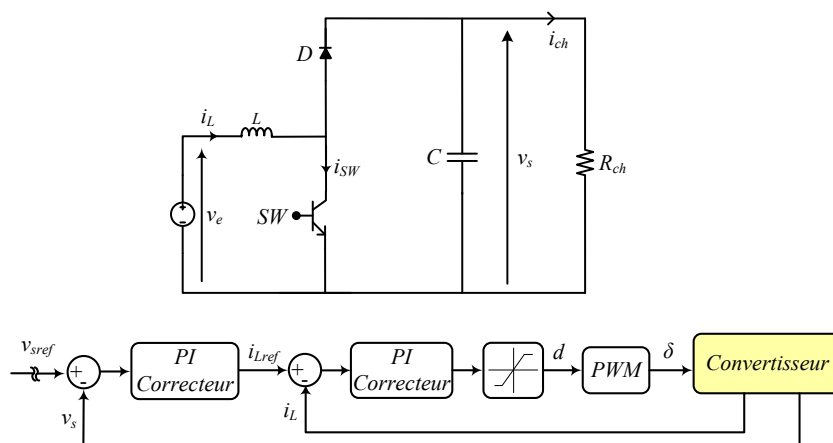


Figure 2-19 : Hacheur boost et sa commande.

Les équations électriques du hacheur boost s'écrivent ainsi en négligeant la résistance interne de l'inductance L :

$$L \frac{di_L}{dt} = v_e - (1 - d)v_s \quad (2-14)$$

$$C \frac{dv_s}{dt} = (1 - d)i_L - \frac{v_s}{R_{ch}} \quad (2-15)$$

2.4.4.3 Dimensionnement des composants

Afin de se placer dans des conditions similaires à celles des futures expérimentations, nous admettons que la tension de la source peut varier dans la plage [20V, 150V]. Le hacheur boost a pour rôle d'élever la tension de la source à la valeur de la tension du bus continu, ici égale à 150V. Pour dimensionner les composants du convertisseur dédiés à la source, nous avons considéré les paramètres suivants :

- Le courant maximum qui peut traverser l'interrupteur SW est $I_{swm}=40A$ (selon le choix d'interrupteur qui sera mis en œuvre lors des essais expérimentaux, un composant IGBT SEMIKRON SKM50GB123D) ;
- La tension du bus continu est $V_s=150V$ avec $V_r/V_s=2\%$ (V_r est l'amplitude de l'ondulation de la tension du bus continu) ;

Les résultats du dimensionnement sont résumés dans le Tableau 2-2.

Tableau 2-2 : Paramètres du système hybride électrique étudié, Figure 2-19.

Eléments du système	Paramètres
Inductance	$L=9\text{ mH}$
Condensateur	$C=1100\ \mu F$
Resistance de charge	$22\ \Omega < R_{ch} < 222\ \Omega$

Pour les paramètres de l'algorithme de détection de défaut, nous avons choisi $N=20$. Le choix de N est directement lié au temps nécessaire à la détection du défaut, proportionnellement à la période d'échantillonnage, choisie ici égale à 1 μs . Ainsi, la durée minimale de détection du défaut sera de 20 μs . Cette durée minimale a également été fixée conformément aux paramètres du futur banc d'essai expérimental. Ce choix sera justifié avec davantage de précision à la section 2.4.7.1, notamment en raison du temps mort des drivers et, plus généralement, du temps de réponse global du système.

2.4.5 Validation de la méthode de détection de défaut par simulation mixte

Comme nous l'avons détaillé auparavant, le flot de conception que nous proposons de suivre comporte quatre étapes : modélisation/simulation, simulation mixte, prototypage "FPGA in the Loop" (HIL) et validation expérimentale. Afin de ne pas alourdir ce mémoire, nous avons choisi de ne présenter ici que les résultats obtenus pour les trois dernières étapes : simulation mixte, validation HIL et essais sur banc expérimental.

Nous présentons dans cette section les résultats obtenus par simulation mixte, réalisée dans l'environnement Matlab. Nous avons eu recours à la toolbox SimPowerSystems pour modéliser la partie puissance du convertisseur. Quant au contrôleur et à la détection de défaut, ils ont été modélisés à l'aide des toolbox Simulink et DSP Builder. Rappelons ici que notre objectif est de valider la méthode de détection de défaut.

2.4.5.1 Détection de défaut de type circuit-ouvert par DF1

Un défaut de type circuit-ouvert a été généré en simulation par la mise à '0' de l'ordre de commande de l'interrupteur SW (Figure 2-19). Les résultats de simulation obtenus sont présentés à la Figure 2-20.

Pour cette simulation, la fréquence de découpage du convertisseur Boost est égale à 15kHz et la valeur de la tension de source est $V_e=50V$. Le rapport cyclique d est quant à lui égal à 0,67. Avant l'apparition du défaut, le système est correctement contrôlé : la tension v_s suit correctement sa valeur de référence ($V_s=150V$).

Nous pouvons visualiser à la Figure 2-20 que le défaut est détecté avec succès par l'algorithme de détection de défaut, plus particulièrement dans ce cas par l'algorithme $DF1$ (à l'instant $t=249\mu s$).

De plus, afin de traduire le plus précisément possible le comportement d'un système réel, nous avons inclus, lors de la modélisation, un délai entre l'instant de changement d'ordre de commande et sa prise en compte au niveau du système. Ce délai est constant et égal à 5 μs , valeur choisie en adéquation avec les paramètres du système expérimental présenté dans la suite de ce mémoire.

Examinons maintenant plus en détail l'évolution temporelle des différents signaux de l'algorithme de détection lors de la défaillance de SW . Le défaut DCO apparaît alors à l'instant $t_1=182\mu s$, avant la commutation de l'interrupteur SW de l'état "fermé" à l'état "ouvert", comme cela est décrit à la Figure 2-20.

Ce défaut DCO apparaît donc alors que l'interrupteur est fermé (δ égal à '1'). Suite à l'apparition du DCO, le signe de la pente de i_L passe à '-1', le signal err passe à l'état '1' et le compteur n_c s'incrémente. Lorsque l'ordre de commande δ passe à '0' (instant $t_3=203\mu s$ de la Figure 2-20), le signal err revient à '0' car bien que l'interrupteur SW soit toujours défaillant, le système se comporte normalement car cet interrupteur n'est plus sollicité

pour conduire le courant de charge. Le compteur n_c se remet également à zéro : il a seulement atteint une valeur égale à 17, inférieure au seuil $N=20$. Le défaut n'a pas pu être détecté durant cette période de commutation.

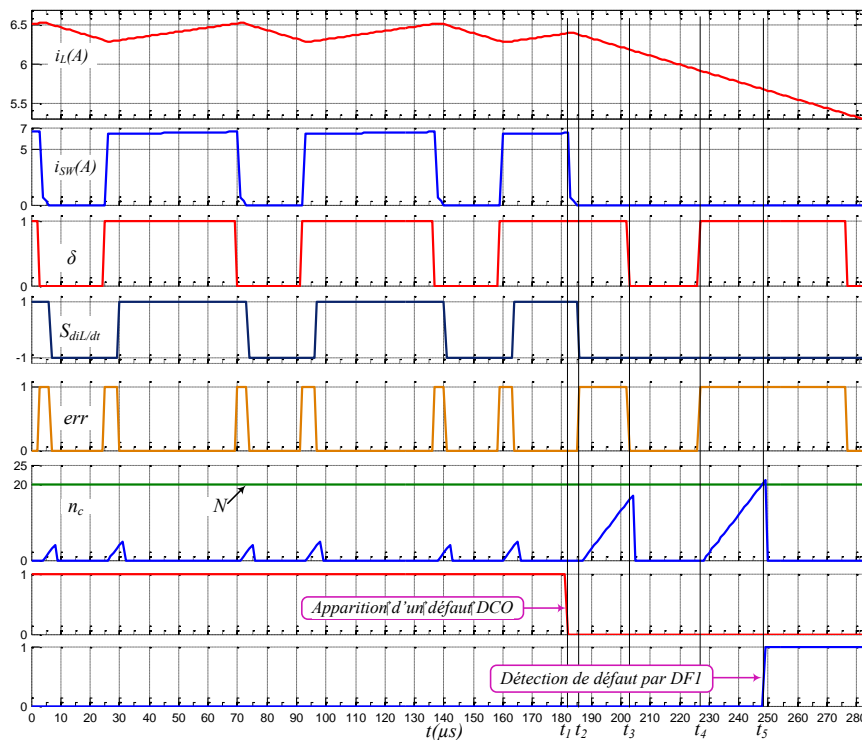


Figure 2-20 : Défaut DCO au niveau de l'interrupteur SW détecté par DFI .

Lorsque l'ordre de commande δ repasse à '1' (instant $t_4=227 \mu s$), l'interrupteur SW ne se ferme pas et le courant continue à décroître. Comme nous l'avons expliqué à la section 2.3.2.1, le compteur n_c dispose de suffisamment de temps pour atteindre sa valeur seuil, égale à 20. A la Figure 2-20, on peut voir que le signal de détection de défaut $DFIs$ est activé à $t_5=249 \mu s$. Dans ce cas, le temps de détection est $t_{det}=t_5-t_1=249-182=67 \mu s$.

Ainsi, conformément à ce qui a été développé à la section 2.3.2.2, le compteur a pu atteindre son seuil égal à 20 et l'algorithme DFI a rapidement détecté la défaillance de SW .

2.4.5.2 Détection d'un défaut de type circuit-ouvert par $DF2$

Nous allons maintenant étudier le cas d'un défaut de type DCO survenant alors que la valeur du rapport cyclique est petite. Pour cette simulation, nous nous sommes placés dans le cas où l'algorithme DFI ne peut pas détecter le défaut avant l'algorithme $DF2$. La tension V_e est égale à 123V et le rapport cyclique est égal à 0,18. Comme le présente la Figure 2-21, le défaut est effectivement détecté. Par ailleurs, c'est l'algorithme $DF2$ qui détecte le défaut parce que la durée du temps pour que le compteur de DFI puisse atteindre le seuil N n'est pas suffisante.

Comme le présente la Figure 2-21, l'interrupteur est fermé pendant seulement 18% de la période de commutation, ici $12 \mu s$ par période. Ainsi, dans ces conditions, le compteur de l'algorithme *DF1* ne peut jamais atteindre sa valeur seuil $N=20$, même s'il commence à compter dès le début de la fermeture de l'interrupteur. Au maximum, ce compteur n_c peut atteindre la valeur de 12, compte tenu de la période d'échantillonnage de $1 \mu s$. Il faut noter qu'après l'apparition du défaut, le contrôle du convertisseur a essayé de compenser la décroissance du courant (ainsi que la chute de tension de sortie) en augmentant le rapport cyclique. Le compteur pourrait donc atteindre sa valeur seuil dans les périodes suivantes mais il n'est pas envisageable de rendre le temps de détection DCO dépendant de la commande du convertisseur. Néanmoins, l'algorithme *DF2* a été prévu pour garantir la détection du défaut dans les cas où *DF1* n'y parviendrait pas.

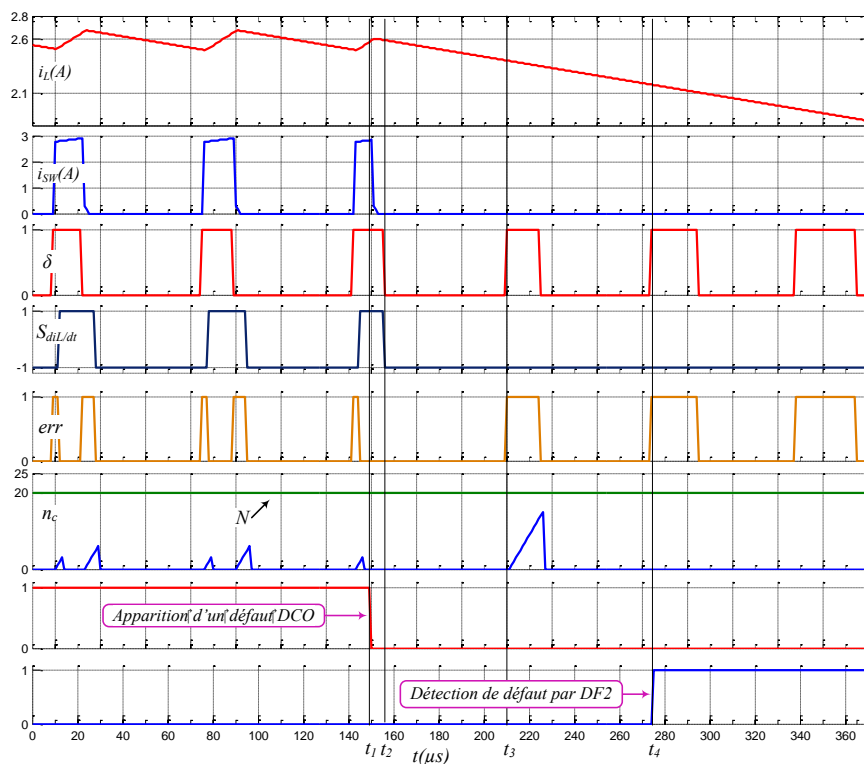


Figure 2-21 : Défaut DCO au niveau de l'interrupteur *SW* détecté par *DF2*.

Les principaux signaux de l'algorithme *DF2* sont présentés à la Figure 2-22. Cette figure valide la fonctionnalité de l'algorithme *DF2*. A l'instant $t_1=150 \mu s$ le défaut DCO apparaît alors que l'interrupteur *SW* est fermé (état E_2). A l'instant $t_2=155 \mu s$, le signe de la pente de i_L passe à '-1', on passe donc à l'état E_0 et on reste dans cet état. Ensuite, lors de la pulsation de *Trig* à l'instant $t_3=230 \mu s$, on passe à l'état E_1 . En raison de l'apparition du défaut DCO, l'interrupteur reste ouvert lors de la commutation postérieure au défaut et $S_{diL/dt}$ reste à '-1'. Les conditions pour la transition de l'état E_1 donc ne sont pas satisfaites et on reste dans cet état. Lors de la pulsation de *Trig* à l'instant $t_4=274 \mu s$, on passe à l'état E_3 et *DF2* détecte DCO. Le temps nécessaire pour la détection du défaut par *DF2* est alors égal à $124 \mu s$ ($t_{det}=t_4-t_1=274-150=124 \mu s$).

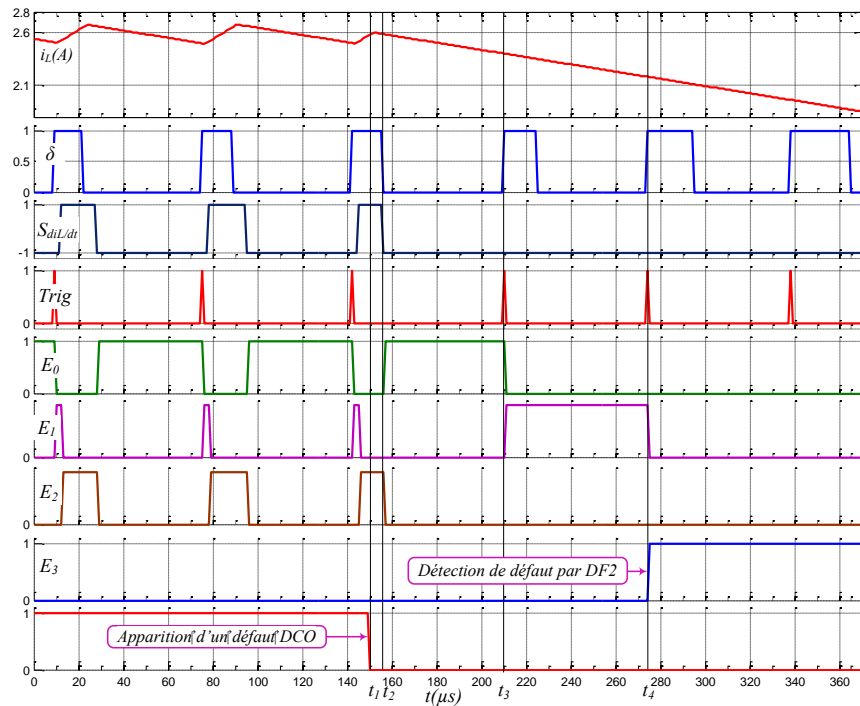


Figure 2-22 : Principaux signaux de l'algorithme *DF2* dans le cas d'un DCO détecté par *DF2*.

2.4.5.3 Détection d'un défaut de type court-circuit par *DF1*

Nous allons maintenant étudier un défaut de type court-circuit. Un défaut DCC a été généré en simulation par la mise à '1' de l'ordre de commande de l'interrupteur *SW* (Figure 2-19). Les résultats de simulation obtenus sont présentés à la Figure 2-23. Nous pouvons visualiser à la Figure 2-23 que le défaut est détecté avec succès par l'algorithme de détection de défaut, plus particulièrement par l'algorithme *DF1*.

Pour cette simulation, la fréquence de découpage est égale à 15kHz et la valeur de la tension de source est $V_e=70V$. Le rapport cyclique d est quant à lui égal à 0,53. Avant l'apparition du défaut, le système est correctement contrôlé et la tension v_s suit correctement sa valeur de référence ($V_s=150V$).

Le défaut DCC ayant été généré à l'instant $t_1=150 \mu s$, l'interrupteur reste d'abord fermé alors que $\delta='1'$. Ensuite, quand δ passe à '0' à l'instant $t_2=165 \mu s$, le signal *err* passe à '1' et active le compteur. A l'instant $t_3=188 \mu s$, le compteur atteint sa valeur seuil $N=20$ et le défaut est déclaré par *DF1*. Le temps nécessaire à la détection du défaut par *DF1* est alors égal à $38 \mu s$ ($t_{det}=t_3-t_1=188-150=38 \mu s$).

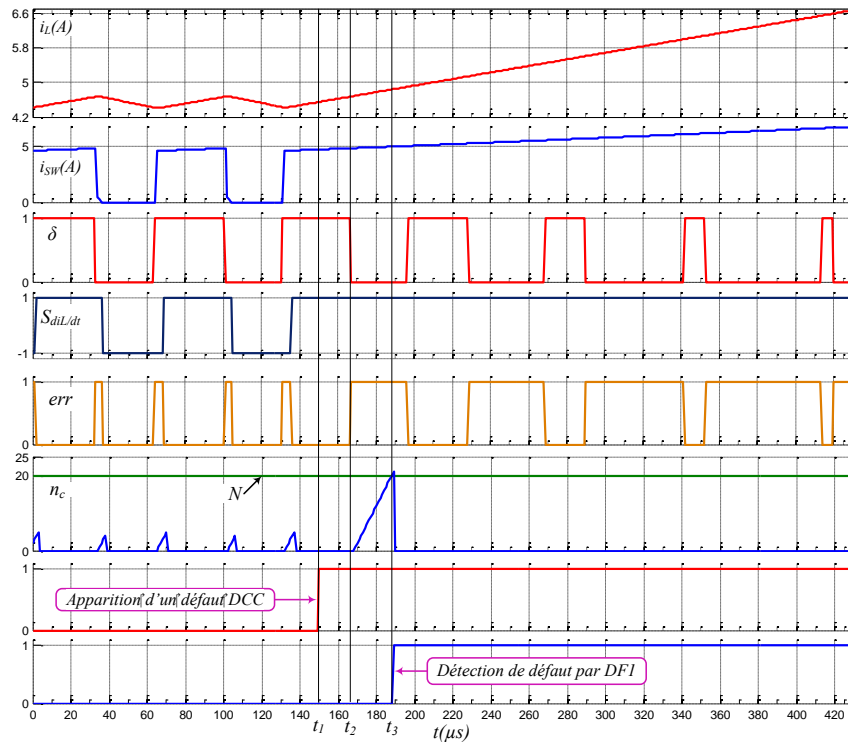


Figure 2-23 Défaut DCC avec une valeur moyenne du rapport cyclique.

2.4.5.4 Détection d'un défaut de type court-circuit par DF2

Nous allons maintenant étudier un défaut DCC survenant alors que la valeur du rapport cyclique est élevée. Pour cette simulation, nous nous sommes placés dans le où l'algorithme *DF1* ne peut pas détecter le défaut avant l'algorithme *DF2*. La tension V_e est égale à 30V et le rapport cyclique est égal à 0,80. Comme le présente la Figure 2-24, le défaut est effectivement détecté. Par ailleurs, c'est l'algorithme *DF2* qui détecte le défaut parce que la durée du temps pour que le compteur de *DF1* puisse atteindre le seuil N n'est pas suffisante.

Dans le cas ici étudié, l'interrupteur *SW* est ouvert pendant seulement 20% de la période de commutation, ici 13 μs . Ainsi, dans ces conditions, le compteur de l'algorithme *DF1* ne peut jamais atteindre sa valeur seuil $N=20$, même s'il commence à compter dès le début de l'ouverture de l'interrupteur. Au maximum, ce compteur n_c peut atteindre la valeur de 13, compte tenu de la période d'échantillonnage de 1 μs . L'algorithme *DF2* a été prévu pour garantir la détection du défaut dans les cas où *DF1* n'y parviendrait pas.

Les principaux signaux de l'algorithme *DF2* sont également présentés à la Figure 2-25. Cette figure valide la fonctionnalité de l'algorithme *DF2*. En raison de l'apparition du défaut DCC à l'instant $t_1=200 \mu\text{s}$, l'interrupteur reste fermé (état E_2) lors de la commutation postérieure au défaut. Ensuite, lors de la pulsation de *Trig* à l'instant $t_3=238 \mu\text{s}$, on passe à l'état E_4 et *DF2* détecte le défaut DCC. Le temps nécessaire pour la détection du défaut par *DF2* est alors égal à 38 μs ($t_{det}=t_3-t_1=238-200=38 \mu\text{s}$).

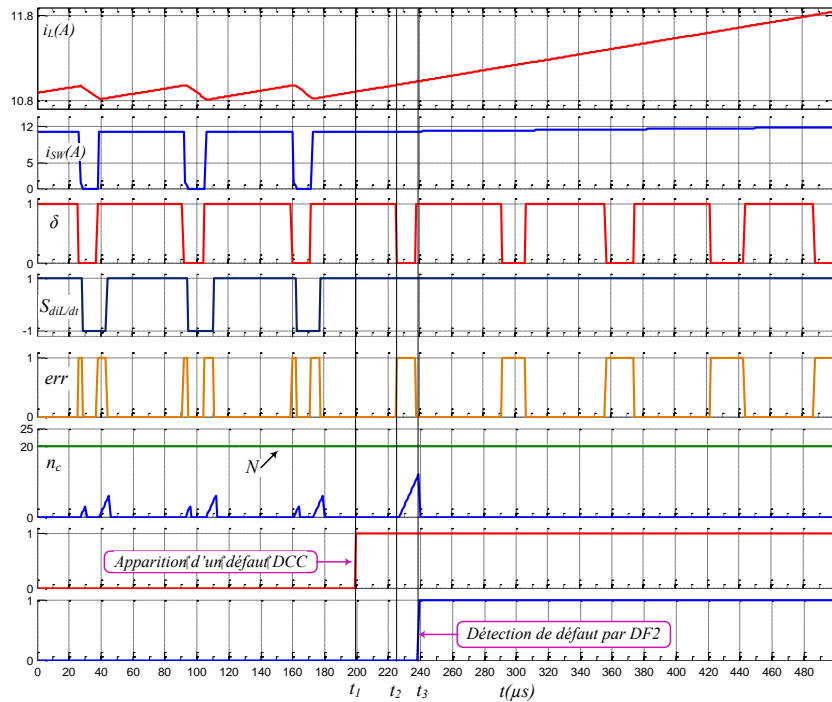


Figure 2-24 : Défaut DCC avec une valeur élevée du rapport cyclique.

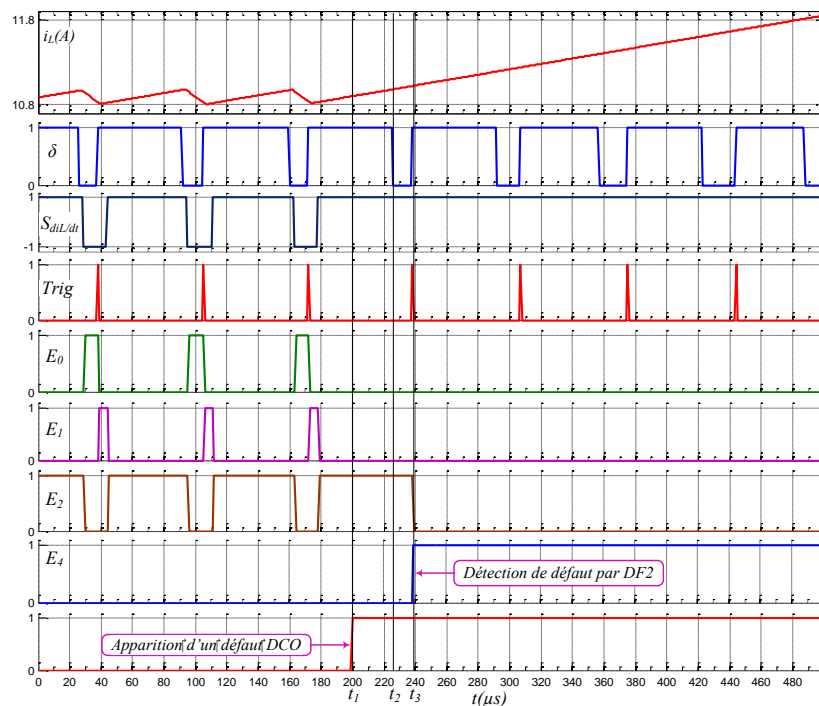


Figure 2-25 : Principaux signaux de l'algorithme DF2 dans le cas d'un défaut DCC détecté par DF2.

On peut également noter à la Figure 2-25 que le contrôle du convertisseur cherche à compenser l'augmentation du courant et le dépassement de la consigne de tension en diminuant le rapport cyclique. Le compteur de l'algorithme DF1 pourrait ainsi atteindre son seuil dans les futures périodes, mais sans maîtrise de la durée nécessaire à la détection

(dépendant de la commande).

Après avoir présenté une méthode originale de détection de défaut pour un convertisseur DC-DC non isolé (Boost), nous avons pu la valider dans cette section par simulation mixte.

Nous allons maintenant envisager l'implantation matérielle de cette méthode de détection de défaut sur une cible numérique. Pour cette phase expérimentale, notre approche s'appuie sur l'expérience passée de nos laboratoires GREEN et IJL dans le domaine du prototypage sur cible FPGA et plus particulièrement sur la plateforme "Hardware in the Loop" (HIL) développée lors de précédents travaux de recherche.

2.4.6 Validation HIL de la méthode de détection de défaut

Nous présentons maintenant dans cette section une sélection de résultats obtenus en HIL (prototypage "FPGA in the Loop"). Néanmoins, il est important de mentionner ici que des résultats obtenus par simulation mixte ont déjà été présentés à la section précédente. De plus, les résultats obtenus par modélisation/simulation ont également été validés.

Les paramètres électriques du convertisseur sont identiques à ceux qui ont été utilisés en simulation mixte (paramètres du Tableau 2-2). Comme nous l'avons précisé à la section 2.4.4.1, notre but est de valider la méthode de détection de défaut pour un point de fonctionnement donné.

Comme nous l'avons justifié précédemment, afin d'éviter d'avoir à implanter un algorithme de détection complexe au détriment de performances temporelles, une méthode simple a été utilisée pour estimer la dérivée du courant traversant l'inductance. Étant donné que nous avons besoin du signe de la pente du courant i_L , nous avons comparé la valeur de i_L avec sa valeur $5\mu s$ avant (correspondant à 5 périodes d'échantillonnage) :

$$\text{signe}\left(\frac{di_L}{dt}\right) = \text{signe}[i_L(t) - i_L(t - 5)] \quad (2-16)$$

2.4.6.1 Carte FPGA de développement pour la validation HIL

L'implantation numérique de la détection de défaut et du contrôle a été faite sur une cible FPGA de la famille ALTERA. Pour réaliser les tests HIL, une carte de développement Stratix DSP S80 incluant les éléments suivants est mise en œuvre :

- un composant FPGA Stratix EP1S80B956C6 ;
- deux convertisseurs A/N 12-bits, 125 MHz ;

- deux convertisseurs N/A 14-bits, 165 MHz ;
- une mémoire flash de 64 Mbits ;
- deux mémoires SRAM 256 K×36 bits ;
- un oscillateur à quartz de fréquence 80 MHz ;
- deux connecteurs d'entrées/sorties numériques de 60 pins chacun ;
- un connecteur JTAG ;
- trois boutons-poussoirs ;
- un bloc de huit interrupteurs positionnables par l'utilisateur ;
- deux diodes électroluminescentes.

Quant à lui, le composant FPGA Stratix EP1S80 comprend :

- 79 040 éléments logiques ;
- 7 427 520 bits de RAM ;
- 12 PLLs reconfigurables ;
- 679 pins d'entrées/sorties.

Pour ce prototypage, le pas de simulation paramétré dans l'environnement Matlab et la période d'échantillonnage sont tous deux égaux à $1\mu s$.

2.4.6.2 Validation HIL de la détection d'un DCO par DF1 durant la période de fonctionnement au cours de laquelle il est survenu

La Figure 2-26 présente les résultats obtenus lors d'un DCO au niveau de l'interrupteur SW du convertisseur, avec détection de défaut par $DF1$. La défaillance est détectée par $DF1$ durant la période de fonctionnement au cours de laquelle elle est survenue.

Rappelons qu'en mode de fonctionnement normal, le changement de valeur de la pente du courant traversant l'inductance ($S_{diL/dt}$) reste néanmoins décalé temporellement par rapport au changement d'ordre de commande δ de l'interrupteur SW , d'où la forme d'onde du signal d'erreur err qui comporte des pics de faibles amplitudes sans toutefois qu'ils soient interprétés comme un défaut (Figure 2-26). Le critère temporel de l'algorithme de détection de défaut nous permet de filtrer ces pics. Suite à l'apparition réelle du défaut, on peut voir à la Figure 2-26 que le signal d'erreur err reste positionné à '1'. En effet, la défaillance affectant le convertisseur ne lui permet plus de fonctionner correctement; ainsi, le compteur peut atteindre la valeur seuil N (ici égal à 20) et le défaut peut alors être déclaré par l'algorithme DF1.

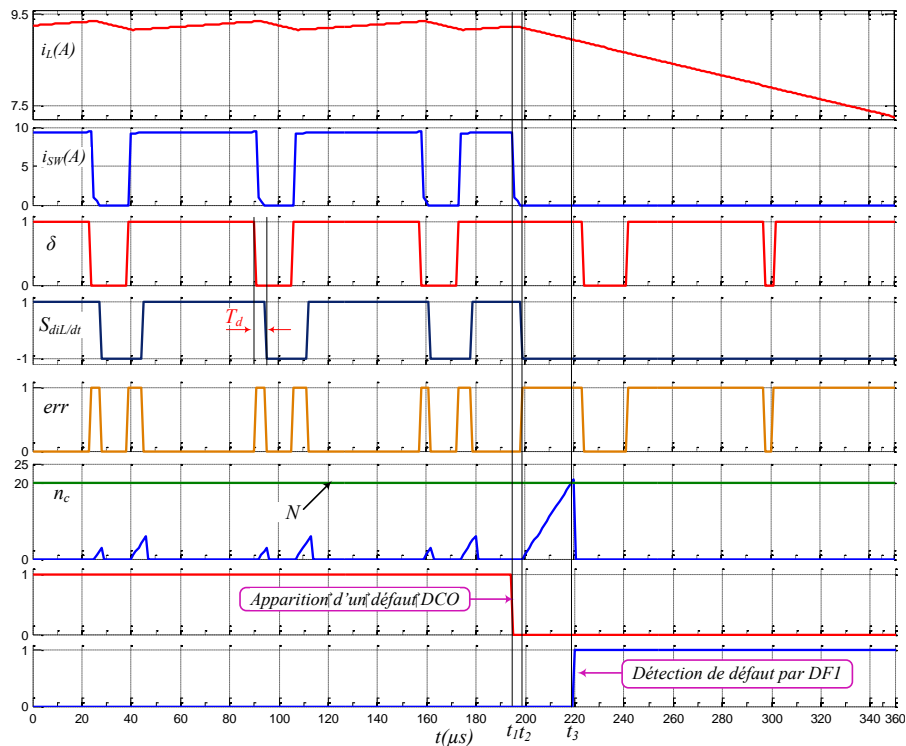


Figure 2-26 : Résultat HIL des signaux de *DFI* lors d'un DCO.

Examinons maintenant quantitativement et plus en détail l'évolution temporelle des différentes grandeurs de la Figure 2-26, lors de la défaillance de l'interrupteur *SW*. Sachant que la fréquence de découpage est de 15kHz, la période de commutation du convertisseur est égale à $67 \mu s$ et le rapport cyclique $d=0,77$. Ce défaut DCO a été généré à l'instant $t_1=194 \mu s$. Afin de générer le défaut, l'ordre de commande de l'interrupteur *SW* a été forcé à '0'. Le signal de la pente du courant i_L ($S_{diL/dt}$) passe à '-1' à $t_2=198 \mu s$ ensuite *err* s'active et le compteur commence à compter. Quand la sortie n_c du compteur dépasse sa valeur seuil égale à 20 (instant $t_3=218 \mu s$), le signal *DFI*s s'active à l'instant $t_3=200 \mu s$: le défaut a été correctement détecté après une durée $t_{det}=t_3-t_1=218-194=24 \mu s$.

2.4.6.3 Validation HIL de la détection d'un DCO par *DFI* durant la période de fonctionnement suivant celle au cours de laquelle il est survenu

La Figure 2-27 présente les résultats HIL obtenus lors d'un DCO de l'interrupteur *SW*, avec détection du défaut par l'algorithme *DFI*. Dans ce cas, la défaillance est détectée par *DFI* durant la période de fonctionnement suivant celle au cours de laquelle le défaut est survenu.

Examinons maintenant quantitativement et plus en détail l'évolution temporelle des différentes grandeurs présentées à la Figure 2-27. Le défaut de type circuit-ouvert y figure à l'instant $t_1=155 \mu s$, proche de la commutation de l'interrupteur *SW* de l'état "fermé" à l'état "ouvert". Après l'instant $t_2=160 \mu s$, la décroissance du courant i_L suite à ce DCO fait passer à '-1' le signal $S_{diL/dt}$. Ainsi, sachant que l'ordre de commande δ vaut '1', le signal

err s'active et le compteur commence à compter à partir de cet instant $t_2=160\mu s$. Or, l'ordre de commande δ passe à '0' à l'instant $t_3=172 \mu s$, alors que le défaut DCO affecte toujours l'interrupteur *SW*. Le courant i_L diminue et $S_{diL/dt}$ reste à '-1' : le signal *err* se désactive et le compteur se remet à zéro car le défaut n'a pu être détecté. Bien que la décroissance du courant apparaisse "normale" vu l'ordre de commande appliqué, le courant i_L est néanmoins anormalement faible mais le DCO n'est pas détectable à ce niveau. A cet instant, la valeur de n_c était en effet égale à 14 et donc inférieure au seuil de détection, $N=20$. Lorsque l'ordre de commande δ passe à '1' à l'instant $t_4=192 \mu s$, le défaut de type circuit-ouvert empêche l'interrupteur de se fermer et le courant continue à décroître. Comme nous l'avons expliqué à la section 2.3.2.1, le compteur dispose alors de suffisamment de temps pour atteindre sa valeur seuil $N=20$ avant que l'ordre de commande δ ne passe à '0'. On peut voir sur la Figure 2-27 que *DFIs* a été activé à $t_5=215\mu s$. Dans ce cas, le temps de détection est égal à $t_{det}= t_5- t_1=215-155=60\mu s$.

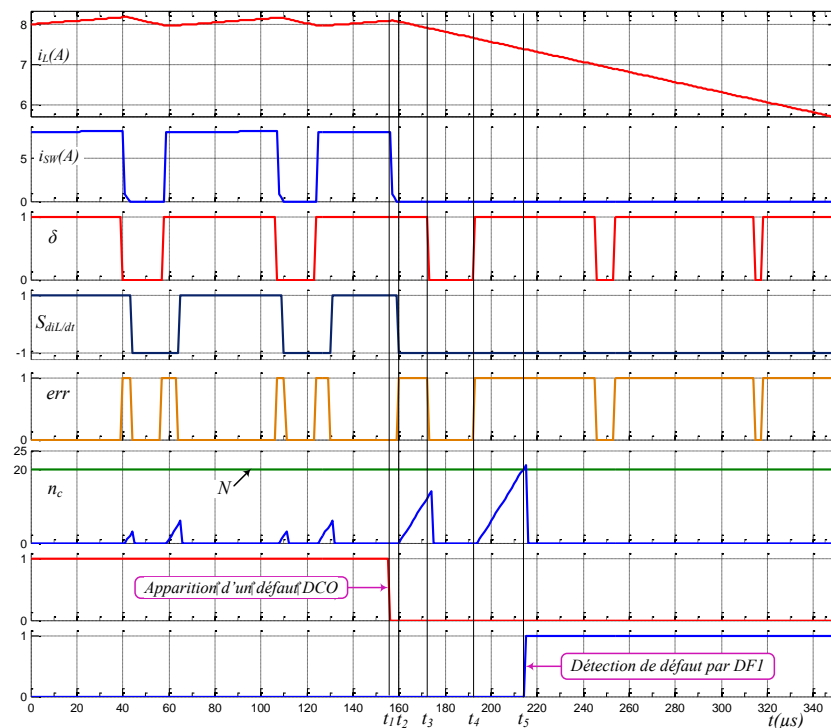


Figure 2-27 : DCO détecté par *DF1* durant la période de fonctionnement suivant celle au cours de laquelle il est survenu.

2.4.6.4 Validation HIL de la détection d'un DCO par *DF2* dans le cas d'un rapport cyclique faible

Comme nous l'avons précisé lors de l'étude théorique de la détection de défaut à la section 2.3.2.5, l'algorithme de détection de défaut *DF1* ne permet pas toujours de détecter un défaut. Par exemple, lors d'un DCO, si la valeur du rapport cyclique est faible, nous ne disposons pas de suffisamment de temps pour que le compteur atteigne son seuil N . Ainsi, le défaut ne peut pas être détecté par *DF1* et c'est *DF2* qui doit alors détecter la défaillance.

Nous allons maintenant présenter les résultats HIL dans le cas d'un rapport cyclique d faible (Figure 2-28). Un défaut de type circuit-ouvert a été appliqué à l'interrupteur SW lorsque $V_e=126V$ et $V_s=150V$. Le rapport cyclique d est égal à 0,16 et la fréquence de commutation du convertisseur est égale à 15 kHz. Le défaut est généré au niveau de l'interrupteur SW avant la commutation de l'état "fermé" à l'état "ouvert" ($t_1=187 \mu s$). Après l'instant t_1 , la décroissance du courant i_L suite à ce DCO fait passer à '-1' le signal $S_{diL/dt}$. Ainsi, sachant que l'ordre de commande δ vaut '1', le signal err s'active pour $2\mu s$ et le compteur ne peut pas atteindre sa valeur seuil. A l'instant $t_2=195\mu s$ l'ordre de commande δ passe à '0', le courant i_L diminue et $S_{diL/dt}$ reste à '-1' : le signal err se désactive et le compteur reste à zéro car le défaut n'a pu être détecté. Bien que la décroissance du courant apparaisse "normale" vu l'ordre de commande appliqué, le courant i_L est néanmoins anormalement faible mais le DCO n'est pas détectable à ce niveau. Lorsque l'ordre de commande δ passe à '1' à l'instant $t_3=244 \mu s$, le défaut de type circuit-ouvert empêche l'interrupteur de se fermer et le courant continue à décroître. A cet instant, le signal err s'active et le compteur commence à incrémenter, mais on peut visualiser sur la Figure 2-28, que le signal δ est égal à '1' pendant seulement 16% de la période de commutation, ici $11 \mu s$. Ainsi, dans ces conditions, le compteur de l'algorithme DFI ne peut atteindre sa valeur seuil $N=20$.

Comme on peut le constater à la Figure 2-28, afin de compenser la décroissance du courant i_L (en raison de l'apparition du DCO), le contrôle augmente la valeur du rapport cyclique.

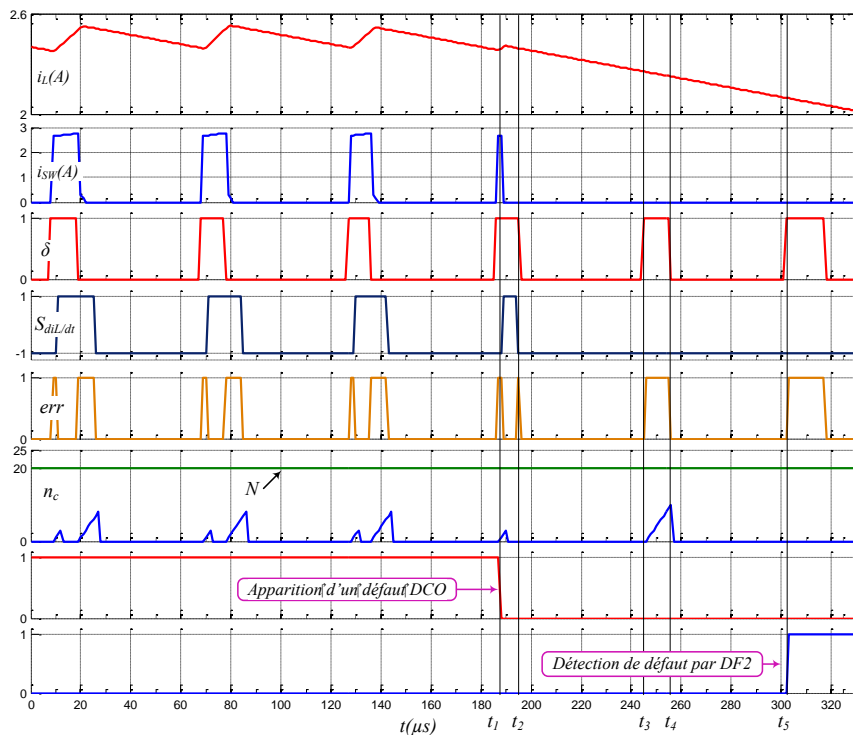


Figure 2-28 : Détection d'un DCO par DF2 lors d'une faible valeur du rapport cyclique.

Néanmoins, le défaut est détecté par $DF2$ au début de la seconde période de commutation après l'apparition de défaut, à l'instant $t_5=303 \mu s$.

A la Figure 2-29, les signaux spécifiques à l'algorithme $DF2$ ont été tracés. A l'instant d'apparition du défaut ($t_1=187 \mu s$), nous sommes dans l'état E_1 (vérification de défaut). Le signal $S_{diL/dt}$ passe à '1' suite au passage de l'ordre de commande de '0' à '1' : on passe alors à l'état E_2 . Nous restons dans cet état jusqu'à l'instant $t_2 =195 \mu s$ où la décroissance du courant i_L fait passer le signal $S_{diL/dt}$ à '-1' : on passe alors à l'état E_0 . Au prochain front montant du signal $Trig$ à l'instant $t_3=244\mu s$, une transition vers l'état E_1 se produit. Nous restons dans cet état tant que le signal $S_{diL/dt}$ reste égal à '-1'. On passera ensuite à l'état E_3 au prochain front montant de Trig, à l'instant $t_4=303 \mu s$: c'est dans cet état que $DF2s$ s'active. Dans ce cas, le temps de détection est $t_{det} = t_4 - t_1 = 303 - 187 = 116 \mu s$.

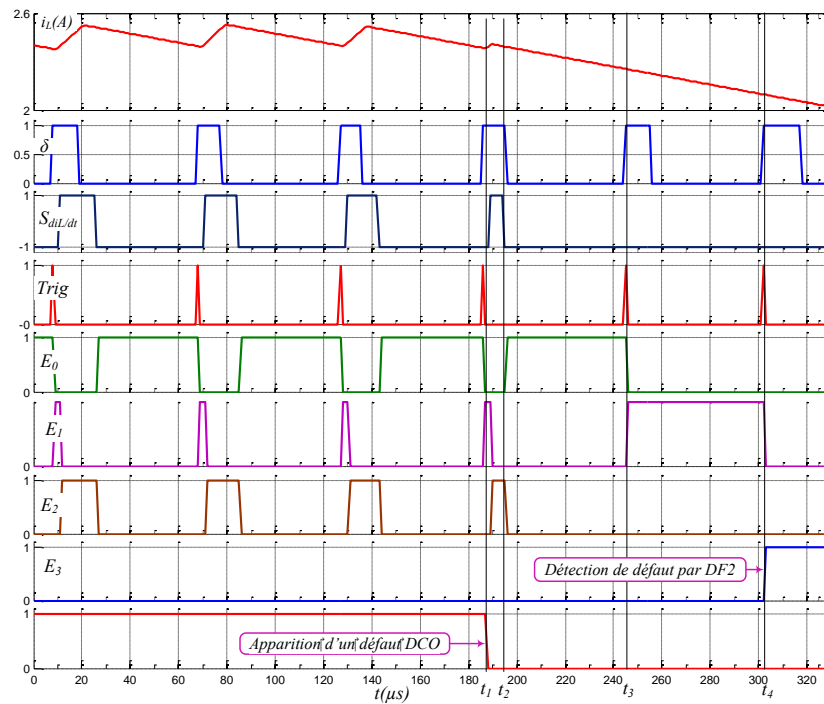


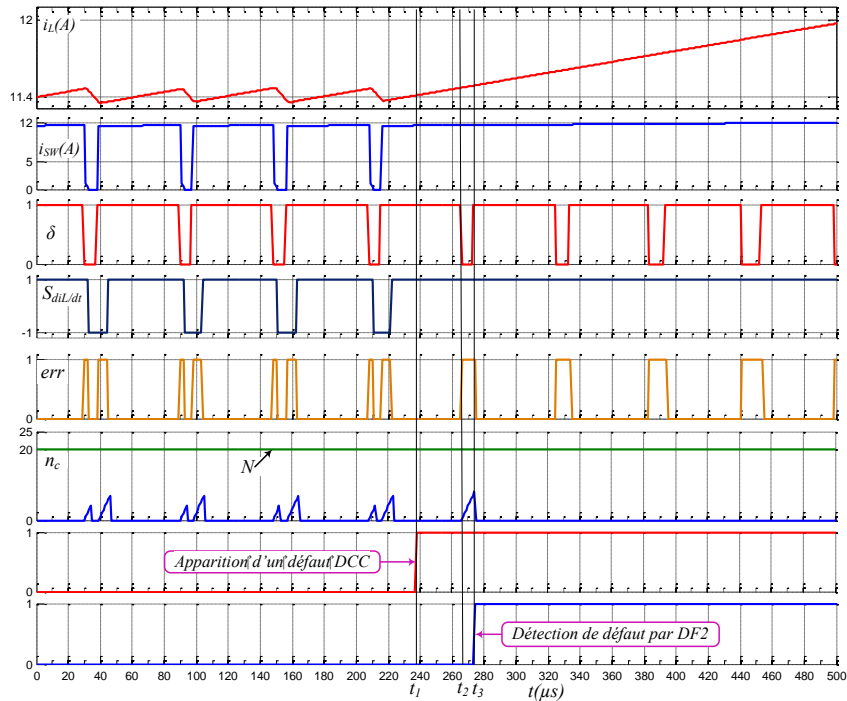
Figure 2-29 : Signaux de l'algorithme $DF2$ lors d'un DCO avec une faible valeur du rapport cyclique.

2.4.6.5 Validation HIL de la détection d'un DCC par $DF2$ lors d'un rapport cyclique élevé

Nous proposons maintenant de valider dans cette section l'algorithme de détection d'un défaut de type court-circuit alors que la valeur de rapport cyclique est élevée ($d = 0,86$). Dans ce cas, la tension V_e est fixée à 21V et la tension de sortie du hacheur (V_s) à 150V. Un défaut DCC a été généré au niveau de l'interrupteur SW . Afin de produire ce défaut, l'ordre de commande de l'interrupteur a été forcé à '1'.

Le défaut apparait alors que l'ordre de commande de l'interrupteur est égal à '1' ($t_1=238 \mu s$) ; jusqu'à l'instant $t_2=266 \mu s$, le défaut n'est pas détectable car le système fonctionne apparemment normalement. A l'instant t_2 l'ordre de commande δ passe à '0' mais le

courant i_L ne décroît pas : ainsi, le signal err passe à '1' et le compteur commence à accroître jusqu'à l'instant $t_3=273\mu s$ où l'ordre de commande passe à '1'. Dans ce cas l'algorithme de détection $DF1$ n'a pas disposé du temps nécessaire à la détection (n_c a atteint la valeur de 8, inférieure au seuil égal à 20). C'est alors $DF2$ qui a détecté le défaut.



2-30 : Détection d'un DCC par DF2 lors d'une valeur élevée du rapport cyclique.

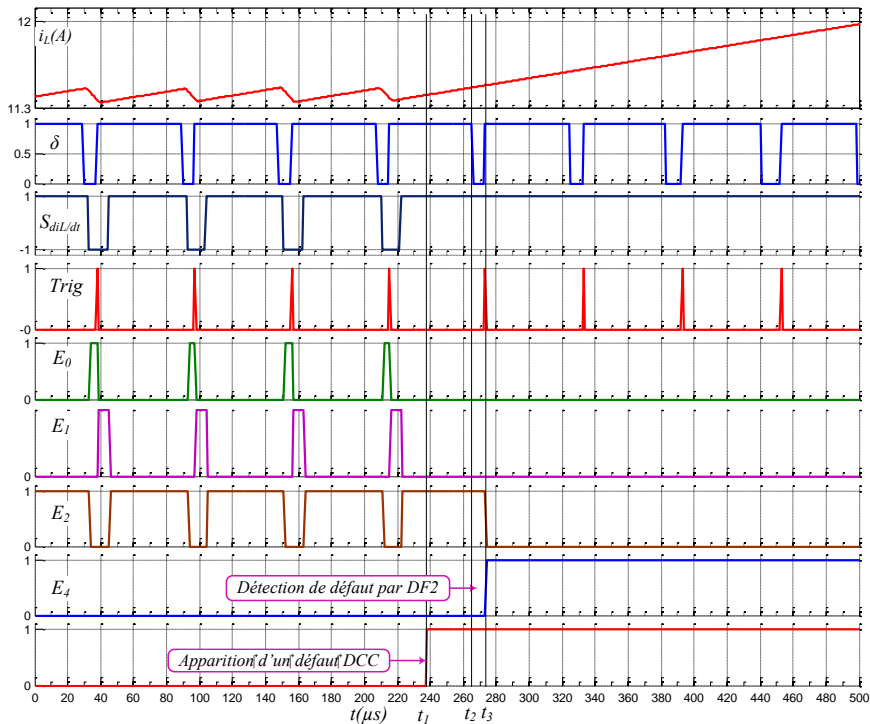


Figure 2-31 : Zoom des signaux spécifiques à l'algorithme FD2.

La Figure 2-31 présente les signaux spécifiques à l'algorithme *DF2*. Comme nous l'avons précisé auparavant, dans ce cas *DF1* ne peut pas détecter le DCC. Au moment de l'apparition du défaut ($t_1=238 \mu s$) l'ordre de commande δ est égal à '1' et le signe de la pente du courant ($S_{diL/dt}$) vaut '1' : la machine d'état de *DF2* est dans l'état E_2 . A l'instant $t_2=266 \mu s$, δ passe à '0', le courant i_L accroît et $S_{diL/dt}$ reste à '1' : on reste dans l'état E_2 . Au front montant suivant du signal *Trig* la machine d'état passe à l'état E_4 (à l'instant $t_3=273 \mu s$) ; le signal *DF2s* passe alors à '1' et le défaut a été détecté après $35 \mu s$ ($t_{det}= t_4 - t_1=273-238=35 \mu s$).

2.4.7 Validation entièrement expérimentale

2.4.7.1 Banc de test expérimental

Dans les sections précédentes, nous avons présenté une sélection des résultats obtenus par simulation mixte et par prototypage HIL pour le hacheur élévateur (Boost) présenté à la Figure 2-19. Les essais expérimentaux présentés dans cette section ont pour but de valider la méthode de détection de défaut et son implantation matérielle pour un convertisseur DC-DC non-isolé (Boost).

Une photographie du banc expérimental proposé est présentée à la Figure 2-32. On peut également visualiser les schémas de principe du système à la Figure 2-33. Ce banc comprend un convertisseur DC-DC élévateur, une source de tension programmable TDK LAMBDA, une charge résistive et une carte FPGA avec une carte interface associée.

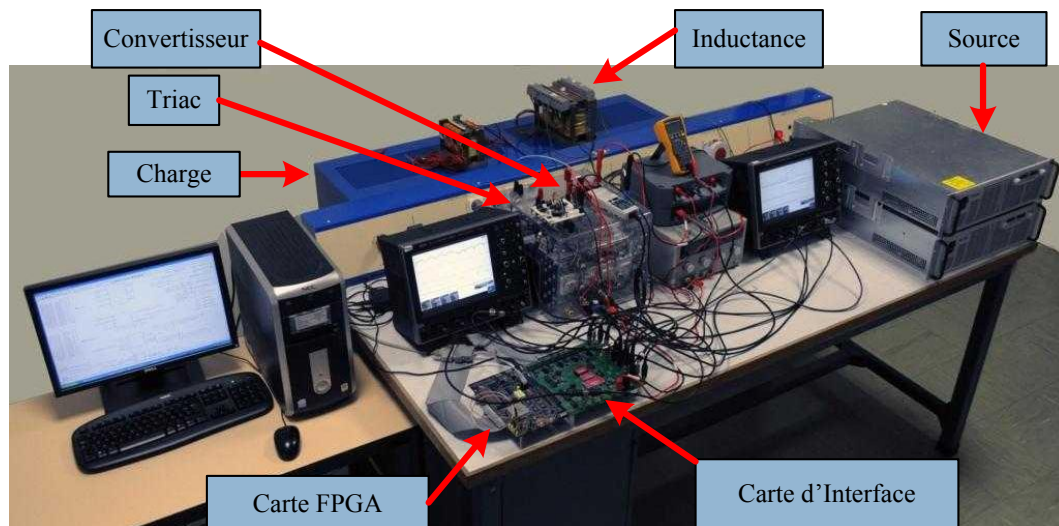


Figure 2-32 : Photographie du banc de test expérimental.

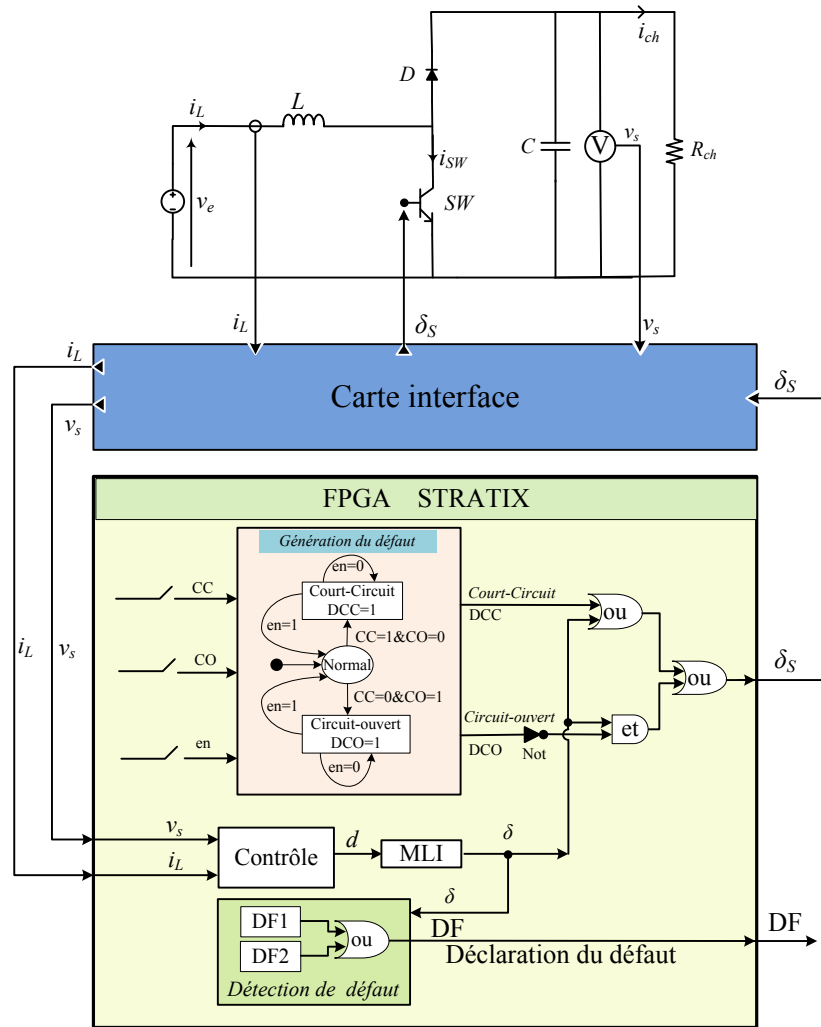


Figure 2-33 : Schéma de principe du banc de test expérimental.

Les paramètres électriques du banc de test expérimental sont consignés dans le Tableau 2-2. Un montage à IGBT est utilisé pour réaliser le convertisseur. Il est conçu à partir de modules IGBT, commercialisés par la société SEMIKRON (référence SKM50GB123D, Figure 2-34). Ces IGBTs sont pilotés par des drivers de référence SKHI 22A, distribués également par la société SEMIKRON.

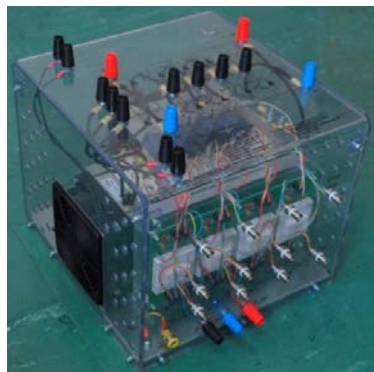


Figure 2-34 : Photographie du montage convertisseur à IGBT.

Pour ces essais expérimentaux, une carte de développement basée sur un FPGA de la famille ALTERA est utilisée pour la détection de défaut et la commande de convertisseur (composant Stratix S80B956C6, voir Figure 2-35). Cette carte FPGA assure le contrôle de la tension de sortie (v_s) en générant par MLI l'ordre de commande approprié pour SW . La période d'échantillonnage pour l'algorithme de détection de défaut et le contrôle du convertisseur, tous deux implantés sur un même composant FPGA, est égale à $1\mu s$. La période du signal de la porteuse pour la MLI est de 15KHz ; la période de commutation des interrupteurs est donc de $67\mu s$. La mesure de tension nécessaire au contrôle est réalisée par un capteur CV3-1200, commercialisé par la société LEM. Le courant est mesuré par un capteur de courant de type PR30, également commercialisé par la société LEM.



Figure 2-35 : Photographie de la carte de développement FPGA (composant Stratix S80B956C6).

Lors de précédents travaux de thèse, des cartes d'interface ont déjà été réalisées au sein de notre équipe de recherche. La Figure 2-36 représente la carte d'interface utilisée pour convertir les signaux analogiques, issus des mesures de tension et de courant, en signaux numériques. Cette carte permet également d'adapter les niveaux de tension afin de les rendre compatibles avec ceux exigés par la carte FPGA. Cette carte intègre notamment 6 CANs au format 12 bits, de type ADS7810U de la société Analog Devices. Le temps de conversion de ces CANs est égal à $1,25\mu s$ et la plage de tension d'entrée analogique est de $\pm 10V$. Des composants SN74HC174N sont également utilisés afin de mémoriser les états logiques en sortie des CANs durant la conversion.



Figure 2-36 : Carte d'interface placée entre le convertisseur à IGBT et la carte FPGA.

Le temps minimum de détection de défaut est directement lié aux caractéristiques et performances temporelles des éléments constitutifs du dispositif expérimental. Afin d'éviter toute fausse détection de défaut par le premier algorithme de détection de défaut (algorithme *DFI*, voir Figure 2-3), le seuil temporel *N* doit être choisi supérieur au retard maximum de l'ensemble des éléments de la chaîne instrumentale (capteur de tension, CAN, FPGA, convertisseur statique, etc). Le retard maximum introduit par chaque composant de cette chaîne, donné par la fiche technique de chacun d'entre eux, est consigné dans le Tableau 2-3. Compte tenu du retard maximal obtenu à partir de ces données, nous avons alors choisi la valeur de *N* égale à 20 (correspondant à 20 μ s), pour toutes les simulations et tous les tests HIL mais également pour les tests expérimentaux qui suivent.

Tableau 2-3 : Retard maximum introduit par chaque composant de la chaîne instrumentale.

Composants	Origine du retard	Retard (ns)
Adaptateur de tension ULN2003	Délai E /S	1000
Driver SKHI 22A	Temps mort	4300
Driver SKHI 22A	Temps de propagation	1150
Module IGBT, SKM50GB123D	Délai de fermeture (130 ns)	445
Module IGBT, SKM50GB123D	Délai d'ouverture (445 ns)	
Amplificateur opérationnel AMP02E	Temps de montée	1458
Convertisseur ADS7810U	Temps maximal entre deux conversions	1400
Bascule SN74HC174N	Délai E/S	1000
FPGA EP1S80B956C6	Période d'échantillonnage	1000
		Total=11753

Dans la suite de cette section, nous avons généré les défauts étudiés au niveau de l'IGBT de l'interrupteur *SW* à l'aide des "switches" disponibles sur la carte FPGA. Nous avons forcé à '0' l'ordre de commande de l'IGBT de *SW* pour créer un défaut de type circuit-ouvert ou bien à '1' dans le cas d'un défaut de type court-circuit.

La Figure 2-33 a présenté le schéma de principe du banc de test expérimental. Elle illustre également la méthode d'implantation du contrôle et de la détection du défaut ainsi que la méthode utilisée pour générer le défaut au niveau de la carte FPGA.

2.4.7.2 Validation expérimentale de la détection d'un défaut de type circuit-ouvert par DFI dans le cas d'un rapport cyclique moyen

Pour valider l'algorithme de détection de défaut, nous avons testé plusieurs cas. Un premier test a été effectué avec un rapport cyclique moyen, lors d'un défaut de type circuit-ouvert. Pour ce faire, nous avons fixé la tension d'entrée V_e à une valeur de 60V et réglé la tension de sortie V_s à 150V. Le résultat de cet essai expérimental est présenté à la Figure 2-37. Cette figure présente également le courant i_L traversant l'inductance en régime établi avant l'apparition du défaut. Sa valeur moyenne est égale à 2,6 A. La valeur du rapport cyclique est égale à :

$$d = 1 - \frac{V_e}{V_s} = 1 - \frac{60}{150} = 0,60 \quad (2-17)$$

Commentons maintenant les résultats expérimentaux de la Figure 2-37. La grandeur δ est l'ordre de commande généré par la MLI. Il est envoyé à l'IGBT de SW via la carte d'interface. Nous rappelons que le principe de base du premier algorithme de détection de défaut consiste à comparer le signe de la pente du courant ($S_{diL/dt}$) avec l'état de δ pour diagnostiquer l'apparition d'un défaut (voir Figure 2-3). Dès que le signal "err" est égal à '1', le compteur s'active. En mode de fonctionnement normal, en raison du délai inhérent au système, nous observons ainsi des pics au niveau du compteur n_c , comme le montre la Figure 2-37 ; ce résultat expérimental est tout à fait conforme à ce qui a été obtenu par simulation et par prototypage HIL. Ensuite, le DCO apparaît alors que l'ordre de commande de l'interrupteur est égal à '0' ; le défaut n'est pas détectable car le système fonctionne apparemment normalement. Dès que l'ordre de commande δ passe à '1', le courant i_L ne croît pas car le défaut DCO est toujours présent. Ainsi, le signal err passe à '1' et la valeur du compteur n_c atteint son seuil N , égal à 20 : le défaut DCO est effectivement détecté par DFI en une durée égale à 40 μ s.

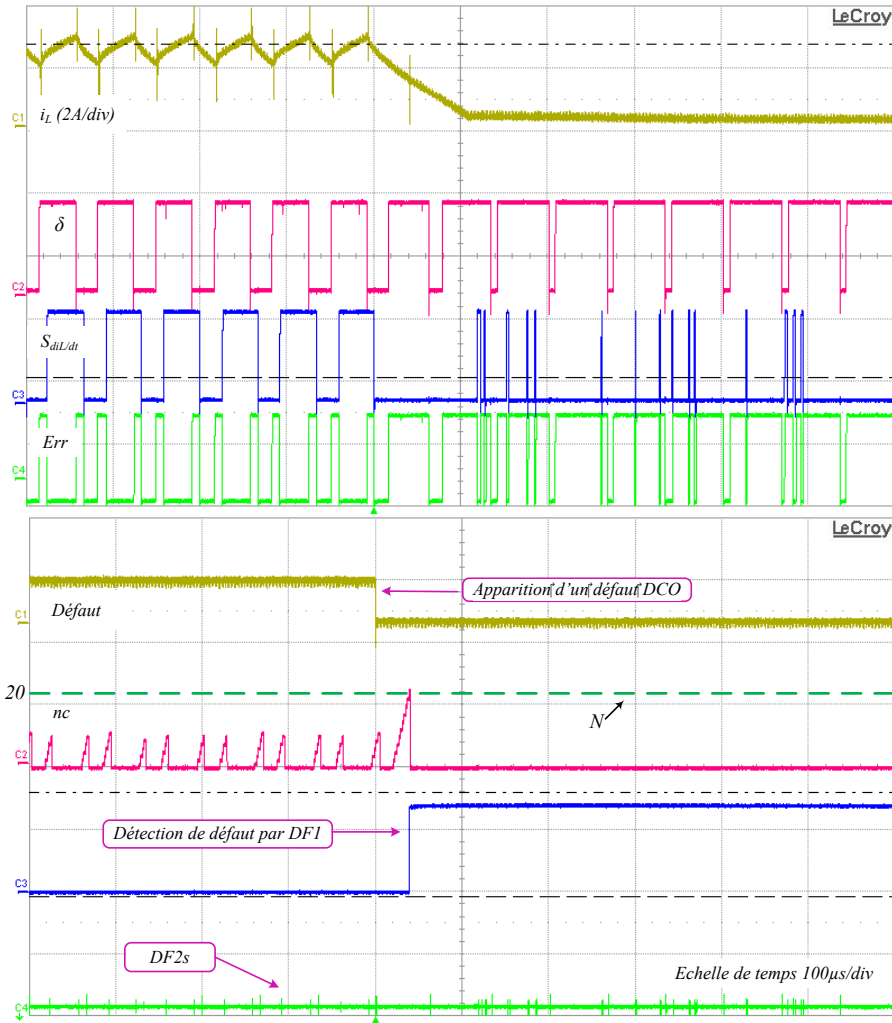


Figure 2-37 : Cas d'un DCO, détecté par DF1 dans le cas d'un rapport cyclique moyen et égal à 0,6.

2.4.7.3 Validation expérimentale de la détection d'un DCO par DF2 dans le cas d'un rapport cyclique faible

Le deuxième test réalisé expérimentalement illustre le cas où la détection est réalisée par *DF2*. Ce second algorithme *DF2* a été prévu pour pallier les cas où *DF1* ne peut pas détecter le défaut circuit-ouvert, quand la valeur du rapport cyclique est faible par exemple. La Figure 2-38 illustre un tel cas de détection par *DF2*. Les paramètres du système sont les suivants : $V_e=130V$, $V_s=150V$ et la valeur de rapport cyclique est égale à 13%. Un défaut de type circuit-ouvert a été généré ; l'algorithme *DF1* ne peut pas détecter le défaut car la durée d'activité du compteur n'est pas suffisante pour que la valeur de " n_c " atteigne la valeur de 20. Ainsi, le défaut DCO subsiste au niveau de l'interrupteur durant deux périodes de commutation. Au début de la deuxième période de commutation après l'apparition de défaut, *DF2* détecte le défaut. Dans ce cas, le temps total de détection est de 119 μs . Ce cas correspond au cas que nous avons détaillé à la section 2.3.2.5.

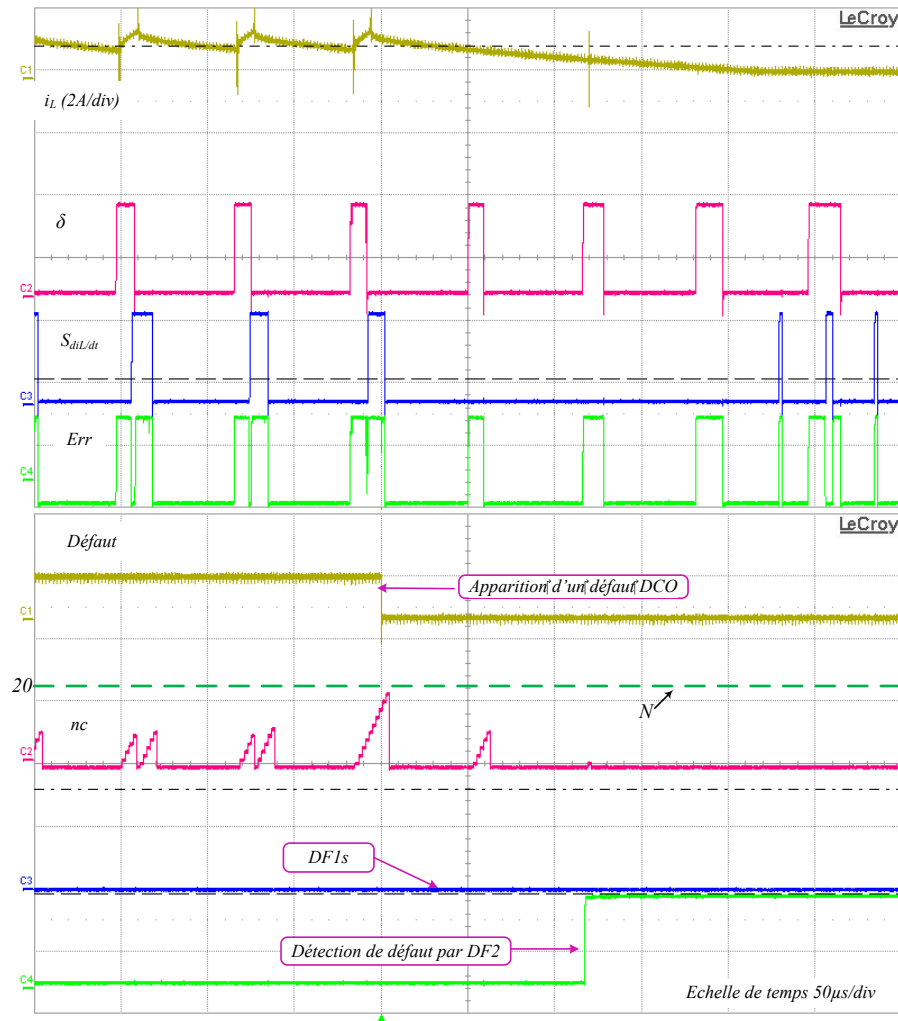


Figure 2-38 : Cas d'un DCO détecté par DF2.

A la Figure 2-39, les signaux spécifiques à l'algorithme $DF2$ ont été présentés. Avant l'apparition du défaut, nous sommes dans l'état E_0 (interrupteur ouvert). Après l'apparition de défaut, quand l'ordre de commande δ passe à '1', le signal $Trig$ s'active également et on passe alors à l'état E_1 . Dans cet état, on vérifie le bon fonctionnement du système. Nous restons dans cet état jusqu'au prochain front montant du signal $Trig$, on passera ensuite à l'état E_3 : c'est dans cet état que DCO-DF2 s'active.

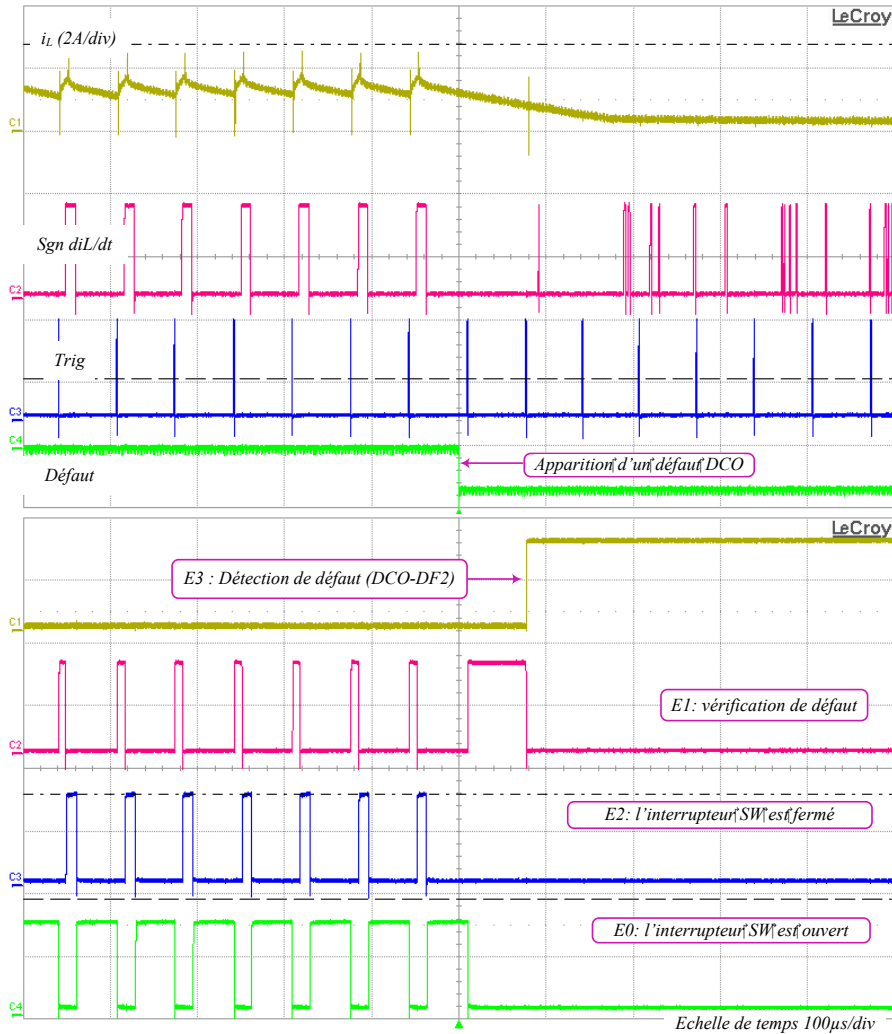


Figure 2-39 : Signaux spécifiques à l'algorithme DF2 dans le cas d'un défaut DCO.

2.4.7.4 Validation expérimentale de la détection d'un défaut de type court-circuit par DF1

Pour valider l'algorithme de détection de défaut, nous avons également généré expérimentalement le cas d'un DCC. Pour ce faire, l'ordre de commande de l'interrupteur SW a été forcé à '1' en utilisant les commutateurs DIP de la carte FPGA (Voir Figure 2-33).

Dans ce cas, le défaut apparaît à la fin de la période de commutation de l'IGBT de l'interrupteur SW et il est détecté lors de la période de fonctionnement suivant celle de son apparition. Pour ce point de fonctionnement, les paramètres sont les suivants : $V_e=60V$, $V_s=150V$ et $d=0,60$. La Figure 2-40 montre également qu'après l'apparition de la défaillance, le contrôle du système cherche à compenser l'augmentation du courant de l'inductance (i_L) en diminuant la valeur du rapport cyclique, ce qui augmente davantage encore le délai d'activation du compteur. Il faudra ainsi davantage de temps pour la détection du défaut.

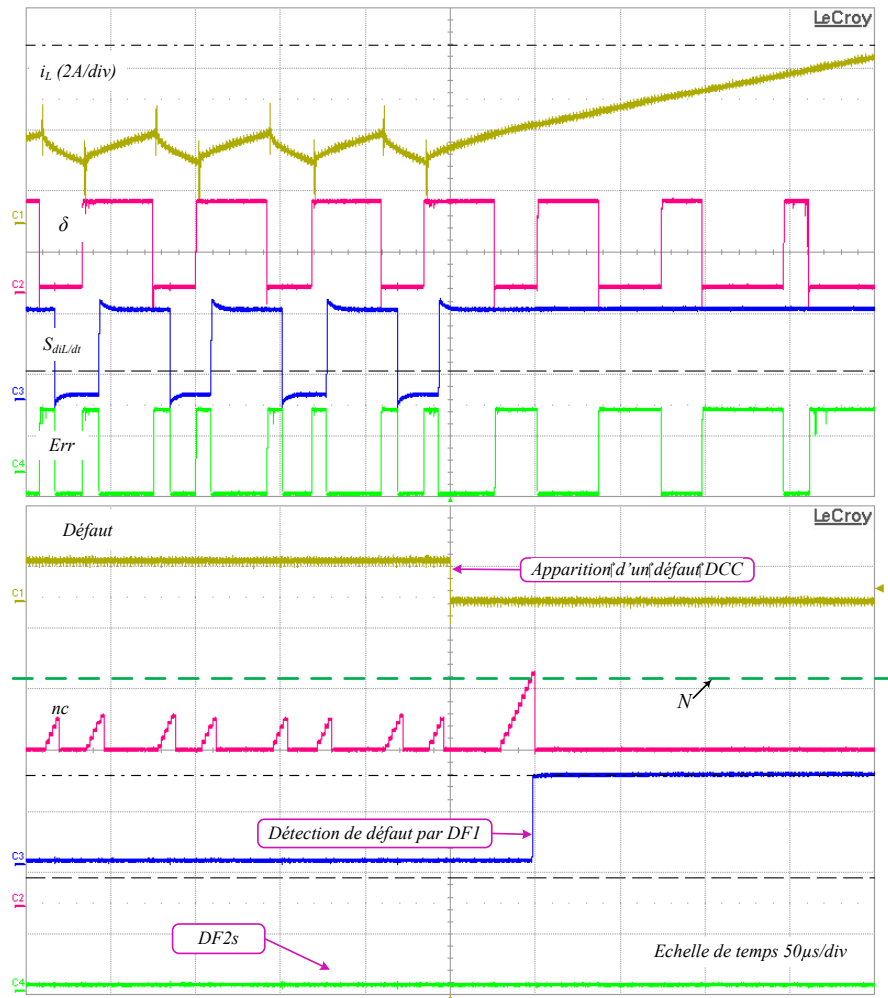


Figure 2-40 : Cas d'un DCC détecté par DF1.

Suite à l'apparition du défaut, le courant i_L commence à croître et la pente du courant devient positive. Le signal err s'active pour quelques microsecondes. Dans ces conditions, comme l'ordre de commande δ passe à '1', le signal "err" revient alors à '0', simultanément avec δ et le compteur est remis à zéro. L'algorithme $DF1$ ne peut pas détecter le défaut dans cette période de commutation car la durée d'activité du compteur n'est pas suffisante pour que la valeur de " n_c " atteigne la valeur de $N=20$. A l'instant où l'ordre de commande δ repasse à '0', le signal "err" passe également à '1' et le compteur s'incrémente. Le DCC est ainsi détecté par $DF1$. Dans ce cas, le temps total de détection est de $72 \mu s$.

2.4.7.5 Validation expérimentale de la détection d'un défaut de type court-circuit par DF2

Le quatrième test réalisé expérimentalement illustre le cas où la détection est réalisée par $DF2$. La Figure 2-41 illustre la de détection d'un DCC par $DF2$. Les paramètres du système sont les suivants : $V_e=35V$, $V_s=150V$ et la valeur de rapport cyclique est égale à 77%.

Dans ce cas, le défaut apparait au début de la période de commutation de l'IGBT de l'interrupteur SW et il est détecté au front montant de la période de fonctionnement suivant celle de son apparition. La Figure 2-41 montre qu'après l'apparition de la défaillance, le contrôle du système cherche à compenser l'augmentation du courant de l'inductance (i_L) en diminuant la valeur du rapport cyclique, ce qui augmente davantage encore le délai d'activation du compteur. Dans ce cas, le défaut a été détecté par $DF2$.

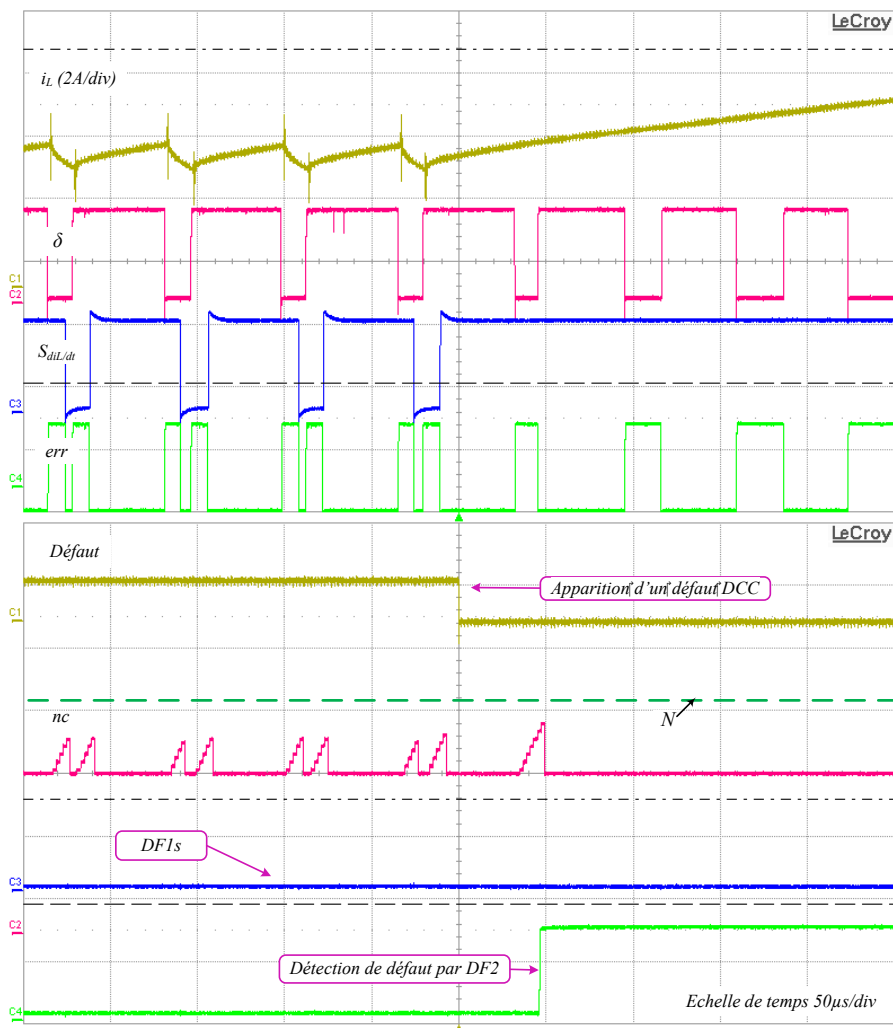


Figure 2-41 : Cas d'un DCC détecté par $DF2$.

La Figure 2-42 présente les signaux spécifiques à l'algorithme $DF2$. Comme on peut visualiser aux Figures 2-41 et 2-42, le défaut apparait alors que l'ordre de commande de l'interrupteur est égal à '1' et nous sommes dans l'état E_2 (l'interrupteur fermé) ; tant que δ reste égal à '1', le défaut n'est pas détectable car le système fonctionne apparemment normalement. Le courant i_L ne décroît pas malgré le passage de δ à '0', et l'on reste dans l'état (E_2) jusqu'au front montant de l'ordre de commande (δ passe à '1'). Ensuite sur front montant du signal $Trig$ la machine d'état passe à l'état E_4 ; le signal $DCC-DF2$ passe alors à '1' et le défaut est détecté.

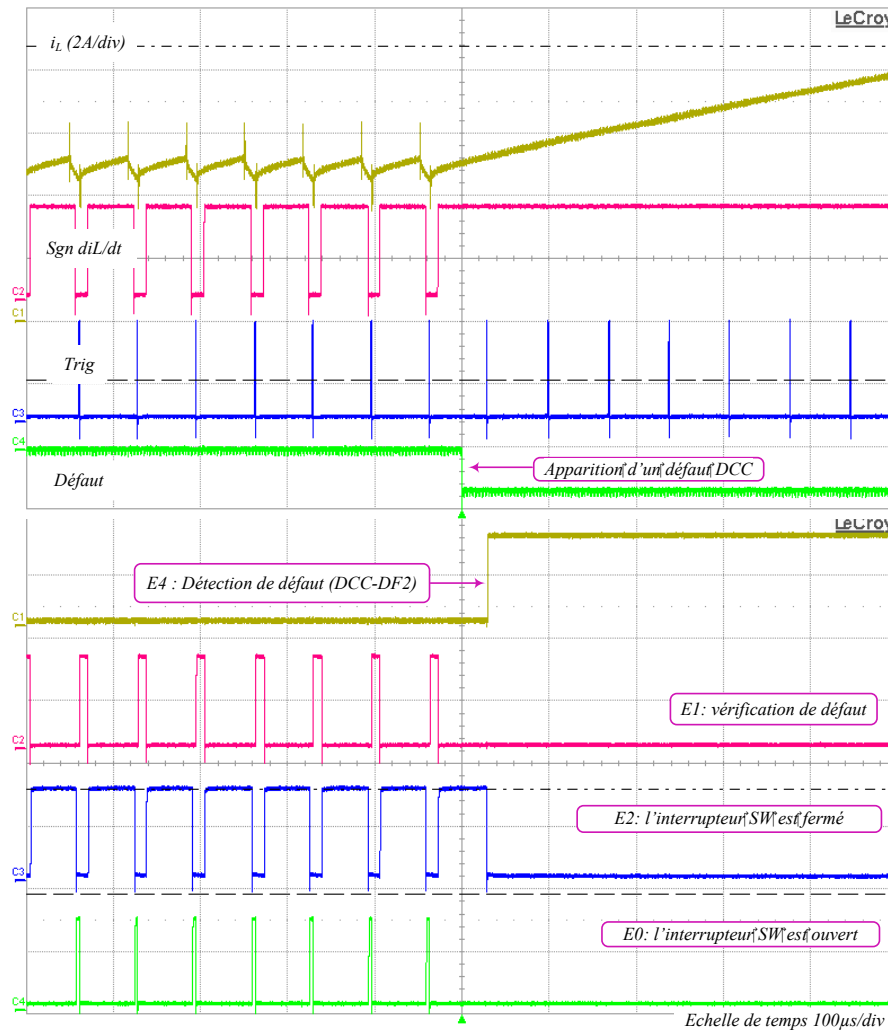


Figure 2-42 : Signaux spécifiques à l'algorithme *DF2* dans le cas d'un défaut DCC.

2.5 Application de la méthode de détection proposée à une topologie de convertisseur à tolérance de pannes (Fault tolerant converter)

Les systèmes hybrides électriques multi-sources, y compris les systèmes à énergies renouvelables, sont utilisés dans de nombreuses applications, notamment dans le domaine du transport mais aussi dans les systèmes de production d'énergie. Le choix des sources d'énergie dépend du domaine d'application. En général, les piles à combustible, les batteries, les super condensateurs (SC), les systèmes photovoltaïques (PV) et les éoliennes sont principalement mis en œuvre. Toutes ces sources délivrent des tensions de sorties différentes : elles doivent néanmoins être connectées à un bus DC ou AC commun et la mise en œuvre de convertisseurs statiques à base d'électronique de puissance s'avère nécessaire [Kup13], [Jam13], [Yan11], [Zan10T], [Tho10], [Yu10] et [Dou04].

Au chapitre 1 de ce mémoire, nous avons étudié la stabilité d'un système hybride multi-sources, multi-charges (Figure 1-18Figure 1-2). Afin d'augmenter la fiabilité de tels systèmes, nous proposons maintenant d'étudier une topologie à base de convertisseurs

DC-DC reliés à deux sources. La topologie proposée inclut un interrupteur additionnel (redondance), mutualisé avec les deux convertisseurs DC-DC par le biais de deux triacs (Figure 2-43).

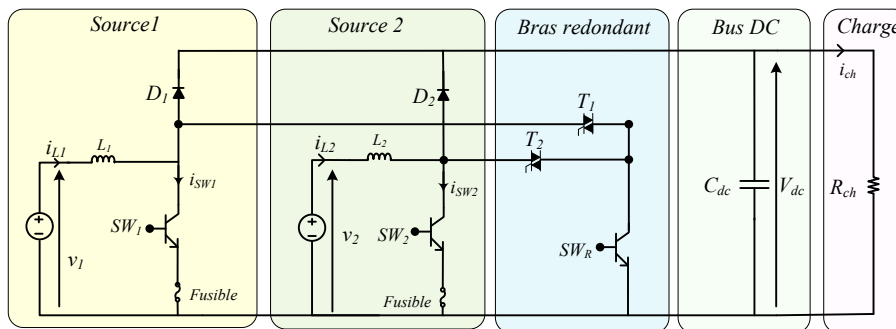


Figure 2-43 : Topologie à tolérance de pannes incluant un interrupteur redondant mutualisé.

Ainsi, dans cette topologie, l'IGBT redondant peut être indifféremment connecté à l'un des deux convertisseurs DC-DC à l'aide d'interrupteurs bidirectionnels en tension et en courant (triacs par exemple). Il remplacera indifféremment l'un des interrupteurs des deux convertisseurs DC-DC suite à la détection d'un défaut sur l'un des deux interrupteurs commandables SW_i . Une des optimisations présentées par cette topologie réside dans le fait d'avoir un seul interrupteur additionnel pour plusieurs sources ou éléments de stockage connectés en parallèle au bus DC. Néanmoins, le nombre de triacs additionnels restera égal au nombre de convertisseurs DC-DC mis en œuvre. De plus, un fusible est placé en série avec chaque interrupteur SW_i afin de garantir la continuité de service dans le cas d'un court-circuit permanent de SW_i .

Comme nous l'avons déjà mentionné, pour un système tolérant aux pannes deux étapes sont nécessaires :

- Détection de défaut
- Reconfiguration de système

La première étape a été étudiée et validée à la section précédente. Nous allons maintenant examiner les stratégies pour la reconfiguration du système de puissance. Deux stratégies différentes sont nécessaires à la reconfiguration du convertisseur de la Figure 2-43 selon le type de défaut détecté : DCO ou DCC.

La méthode de détection de défaut proposée est capable de diagnostiquer le type de défaut : circuit-ouvert ou court-circuit. Une fois le défaut détecté, une stratégie de reconfiguration adaptée doit alors être choisie. Dans le cas d'un défaut de type circuit-ouvert, la reconfiguration pourra être activée immédiatement après la détection du défaut. Le système pourra alors aussitôt assurer la continuité de service.

Dans le cas d'un défaut de type court-circuit l'interrupteur redondant ne pourra pas

remplacer l'interrupteur défaillant immédiatement après la détection du défaut. Tout d'abord, il faut isoler physiquement l'interrupteur défectueux et le déconnecter. C'est le rôle des fusibles mis en série avec les interrupteurs (voir Figure 2-43). Ces fusibles font partie de la topologie tolérant aux pannes. L'efficacité des fusibles au niveau d'onduleurs de tension a été examinée par Abrahamsen et *al.* [Abr00]. De plus, plusieurs tests de court-circuit d'IGBT ont été effectués pour étudier le phénomène de rupture du fusible et examiner dans quelle mesure le fusible protège l'IGBT [Abr00], [Iov01] et [Bra97].

Comme le montre la Figure 2-44, dans le cas d'un DCO, l'interrupteur défectueux est aussitôt remplacé après la détection de défaut. Par contre, pour un DCC, après la détection d'un défaut, nous attendons que le fusible ait joué son rôle. Quand le DCC a physiquement disparu (fusible casé), le courant i_{SWi} s'annule, le courant i_{Li} commence à décroître, le signal $S_{diL/dt}$ passe à '-1' et l'interrupteur défectueux pourra alors être remplacé par l'interrupteur redondant à l'aide du triac T_i .

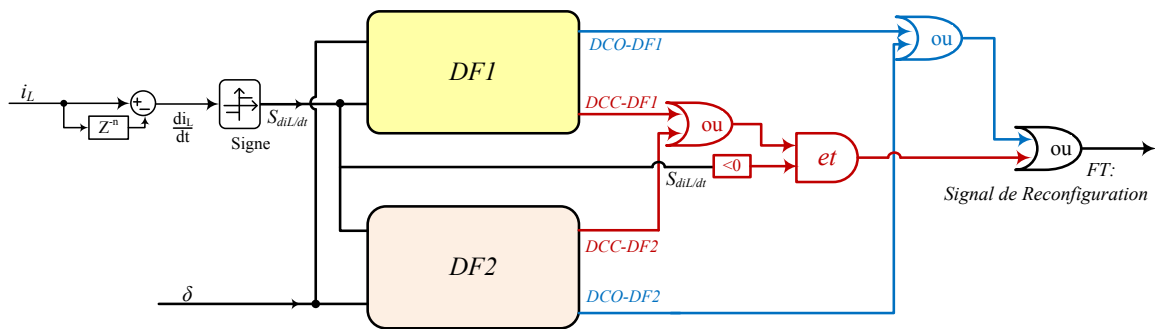


Figure 2-44 : Stratégies de reconfiguration du convertisseur selon le type de défaut.

Il est important de mentionner ici que les essais expérimentaux présentés dans cette section ont pour but de valider la détection de défaut et la reconfiguration d'un convertisseur DC-DC; ils n'ont pas pour objectifs les études du contrôle et de la stabilité du système, comme cela était le cas au chapitre 1.

De plus, comme nous avons pu le montrer lors des précédents résultats, la détection de défaut est plus rapide que la dynamique globale du système. Ainsi, le remplacement d'un composant de puissance défaillant n'a pas d'effet notable sur le contrôle du système. Notons que la topologie à tolérance de pannes de la Figure 2-43 peut être généralisée à un nombre plus élevé de convertisseurs DC-DC connectés à un bus continu commun, en mutualisant un unique interrupteur redondant pour tous les convertisseurs du système.

Pour toutes ces raisons, lors des simulations et essais, nous pouvons objectivement avoir recours à un système incluant une unique source de tension, un seul convertisseur DC-DC tolérant aux pannes et une charge pour la validation de nos travaux. Le schéma de principe du système alors étudié est présenté à la Figure 2-45. Les paramètres du convertisseur et du contrôle sont identiques à ceux utilisés lors de la détection de défaut.

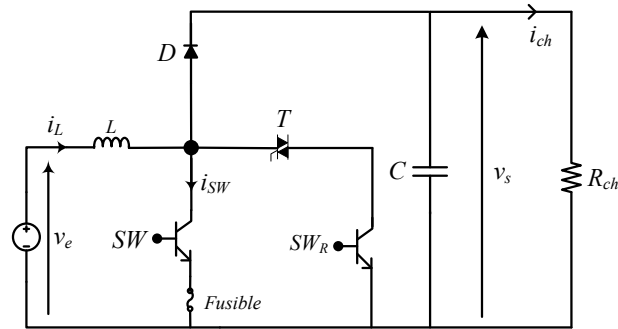


Figure 2-45 : Convertisseur DC-DC "fault tolerant" étudié.

Dans cette section, nous allons présenter les résultats de validation de la topologie de convertisseur tolérant aux pannes par simulation mixte, HIL et essais expérimentaux. La détection de défaut sera réalisée par les algorithmes *DF1* et *DF2* validés précédemment. Dans la section qui suit, nous ne détaillerons plus la détection du défaut qui a déjà fait l'objet des paragraphes précédents. Nous nous attacherons à valider la continuité de service du convertisseur.

2.5.1 Validation de la topologie de convertisseur tolérant aux pannes

2.5.1.1 Validation fonctionnelle du système tolérant aux pannes par simulation mixte

Nous présentons dans cette section les résultats de nos travaux de simulation mixte, réalisés dans l'environnement Matlab. Nous avons eu recours à la toolbox SimPowerSystems pour modéliser la partie puissance du convertisseur. Quant au contrôle de convertisseur, il a été modélisé à l'aide de la toolbox Simulink et DSP Builder. Notre objectif est de valider la topologie tolérance de pannes.

2.5.1.1.1 Reconfiguration du convertisseur suite à un DCO avec détection par DF1

Un défaut de type circuit-ouvert a été généré en simulation par la mise à '0' de l'ordre de commande de l'interrupteur *SW* (Figure 2-44). Les résultats de simulation obtenus sont présentés à la Figure 2-46.

Pour cette simulation, la fréquence de découpage est égale à 15kHz et les valeurs des tensions sont $V_e=40V$ et $V_s=150V$. Le rapport cyclique d est quant à lui égal à 0,73. Avant l'apparition du défaut, le système est correctement contrôlé.

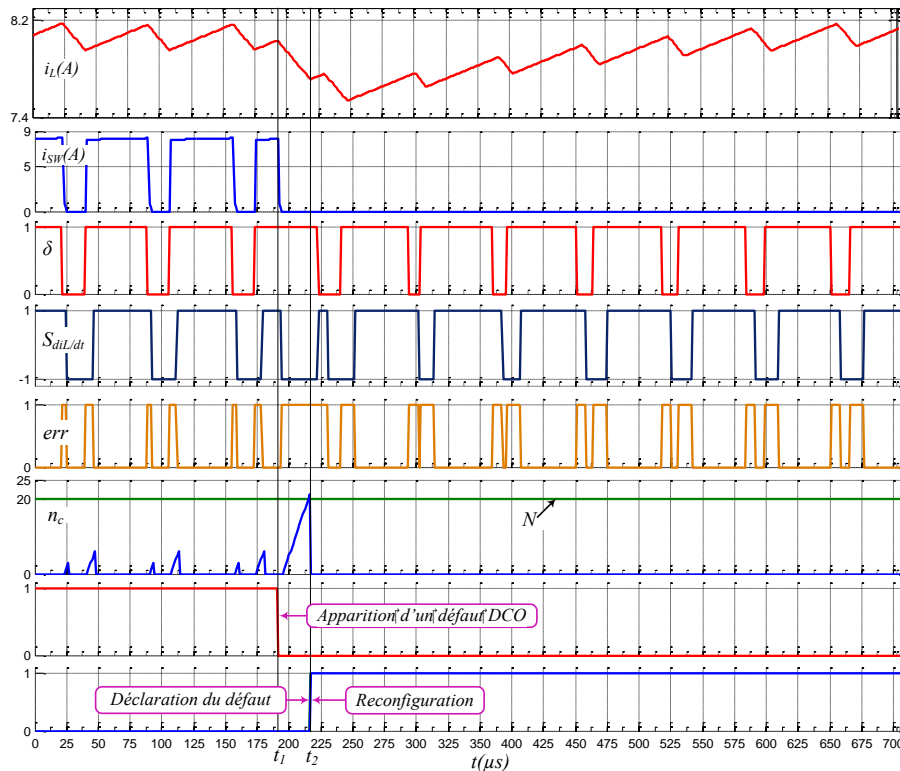


Figure 2-46 : Reconfiguration suite à un DCO au niveau de l'interrupteur SW .

A la Figure 2-46, on peut voir que le signal de détection de défaut $DCO-DF1$ est activé à $t_2=215 \mu s$. Dans ce cas, le temps de détection est $t_{det}=t_2-t_1=215-190=25\mu s$.

Nous pouvons visualiser à la Figure 2-46 qu'après la détection du défaut par l'algorithme $DF1$, l'interrupteur défectueux (SW) est immédiatement remplacé par l'interrupteur redondant (SW_R) (voir la Figure 2-44), ce qui permet au système de continuer à fonctionner en mode normal. De manière globale, le courant i_L suit à nouveau correctement sa référence après reconfiguration du convertisseur. On peut noter à la Figure 2-46 que le défaut "circuit ouvert" engendre néanmoins des effets transitoires indésirables (de courts durées, environ $400 \mu s$) sur la qualité de l'énergie fournie à la charge.

2.5.1.1.2 Reconfiguration du convertisseur suite à un DCO avec détection par DF2

Nous allons maintenant présenter les résultats de simulations dans le cas d'un rapport cyclique d faible (Figure 2-47). Un défaut de type circuit-ouvert a été appliqué à l'interrupteur SW lorsque $V_e=115V$ et $V_s=150V$. Le rapport cyclique d est égal à $0,23$ et la fréquence de commutation du convertisseur est égale à 15 kHz . Le défaut est généré au niveau de l'IGBT de l'interrupteur SW avant la commutation de l'état "fermé" à l'état "ouvert" ($t_1=194 \mu s$).

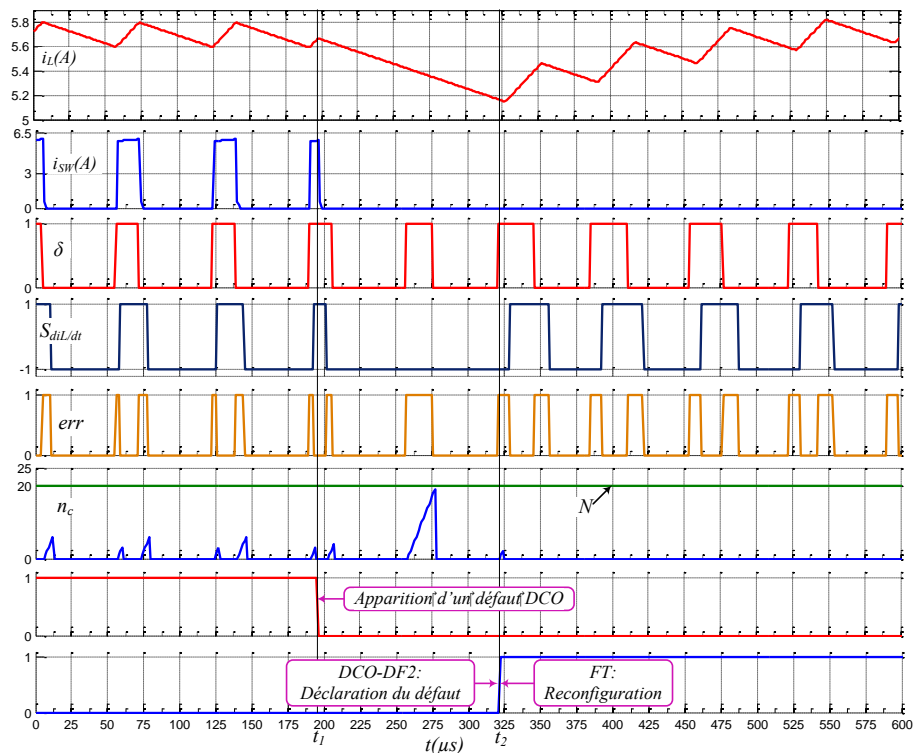


Figure 2-47 : Reconfiguration suite à un DCO avec une valeur faible du rapport cyclique.

Le défaut détecté est un DCO donc l'interrupteur défectueux peut être immédiatement remplacé par l'interrupteur redondant SW_R . La continuité de service est assurée.

Nous pouvons visualiser sur les Figures 2-46 et 2-47, qu'après l'apparition du DCO, le contrôle du système cherche à compenser la diminution du courant de l'inductance (i_L) en augmentant la valeur du rapport cyclique, ce qui augmente davantage encore le délai d'activation du compteur de $DF1$.

2.5.1.1.3 Reconfiguration du convertisseur suite à un DCC avec détection par DF1

Nous allons maintenant étudier la reconfiguration suite à un DCC. Un défaut DCC a été généré en simulation par la mise à '1' de l'ordre de commande de l'interrupteur SW . Dans ce cas d'un DCC, afin de prendre en compte le fusible et intégrer son rôle au niveau de la topologie à tolérance de pannes du convertisseur DC-DC (Figure 2-43), nous avons modélisé son comportement global, vu du convertisseur. Un délai de $500 \mu s$ a été intégré au modèle simulé lors d'un DCC : il correspond au temps nécessaire pour que le fusible casse, après apparition du DCC. Les résultats de simulation obtenus sont présentés à la Figure 2-48. Le DCC a fait croître le courant i_{SW} ainsi que le courant i_L . Après $500 \mu s$, le défaut a été considéré comme physiquement résolu par le fusible (voir Figure 2-45) : le courant i_{SW} s'annule et le courant i_L commence à décroître. Une fois l'interrupteur défectueux isolé par le fusible (i_{SW} s'annule et le signal $S_{diL/dt}$ passe à '-1'), l'interrupteur redondant peut être mis en conduction à la place de l'interrupteur défectueux et le convertisseur pourra assurer la continuité de service.

Pour cette simulation, la fréquence de découpage est égale à 15kHz et les valeurs des tensions sont : $V_e=115V$ et $V_s=150V$. Le rapport cyclique d est quant à lui égal à 0,23.

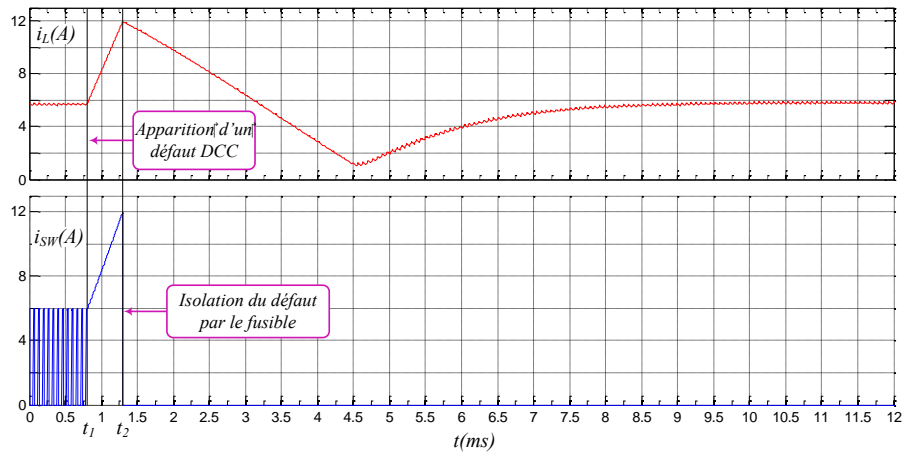


Figure 2-48 : Reconfiguration du convertisseur suite à un DCC avec détection par *DFI*.

La Figure 2-49 présente un zoom de la Figure 2-48, centré autour de l'instant d'apparition du défaut ($[0,5ms ; 5,1ms]$). On peut également visualiser sur cette figure les signaux de l'algorithme *DFI*, par ailleurs déjà commentés dans les secteurs spécifiques à la détection de défaut.

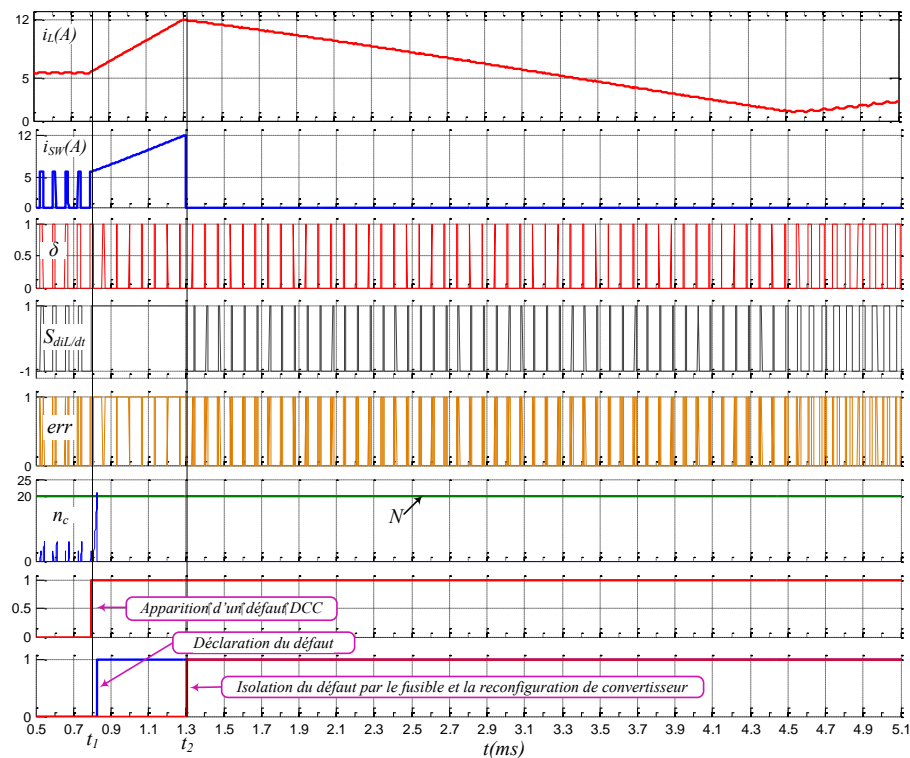


Figure 2-49 : Zoom de la Figure 2-48.

2.5.1.1.4 Reconfiguration du convertisseur suite à un DCC avec détection par DF2

Nous présentons maintenant le cas d'un DCC survenant alors que la valeur du rapport cyclique est élevée. Dans ce cas l'algorithme *DF1* ne peut pas détecter le défaut avant l'algorithme *DF2*. La tension V_e est égale à 24V ($V_s=150V$) et le rapport cyclique est égal à 0,84.

Nous pouvons remarquer à la Figure 2-50 que le défaut est détecté avec succès par l'algorithme de détection de défaut, plus particulièrement par l'algorithme *DF2*. Ici encore, l'interrupteur défectueux (SW) est alors remplacé par l'interrupteur redondant (SW_R) après l'intervention de fusible (500 μ s après l'apparition de défaut), ce qui permet au système de continuer à fonctionner en mode normal.

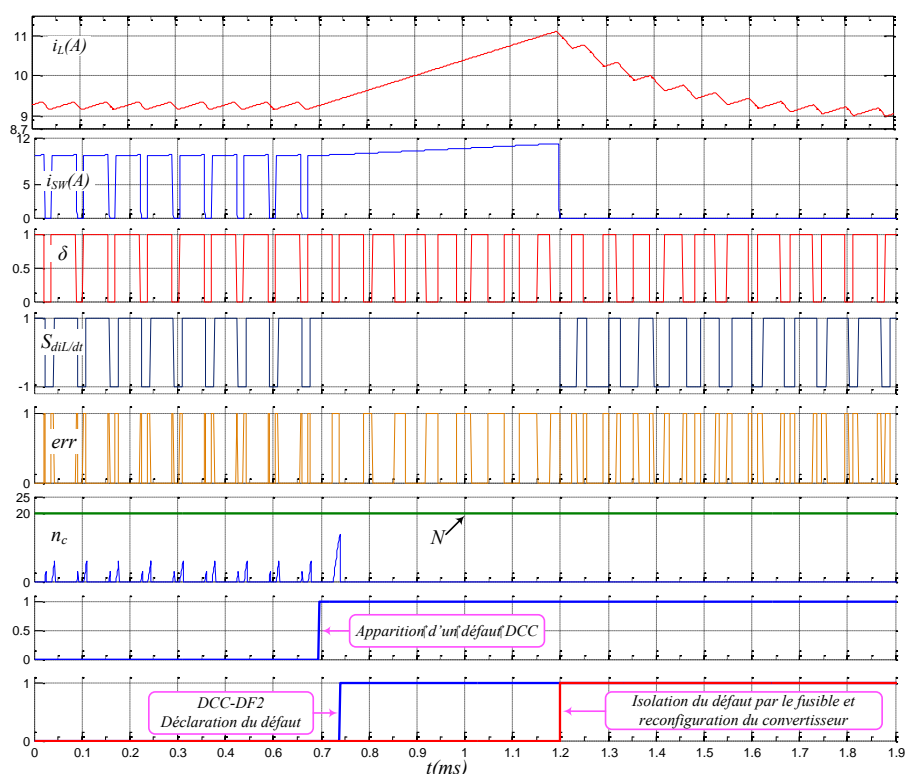


Figure 2-50 : Reconfiguration du convertisseur suite à un DCC avec détection par *DF2*.

Afin de ne pas alourdir la section de ce mémoire, consacrée à la continuité de service du convertisseur à tolérance de pannes de la Figure 2-45, nous ne présentons pas les résultats obtenus par prototypage "FPGA in the Loop" (HIL). Les différents cas de défauts ont néanmoins été testés et validés en HIL avant de passer à l'étape totalement expérimentale, sur le banc de test. Nous avons pu valider que la continuité de service du convertisseur DC-DC a été assurée dans tous les cas, quel que soit le défaut (DCO ou DCC) et quel que soit l'algorithme de détection (*DF1* ou *DF2*). Nous allons maintenant présenter les résultats expérimentaux.

2.5.1.2 Validation entièrement expérimentale

2.5.1.2.1 Banc de test expérimental

Afin de valider la continuité de service, nous avons modifié et complété le banc de test de la Figure 2-33, alors uniquement destiné à valider la détection de défaut.

Un interrupteur redondant SW_R ainsi qu'un triac T y ont été ajoutés. Le FPGA de la carte de développement a intégré également, en plus de la détection de défaut et son diagnostic, la logique de reconfiguration du convertisseur (Figure 2-51). On peut également visualiser un schéma simplifié du banc de test expérimental à la Figure 2-52.

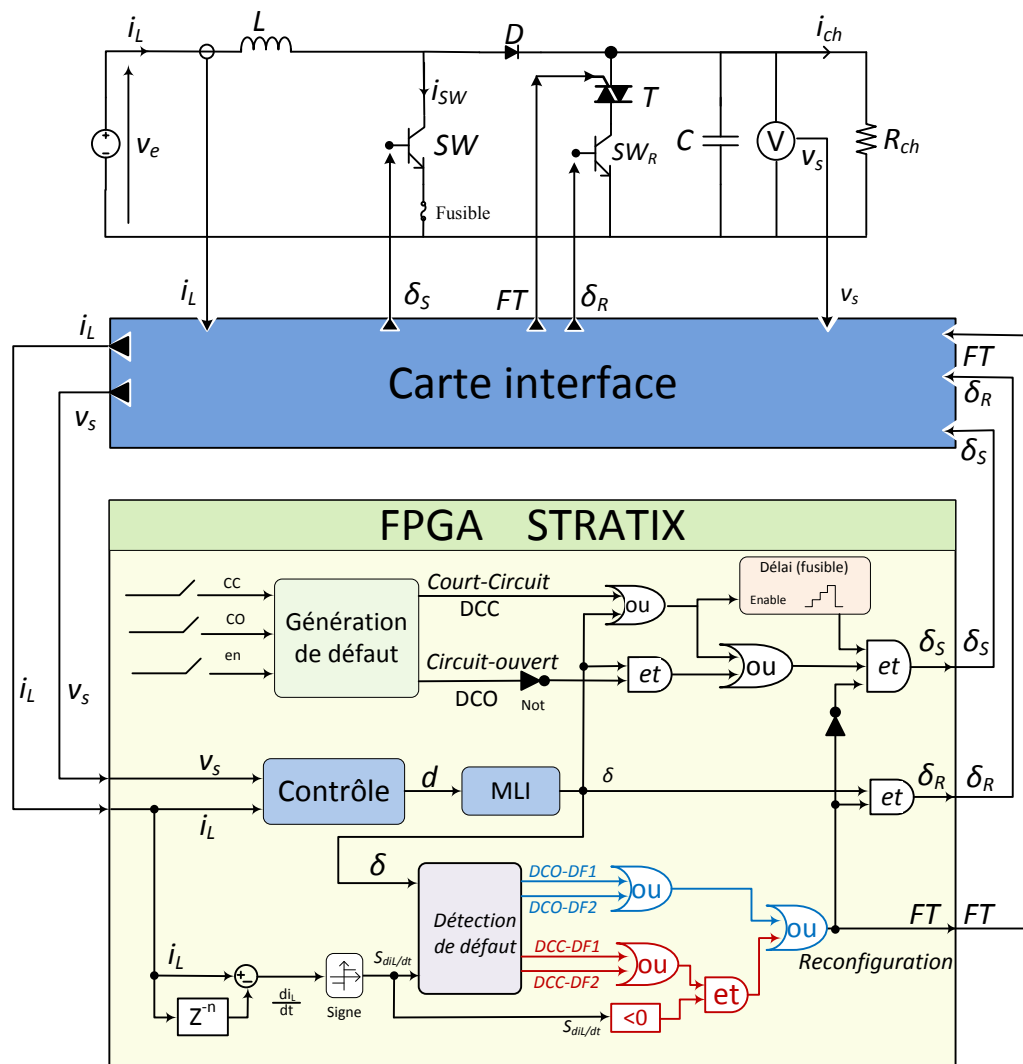


Figure 2-51 : Banc de test expérimental pour valider la continuité de service.

Le câblage laminaire du convertisseur fourni par la société Semikron ne permettait pas d'ajouter aisément un fusible en série avec SW . Dans le cas d'un DCC, le défaut de type court-circuit étant généré "artificiellement" par le biais de l'ordre de commande réellement appliqué à SW (δ_s différent de l'ordre δ imposé par la commande), nous avons

choisi d'intégrer le rôle du fusible lors de la programmation du FPGA : après un délai de $500 \mu\text{s}$, l'ordre de commande δ_s de SW artificiellement mis à '1', est remis à '0'. Cette remise à '0' traduit la casse du fusible et par conséquent, la fin du court-circuit permanent de SW .

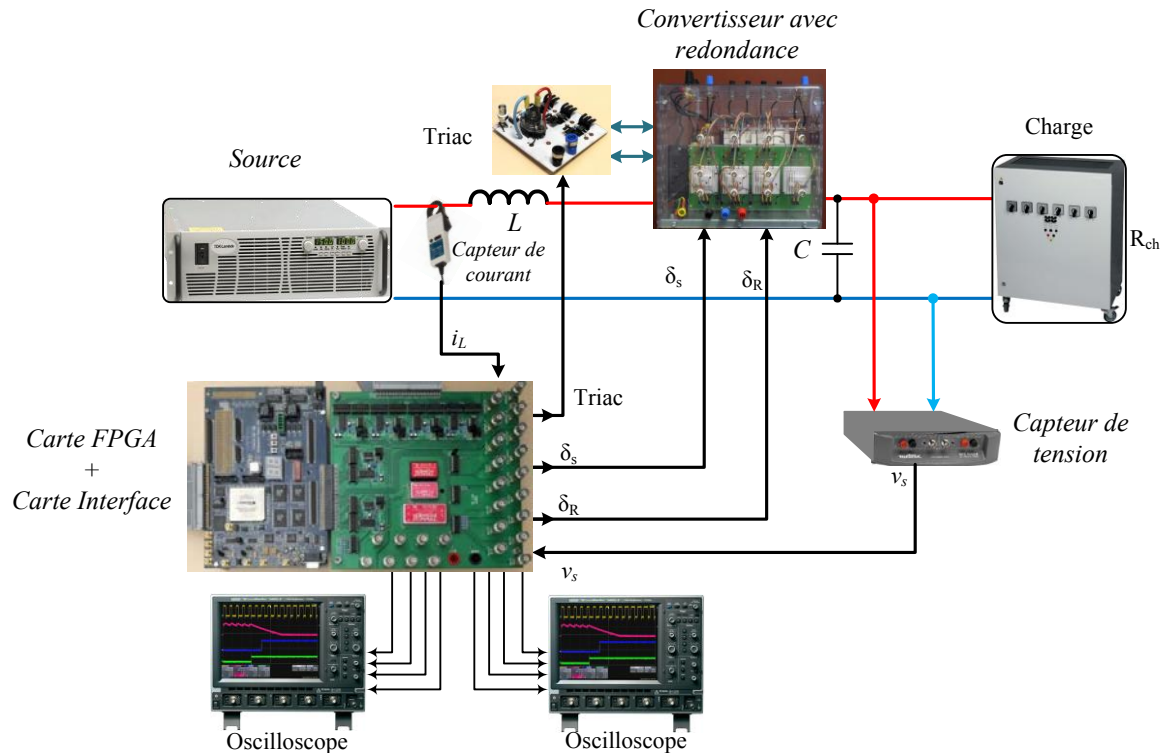


Figure 2-52 : Schéma de principe du banc de test expérimental.

2.5.1.2.2 Continuité de service lors d'un DCO détecté par DF1

Ce premier test a été effectué avec un rapport cyclique moyen, lors d'un défaut de type circuit-ouvert. Pour ce faire, nous avons fixé la tension d'entrée V_e à une valeur de 70V et réglé la tension de sortie V_s à une valeur de 150V. Le résultat de cet essai expérimental est présenté à la Figure 2-53. Cette figure présente également le courant i_L traversant l'inductance en régime établi, dont la valeur moyenne est égale à 2,8 A. La valeur du rapport cyclique est égale à 0,53.

Commentons maintenant les résultats expérimentaux de la Figure 2-53. La grandeur δ est l'ordre de commande généré par la MLI. Nous rappelons que le principe de base du premier algorithme de détection de défaut consiste à comparer le signe de la pente du courant ($S_{diL/dt}$) avec l'état de δ_s (δ_s et δ sont identiques avant génération du DCO) pour diagnostiquer l'apparition d'un défaut (voir Figure 2-3). Dès que le signal "err" est égal à '1', le compteur s'active. En mode de fonctionnement normal, en raison du délai inhérent au système, nous observons ainsi des pics au niveau du compteur n_c (comme le montre la Figure 2-53) ; ce résultat expérimental est tout à fait conforme à ce qui a été obtenu par simulation et par prototypage HIL lors de la validation de la détection de défaut. Ensuite,

lorsque le défaut DCO est réellement présent, le signal "err" reste à l'état '1' et la valeur du compteur n_c atteint son seuil N , égal à 20 : le défaut DCO est effectivement détecté par *DF1* en une durée égale à $45\mu s$. Aussitôt après la détection du DCO, l'interrupteur redondant permet de palier à la défaillance de l'interrupteur *SW* et le système continue à fonctionner normalement.

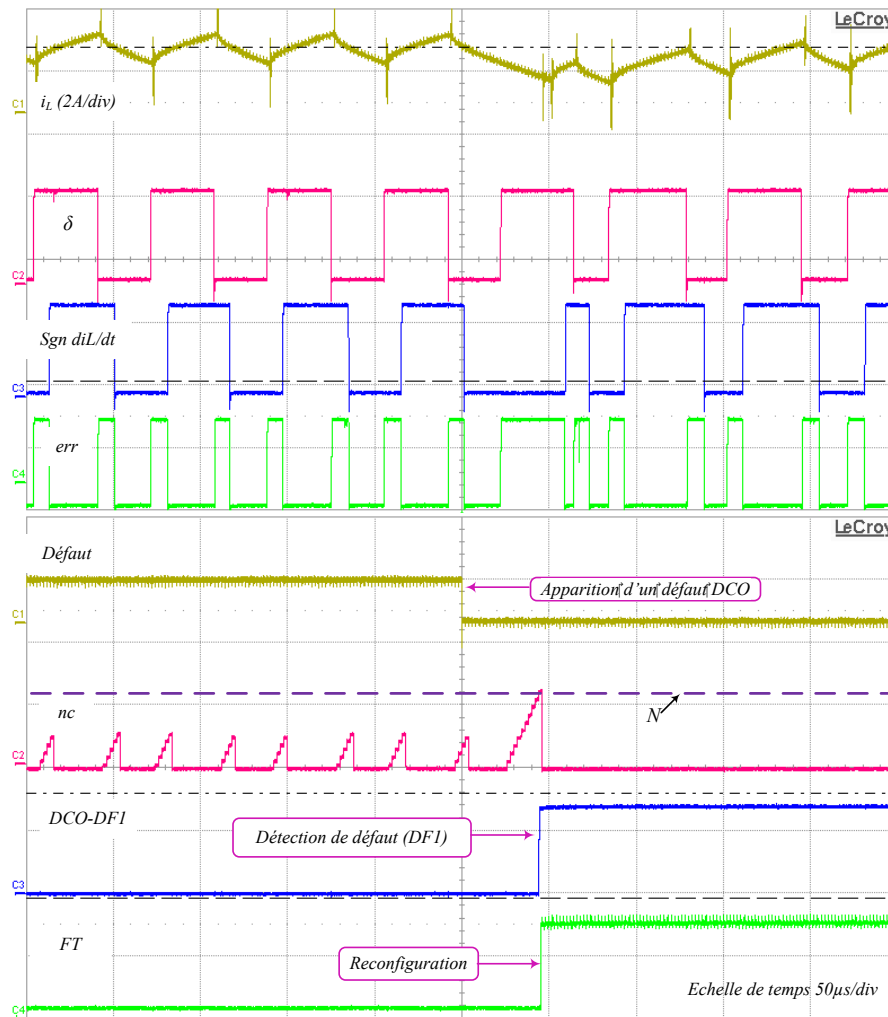


Figure 2-53 : Continuité de service suite à un DCO détecté par *DF1*.

2.5.1.2.3 Continuité de service lors d'un DCO détecté par *DF2*

Nous avons également validé expérimentalement le cas où la détection est réalisée par *DF2*. Les résultats obtenus sont présentés à la Figure 2-54. Les paramètres du système sont les suivants : $V_e=130V$, $V_s=150V$ et la valeur de rapport cyclique est égale à 13%.

Un défaut de type circuit-ouvert a été généré ; l'algorithme *DF1* ne peut pas détecter le défaut car la durée d'activité du compteur n'est pas suffisante pour que la valeur de " n_c " atteigne la valeur de 20. Ainsi, le défaut DCO subsiste au niveau de l'interrupteur durant deux périodes de commutation. Au début de la deuxième période de commutation, *DF2* détecte le défaut. Dans ce cas, le temps total de détection est de $137\mu s$. Le défaut étant un

DCO, le signal FT a été activé aussitôt après la détection de défaut et l'interrupteur SW a été remplacé par l'interrupteur redondant SW_R qui permet de palier à la défaillance de l'interrupteur SW . Le système continue à fonctionner normalement après la détection du défaut.

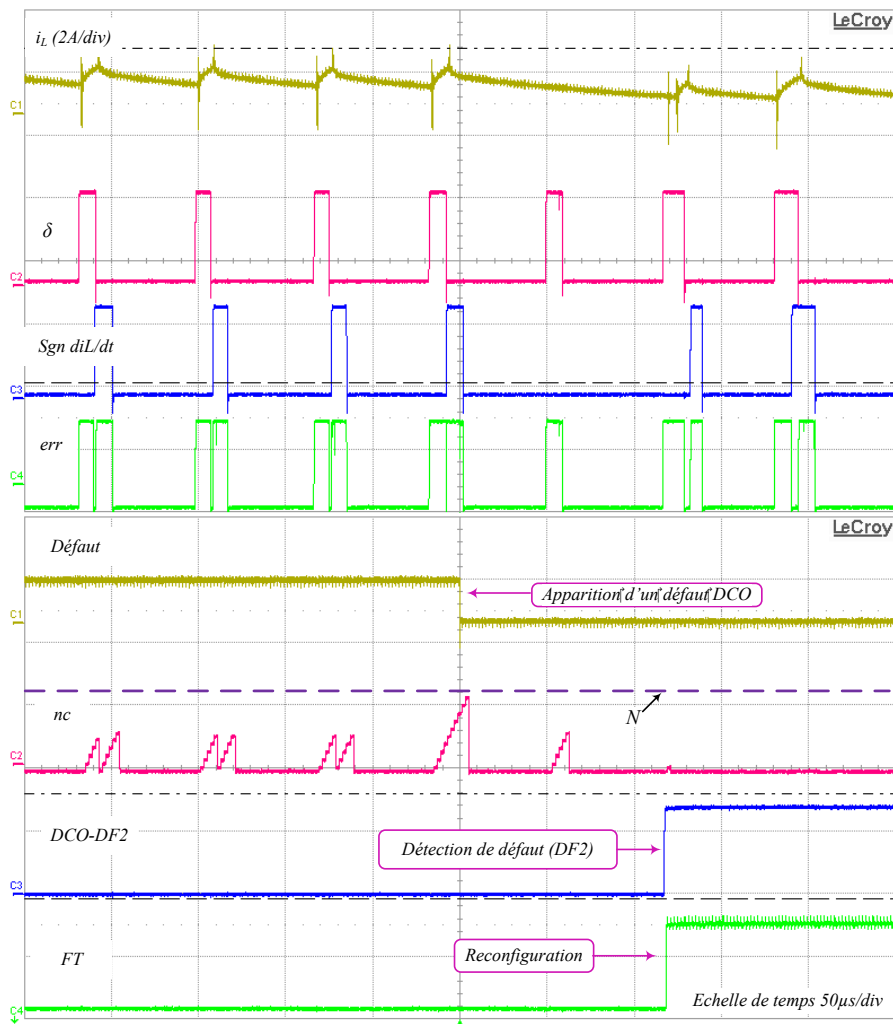


Figure 2-54 : Continuité de service suite à un DCO détecté par DF2.

2.5.1.2.4 Continuité de service lors d'un DCC détecté par DF1

Nous avons généré expérimentalement le cas d'un DCC. Dans ce cas, le défaut apparaît au milieu de la période de commutation de l'interrupteur SW et il est détecté lors de la période de fonctionnement suivant celle de son apparition. Pour ce point de fonctionnement, les paramètres sont les suivants : $V_e=70V$, $V_s=150V$ et $d=0,53$. La Figure 2-55 montre qu'après l'apparition du DCC, le contrôle cherche à compenser l'augmentation du courant de l'inductance (i_L) en diminuant la valeur du rapport cyclique, ce qui augmenterait davantage le temps de détection du DCC si l'on ne disposait que de l'algorithme DFI pour la détection (sans toutefois pouvoir maîtriser ce temps de détection avec l'algorithme DFI seul).

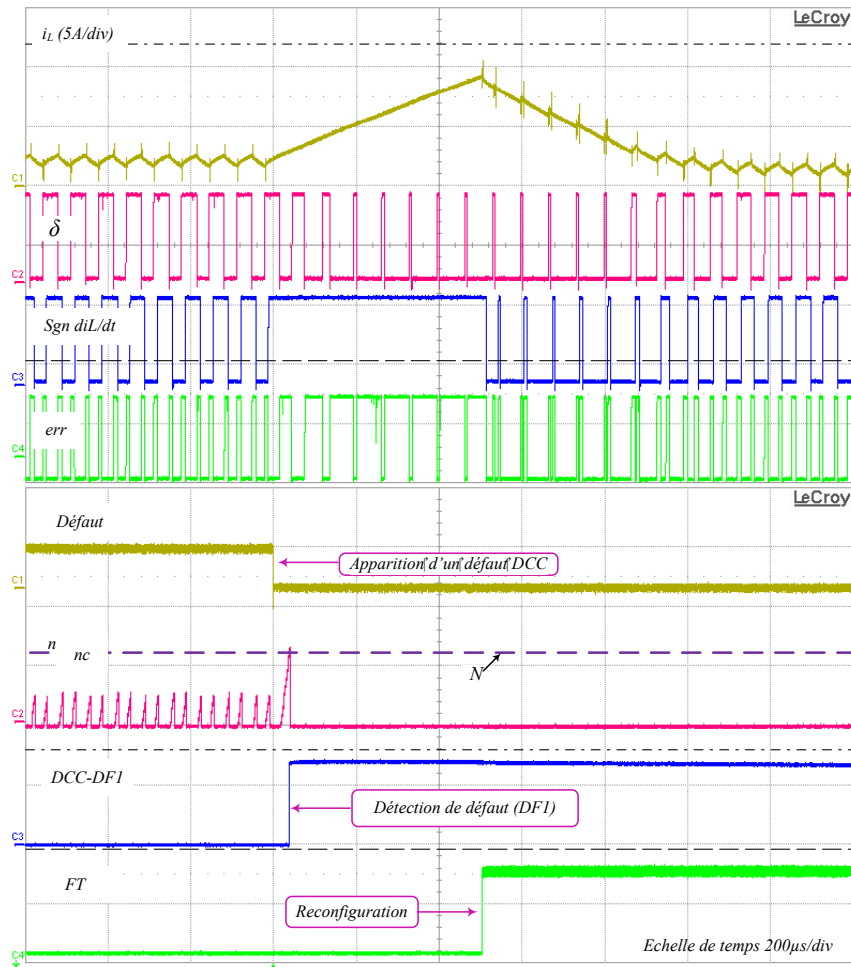


Figure 2-55 : Continuité de service suite à un DCC détecté par DF1.

La reconfiguration du convertisseur n'a pas été réalisée aussitôt le DCC détecté malgré une détection de défaut rapide. Le courant $i_L(t)$ continue à croître pendant 7 périodes de commutation de convertisseur. Après $500\mu s$, durée programmée dans le FPGA et émulant le comportement du fusible, le court-circuit de SW n'affecte plus physiquement le convertisseur : ce dernier est alors aussitôt reconfiguré. On peut noter qu'une fois encore la continuité de service du convertisseur est assurée.

2.5.1.2.5 Continuité de service lors d'un DCC détecté par DF2

Nous avons également validé expérimentalement la continuité de service lorsque la détection d'un DCC est réalisée par $DF2$. La Figure 2-56 présente les résultats de la reconfiguration du convertisseur dans le cas d'un défaut DCC.

Le défaut apparaît quand l'interrupteur SW est fermé et il est détecté par $DF2$ au début de la période de fonctionnement suivant celle de son apparition. Pour ce point de fonctionnement, les paramètres sont les suivants : $V_e=25V$, $V_s=150V$ et $d=0,84$.

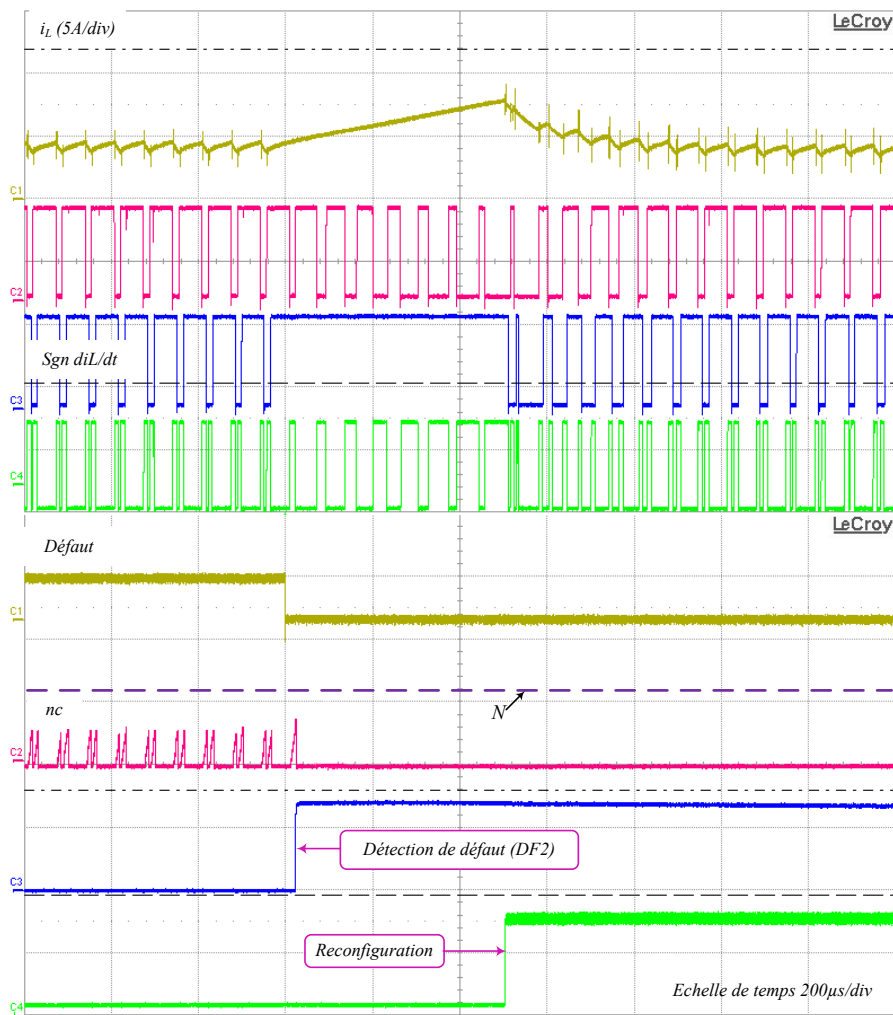


Figure 2-56 : Continuité de service suite à un DCC détecté par DF2.

Comme le cas précédent, la reconfiguration du convertisseur permet de garantir la continuité de service.

2.6 Conclusion

Ce second chapitre a été consacré à l'étude d'une méthode de détection de défaut robuste et très rapide ainsi qu'à l'étude d'une topologie de convertisseur statique DC-DC à tolérance de pannes. La méthode de détection de défaut est dédiée à une famille de convertisseurs DC-DC non isolée, dite "non-isolated single-ended DC-DC converters". Cette famille inclut les convertisseurs abaisseurs (Buck), élévateur (Boost), abaisseur-élévateur (Buck-Boost), Ćuk, SEPIC (Single-Ended Primary Converter Inductor) et Dual SEPIC. Ces convertisseurs sont très utilisés dans les applications industrielles. Parmi leur vaste gamme d'applications, on peut notamment citer la traction électrique, les véhicules électriques et les sources renouvelables DC. D'autres applications sont les systèmes hybrides électriques à bus DC distribué dans les réseaux électriques à bord de navires ou d'avions, pour ordinateurs ou bien encore pour les télécommunications. La plupart de ces

applications exigent un très haut niveau de sécurité, pouvant être qualifié de «safety critical» pour certaines d'entre elles, ce qui donne un intérêt majeur au diagnostic de pannes des interrupteurs ainsi qu'à la continuité de service du système de puissance.

Dans un premier temps, une nouvelle méthode de détection de défaut a été proposée et étudiée. Cette méthode est basée sur l'observation de la forme d'onde du courant traversant l'inductance. Pour la famille de convertisseurs étudiée, l'allure générale de la forme d'onde du courant traversant l'inductance est toujours la même. En raison de cette similarité, nous avons choisi de développer, dans ce chapitre, la méthode de détection de défaut proposée dans le cas particulier d'un convertisseur élévateur. Cette méthode est constituée de deux algorithmes (DF1 et DF2) permettant de détecter un défaut de type circuit-ouvert ou de type court-circuit dans un interrupteur commandable. Le premier algorithme (DF1) est très rapide mais sa robustesse n'est pas satisfaisante dans certains cas. Le deuxième algorithme (DF2) est robuste et détecte efficacement tous les types de défauts dans toutes les conditions. Par contre, il n'est pas aussi rapide que DF1. Notons que dans tous les cas, la détection de défaut se fait dans un temps très court (de l'ordre de quelques dizaines de μs) ce qui est remarquable si l'on compare cette performance avec celles relatées dans des publications les plus récentes.

Afin de valider la fonctionnalité de la méthode de détection de défaut, une simulation a été effectuée à l'aide des outils informatiques classiques, ici Matlab et ses toolboxes associées : Simulink, SimPowerSystems et DSP Builder. Ensuite une méthode de prototypage, nommée "FPGA in the loop", nous a permis de valider la conception et l'implantation sur cible FPGA de la détection de défaut, avant de procéder aux tests entièrement expérimentaux. Un banc d'essai expérimental a été conçu et réalisé lors de cette thèse. Ce banc est constitué d'une source de tension LABMDA qui joue le rôle d'une source d'énergie, un convertisseur DC-DC et une charge résistive. Le contrôle du système ainsi que la détection de défaut ont été réalisés sur une carte de développement FPGA Stratix de la société ALTERA. Les essais expérimentaux ont d'abord été effectués afin de vérifier le contrôle et la stabilité du système en mode sans défaillance. La détection de défaut a ensuite été validée dans le cas de défauts de types circuit-ouvert et court-circuit au niveau l'interrupteur commandable du convertisseur.

Ensuite, nous avons présenté une topologie de convertisseur DC-DC à tolérance de pannes de l'interrupteur commandable et comportant un unique interrupteur redondant. Pour cela, nous avons choisi de proposer une topologie de convertisseur DC-DC qui s'inscrit dans la problématique des travaux de recherche menés ces dernières années au sein des Laboratoires GREEN et IJL et portant sur les systèmes hybrides électriques multi-sources, isolés et basés sur les énergies renouvelables. En effet, pour ces systèmes isolés du réseau électrique, la disponibilité de l'énergie est un enjeu majeur.

Ainsi, la fonctionnalité de la topologie du convertisseur DC-DC à tolérance de pannes a été validée par la simulation, en HIL et expérimentalement. En ajoutant un interrupteur redondant et un triac au banc d'essai expérimental utilisé pour la validation de la méthode

de détection défaut, nous avons démontré que la continuité de service du système pour tout type de défaut et dans toutes les conditions (DCC ou DCO, détection par $DF1$ ou $DF2$) est assurée.

Conclusion générale et perspectives

Conclusion générale et perspectives

Dans ce mémoire, nous avons étudié la stabilité puis la continuité de service d'un DC-SPD. Le premier chapitre a été consacré à l'étude de la gestion de l'énergie et de la stabilité dans un DC-SPD. Pour l'étude de la gestion d'énergie, un système avec une source solaire PV et deux éléments de stockage (batterie et super condensateur) a été considéré et modélisé. Dans un DC-SPD, l'énergie du bus continu varie en fonction de la puissance consommée ou produite par les sous-systèmes qui y sont connectés. Le super condensateur, qui est la source d'énergie avec la dynamique la plus rapide, a en charge la régulation de l'énergie du bus continu lorsqu'un changement rapide de la charge se produit. La batterie a pour rôle de réguler le stock d'énergie au niveau du super condensateur. L'énergie produite par la source solaire PV est par définition un phénomène intermittent, fonction de l'ensoleillement et de la température; cette source est contrôlée par un algorithme MPPT. Autrement dit, dans le contrôle de la gestion d'énergie, nous avons considéré la puissance fournie par la source solaire PV comme une puissance qui se soustrait à la puissance requise par les charges connectées au bus DC. La performance de la stratégie de la gestion d'énergie ici étudiée ainsi que le contrôle/commande sont validés par simulation dans l'environnement Matlab/Simulink avec la toolboxe SimPowerSystem de Matlab. Les résultats de simulation illustrent que nous avons correctement régulé la tension du bus continu à sa valeur de consigne, la puissance maximale de la source solaire PV a été extraite et l'énergie du SC a été correctement contrôlée.

Ensuite, dans la seconde partie du chapitre 1, afin d'étudier la stabilité, nous avons considéré un système comportant une source principale, un super condensateur et deux charges de type CPL. Les CPL peuvent affecter la stabilité du système auquel elles sont connectées lorsque la puissance consommée par la charge dépasse une limite, laquelle peut être théoriquement déterminée. Dans les systèmes multi-charges, la détermination des points de fonctionnement et des limites garantissant la stabilité du système est nécessaire. Ces limites ne doivent pas être dépassées lors de l'utilisation du système. Dans un système à n charges, on peut définir l'ensemble des points de fonctionnement stables comme une hyper surface d'ordre n où chaque axe représente la puissance de l'une des charges. Dans notre étude, le système comporte deux charges. Nous pouvons donc déterminer un système de dimension 2 définissant les limites de stabilité du système. Dans un premier temps, les charges sont modélisées par des sources de courants

commandées. Par la suite, les modèles moyens des convertisseurs sont déterminés. Ces derniers permettent d'avoir un modèle mathématique non-linéaire du système étudié. Afin d'avoir un modèle linéaire du système par linéarisation, nous avons déterminé la matrice Jacobienne associée au modèle non-linéaire autour d'un point de fonctionnement. Ensuite, nous avons utilisé l'approche "petit signal" afin de déterminer les puissances maximales des charges. Nous avons étudié les valeurs propres de la matrice Jacobienne du système sachant qu'un système linéaire sera stable si les parties réelles des valeurs propres sont négatives. Une fois le domaine de stabilité du système déterminé, afin d'élargir celui-ci et ainsi éviter le risque d'instabilité dans le cas où les charges sont déséquilibrées, une méthode de stabilisation active décentralisée a alors été proposée et mise en œuvre. Les résultats de simulation dans l'environnement Matlab ainsi que les résultats expérimentaux illustrant l'élargissement du domaine de stabilité du système grâce aux blocs de stabilisation ont été présentés.

Le second chapitre a été consacré à l'étude d'une méthode de détection de défaut robuste et très rapide ainsi qu'à l'étude d'une topologie de convertisseur statique DC-DC à tolérance de pannes. Nous avons considéré la famille des convertisseurs DC-DC non isolés, dite "Non-Isolated Single-Ended DC-DC Converters". Cette famille inclut les convertisseurs Buck, Boost, Buck-Boost, Ćuk, SEPIC et Dual SEPIC qui sont très utilisés dans les applications industrielles. La continuité de service de ces systèmes ainsi que leur sécurité, leur fiabilité et leurs performances sont aujourd'hui des préoccupations majeures. Dans un premier temps, une nouvelle méthode de détection de défaut a été proposée et étudiée. Cette méthode est basée sur l'observation de la forme d'onde du courant traversant l'inductance, sachant que pour la famille de convertisseurs étudiés, l'allure générale de celui-ci est toujours la même. En raison de cette similarité, un convertisseur élévateur a été choisi pour appliquer la méthode de détection de défaut proposée. Cette méthode est constituée de deux algorithmes (DF1 et DF2) permettant de détecter et diagnostiquer un DCO ou un DCC au niveau de l'interrupteur commandable. Le premier algorithme (DF1) est très rapide mais sa robustesse n'est pas satisfaisante dans certains cas. Le deuxième algorithme (DF2) est robuste et détecte efficacement tous les types de défauts dans toutes les conditions. Toutefois, il n'est pas aussi rapide que DF1. Notons que dans tous les cas, la détection de défaut se fait dans un temps très court (de l'ordre de quelques dizaines de μs , soit une durée inférieure à deux périodes de découpage) ce qui est remarquable si l'on compare cette performance avec celles relatées

dans des publications les plus récentes. Cette méthode de détection ne demande aucun capteur de courant ou tension additionnel. Les capteurs additionnels augmenteraient le poids et le coût du système en diminuant la fiabilité de celui-ci. Afin de valider la fonctionnalité de la méthode de détection de défaut, une simulation a été effectuée à l'aide des outils informatiques classiques, ici Matlab et ses toolboxes associées : Simulink, SimPowerSystems et DSP Builder. Ensuite, nous avons fait le choix d'utiliser une cible FPGA pour mettre en œuvre cette détection du défaut et ainsi garantir des performances "temps réel". Une méthodologie de prototypage rapide dite "FPGA in the Loop" est utilisée tout au long de ces travaux. Elle nous a permis de valider sur cible FPGA de la méthode de détection de défaut et le contrôle du convertisseur, avant de procéder aux tests expérimentaux. Un banc d'essai expérimental a été conçu et réalisé lors de cette thèse. Les résultats obtenus par simulation et les essais expérimentaux valident l'efficacité de la méthode de détection de défaut dans le cas d'un DCO et d'un DCC survenant au niveau de l'interrupteur commandable d'un convertisseur Boost.

Finalement, nous avons proposé une topologie de convertisseur DC-DC à tolérance de pannes de l'interrupteur commandable et comportant un unique interrupteur redondant et un triac. Cette topologie peut être utilisée dans les systèmes hybrides électriques multi-sources (ou SPD), pour lesquels la disponibilité de l'énergie est un enjeu majeur. Une des optimisations présentées avec cette topologie réside dans le fait d'avoir un seul interrupteur additionnel mutualisé pour plusieurs sources ou éléments de stockage connectés en parallèle au bus DC via des convertisseurs DC-DC. Afin de garantir la continuité de service du convertisseur dans le cas d'un DCC permanent, un fusible est placé en série avec l'interrupteur commandable. Pour un système tolérant aux pannes, deux étapes sont nécessaires. Tout d'abord, le défaut doit être détecté et localisé ; ensuite le système doit être reconfiguré. Grâce à la méthode de détection de défaut proposée - qui est capable de distinguer le type de défaut (DCO ou DCC) - deux stratégies différentes sont proposées pour la reconfiguration du convertisseur selon le type de défaut détecté. Dans le cas d'un DCO, la reconfiguration pourra être activée immédiatement après la détection du défaut. En revanche, dans le cas d'un DCC, l'interrupteur redondant ne pourra pas remplacer l'interrupteur défaillant immédiatement après la détection du défaut. Dans un premier temps, il faut isoler physiquement l'interrupteur défectueux et le déconnecter, ce qui est effectué par le biais du fusible mis en série avec l'interrupteur. Quand le DCC a physiquement disparu (fusible ouvert), l'interrupteur défectueux pourra

alors effectivement être remplacé par l'interrupteur redondant. Dans tous les cas, après la reconfiguration, le système pourra alors assurer la continuité de service. Ainsi, la fonctionnalité de la topologie à tolérance de pannes ainsi proposée a été validée par la simulation, par approche "FPGA in the Loop" (HIL pour Hardware In the Loop) puis expérimentalement.

Plusieurs axes d'études et de recherches complémentaires peuvent être envisagés comme perspectives de ce travail. Dans cette thèse, on s'est intéressé à la détection de défaut et la continuité de service des convertisseurs DC-DC dans le cas de défauts au niveau de l'interrupteur commandable. Une des perspectives complémentaires de ce travail serait d'étudier les cas de défaillances des condensateurs électrochimiques qui sont les composants les plus fragiles dans ce type de structures de conversion. Il serait donc très intéressant d'essayer de mettre en œuvre une/des méthode(s) de diagnostic sur ce composant ainsi que de proposer des possibilités de reconfiguration en cas de problème à ce niveau.

Par ailleurs, il serait également intéressant de prendre en compte les possibilités de défaillance des autres composants du système. En particulier, on peut penser aux diodes du système. Ces dernières sont connues pour être plus résistantes que les interrupteurs commandables, mais le diagnostic de défaut de ce composant peut s'avérer indispensable pour assurer la continuité de service.

De plus, nous pouvons alors élargir le domaine de validité des méthodes de diagnostic proposées sur les interrupteurs aux structures réversibles (pour lesquelles la diode est remplacée par un interrupteur commandable). Dans ce cas, les stratégies pour la reconfiguration selon le type et la localisation de défaut seront plus complexes. Ainsi l'étude des différentes topologies du convertisseur à tolérance de pannes sera intéressante.

La méthode de détection de défaut proposée peut encore être améliorée. Le retard entre le changement d'ordre de commande de l'interrupteur et son changement effectif d'état peut être compensé. Cette compensation permettrait d'avoir une détection plus rapide et d'élargir le domaine d'efficacité de DF1 (par rapport au rapport cyclique).

Des études permettant d'adapter cette méthode de détection de défaut à d'autres types de convertisseurs utilisés dans les différents secteurs industriels, pourraient être envisagées

comme par exemple pour les convertisseurs à pont complet ou demi-pont isolés. Dans ce type de convertisseurs, la localisation du défaut sans capteur additionnel reste cependant plus complexe.

Au niveau de continuité de service, une topologie du convertisseur tolérance de pannes sans redondance pour un convertisseur mono interrupteur (Boost, Buck , etc) ne serait pas possible. En revanche, cette idée peut être appliquée aux convertisseurs avec une architecture plus complexe, comme par exemple les convertisseurs multi niveau. Ces convertisseurs ont plusieurs interrupteurs qui nous permettent d'avoir différentes stratégies pour la reconfiguration sans redondance après détection d'un défaut au niveau d'un des interrupteurs.

Publication et communication du doctorant

Publications:

M. Shahbazi, **E. Jamshidpour**, P. Poure, S. Saadate, M. Zolghadri, "Open And Short-Circuit Switch Fault Diagnosis For Non-Isolated DC-DC Converters Using Field Programmable Gate Array", *IEEE Transaction on Industrial Electronics*, Vol. 60, Issue 9, pp. 4136-4146, 2013.

E. Jamshidpour, B. Nahid-Mobarakeh, P. POURE, S. Pierfederici, F. Meibody-Tabar, S. SAADATE, "Distributed Active Resonance Suppression In Hybrid DC Power Systems Under Unbalanced Loads Conditions", *IEEE Transaction on power electronics*, Vol. 4, Issue 4, Pages: 1833 – 1842, 2013.

Communications:

E. Jamshidpour, M. Shahbazi, P. Poure, E. Gholipour, S. Saadate, "FPGA based fault detection and fault tolerance operation in DC-DC converters", *Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM 2014)- Ischia (Italy)*, Jun. 2014.

E. Jamshidpour, M. Shahbazi, P. Poure, E. Gholipour, S. Saadate, "Fault Tolerant Operation Of Single-Ended Non-Isolated Dc-Dc Converters Under Open And Short-Circuit Switch Faults", *15th European Conference on Power Electronics and Applications (EPE'13-ECCE Europe)*, Lille, France, 2013.

E. Jamshidpour, B. Nahid-Mobarakeh, P. Poure, S. Pierfederici, S. Saadate, "Distributed stabilization in DC hybrid power systems", *Vehicle Power and Propulsion IEEE Conference - VPPC*, pp. 1-6, 2011.

En cours :

E. Jamshidpour, P. Poure, S. Saadate, "FPGA Based Switch Fault Diagnosis and Fault Tolerant Operation in Non-isolated single-ended DC-DC converters", *IEEE Transaction on power electronics*, (en cours de révision).

Références bibliographiques

Références bibliographiques

A:

[Abo05] S. Abourida, C. Dufour et J. Bélanger, “real-time and hardware-in-the-loop simulation of electric drives and power electronics: process, problems and solutions”, *International Power Electronics Conference (IPEC-Niigata 2005)*, Niigata, Japan, 2005.

[Abr00] F. Abrahamsen; F. Blaabjerg; K. Ries;H. Rasmussen, “Fuse protection of IGBT's against rupture”, *IEEE Nordic Workshop on Power and Industrial Electronics (NORPIE'2000)*, Aalborg University, Denmark, pp. 64-68, 2000.

[Alk08] H. Alkhatib Etude De La Stabilité Aux Petites Perturbations Dans Les Grands Réseaux Electriques : Optimisation De La Régulation Par Une Méthode Metaheuristique”, *thèse de doctorat de l'Université Paul Cézanne D' aix-Marseille*, 2008.

[Ama12] A.M.R. Amaral, et A.J.M. Cardoso, “On-line fault detection of aluminium electrolytic capacitors, in step-down DC-DC converters, using input current and output voltage ripple”, *The Institution of Engineering and Technology (IET) Power Electronics*, Vol. 5, No. 3, pp. 315-322, 2012.

[An2011] Q. T. An, L. Z. Sun, K. Zhao, and L. Sun, “Switching Function Model-Based Fast-Diagnostic Method of Open-Switch Faults in Inverters Without Sensors,” *IEEE Transactions On Power Electronics*, vol. 26, pp. 119-126, 2011.

[Awa09] A. B. Awan, S. Pierfederici, B. Nahid-Mobarakeh, et F. Meibody-Tabar, “Stabilization of a dc-bus supplying a constant power load”, *IEEE Industry Applications Society Annual Meeting (IAS 2009)*, pp. 1-8, 2009.

[Awa11] A. B. Awan, “Contribution à l'étude de la stabilité des systèmes électriques distribués autour d'un bus commun d'alimentation”, *thèse de doctorat de L'Institut National Polytechnique de Lorraine*, 2011.

B:

[Bar09] P. Barriuso, J. Dixon, P. Flores, and L. Moran, “Fault-Tolerant Reconfiguration System for Asymmetric Multilevel Converters Using Bidirectional Power Switches”, *IEEE Transactions On Industrial Electronics*, vol. 56, pp. 1300-1306, 2009.

[Bel00] F. Belhachemi, S. Rael et B. Davat, “A physical based model of power electric double-layer supercapacitors”, *IEEE Industry Applications Conference (IAS)*, Vol. 5, pp. 3069-3076, 2000.

[Bra97] D. Braun, D. Pixler et P. LeMay, "IGBT module rupture categorization and testing", *IEEE Industry Applications Conference Thirty-Second IAS Annual Meeting, (IAS'97)*, pp. 1259-1266, 1997.

[Bui10] G.M. Buiatti, J.A. Martin-Ramos, C.H.R. Garcia, A.M.R. Amaral et A.J.M. Cardoso, "An Online and Noninvasive Technique for the Condition Monitoring of Capacitors in Boost Converters", *IEEE Transactions on Instrumentation and Measurement, Vol. 59, No. 8*, pp. 2134-2143, 2010.

C :

[Cam08] DU. Campos-Delgado, DR. Espinoza-Trejo et E. Palacios, "Fault-tolerant control in variable speed drives: a survey", *IET Electric Power Applications, Vol. 2, No. 2*, pp. 121-134, 2008.

[Cao12] J. Cao et A. Emadi, "A New Battery/UltraCapacitor Hybrid Energy Storage System for Electric, Hybrid, and Plug-In Hybrid Electric Vehicles," *IEEE Trans. Power. Electron., Vol 27, no. 1*, pp. 122-132, 2012.

[Cas03] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, J. Uceda, "Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA", *IEEE Transactions On Power Electronics, vol. 18*, pp. 334-343, 2003.

[Ceb11] S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate et J. L. Martin, "Fault-tolerant neutral-point-clamped converter solutions based on including a fourth resonant leg", *IEEE Transactions on Industrial Electronics, Vol. 58, No. 6*, pp. 2293-2303, 2011.

[Ces11] M. Cespedes, L. Xing and J. Sun, "Constant-power load system stabilization by passive damping," *IEEE Transaction on Power Electronics, vol. 26*, pp. 1832-1836, 2011.

[Che08] Y. Chen et J. Wu, "Agent-based energy management and control of a grid-connected wind/solar hybrid power system", *International Conference on Electrical Machines and Systems (ICEMS 2008)*, 2008.

[Che11] Y. Chen, X. Pei, S. Nie and Y. Kang, "Monitoring and Diagnosis for the DC--DC Converter Using the Magnetic Near Field Waveform," *IEEE Transaction on Industrial Electronics, vol. 58, no. 5*, pp. 1634-1647, 2011.

[Cie98] J. Ciezki et R. Ashton, "The application of feedback linearization techniques to the stabilization of dc-to-dc converters with constant power loads", *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS'98)*, vol. 3, pp. 526-529, 1998.

[Cru12] S.M.A. Cruz, A.M.S. Mendes et A.J.M.Cardoso, “A new fault diagnosis method and a fault-tolerant switching strategy for matrix converters operating with optimum Alesina-Venturini modulation”, *IEEE Transactions on Industrial Electronics*, Vol. 59, No. 1, pp. 269-280, 2012.

D :

[Dha12] B. Dhanya, S. Nagarajan et S. RamaReddy, “Fault analysis of Induction Motor fed by a fault tolerant voltage source inverter”, *IEEE International Conference on Computing, Electronics and Electrical Technologies (ICCEET)*, pp. 51-58, 2012.

[Dia05] D. Diallo, M. E. H. Benbouzid, D. Hamad, and X. Pierre, “Fault detection and diagnosis in an induction machine drive: A pattern recognition approach based on concordia stator mean current vector”, *IEEE Transactions On Energy Conversion*, vol. 20, pp. 512-519, 2005.

[Dou04] R.A. Dougal, L. Gao et S. Liu, “Ultracapacitor model with automatic order selection and capacity scaling for dynamic system simulation”, *Elsevier, Journal of Power Sources*, Vol. 126, No. 1, pp. 250-257, 2004.

[Du11] Y. Du et D.D. Lu, “Battery integrated boost converter utilizing distributed mppt configuration for photovoltaic systems”, *Solar energy*, vol 85, pp. 1992-2002, 2011.

[Duo10] T. Duong, H. Zhou and A. Khambadkone, “A simple design of DC power system with multiple source-side converters to operate stably under constant power load,” in *Conf. of 2nd International Symposium on Power Electronics for Distributed Generation Systems, PEDG 2010*, Hefei, 2010.

E :

[Ema06] A. Emadi, A. Khaligh, C. Rivetta et G. Williamson, “Constant power loads and negative impedance instability in automotive systems: Definition, modeling, stability, and control of power electronic converters and motor drives,” *IEEE Transaction on Vehicular. Technology*, vol. 55, no. 4, pp. 1112-1125, 2006.

[Eri01] R. W. Erickson et D. Maksimovic, “*Fundamentals of power electronics*”, Springer, 2001.

[Est10] J. Estima et A.J.M. Cardoso, “A novel diagnostic method for single power switch open-circuit faults in voltage-fed PWM motor drives”, *International Symposium on Power Electronics Electrical Drives Automation and Motion (SPEEDAM)*, pp. 535-540, 2010.

F :

[Fen02] X. Feng, J. Liu, et F. C. Lee, "Impedance Specifications for Stable DC Distributed Power Systems", *IEEE Transaction on Power Electronics.*, vol. 17, no. 2, pp. 157-162, 2002.

[Fen99] X. Feng, Z. Ye, K. Xing, F. C. Lee, et D. Borrojevic, "Individual Load Impedance Specification for a Stable DC Distributed Power System", *IEEE Proc. APEC'99*, pp. 923-929, 1999.

[Fer09] D. Feroldi, M. Serra and J. Riera, "Energy Management Strategies based on efficiency map for Fuel Cell Hybrid Vehicles," *Journal of Power Sources*, vol. 190, no. 2, pp. 387-401, 2009.

G :

[Gad98] D. Gadoura, V. Grigore, J. Hatonen, J. Kyyra, P. Vallittu et T. Suntio, "Stabilizing a telecom power supply feeding a constant power load", *Twentieth International Telecommunications Energy Conference INTELEC*, pages 243 -248, 1998.

[Gai07] A. Gaillard, S. Karimi, P. Poure, S. Saadate et E. Gholipour, "A fault tolerant converter topology for wind energy conversion system with doubly fed induction generator", *IEEE European Conference on Power Electronics and Applications*, pp. 1-6, 2007.

[Gai09] A. Gaillard, P. Poure et S. Saadate, "Reconfigurable control and converter topology for wind energy conversion systems with switch failure fault tolerance capability", *IEEE Energy Conversion Congress and Exposition (ECCE 2009)*, pp. 390-397, 2009.

[Gai10] A. Gaillard, P. Poure et S. Saadate, "Détection de défauts des convertisseurs de puissance d'un système éolien et validation par prototypage FPGA in the loop", *European journal of electrical engineering*, Vol. 13, No. 2, pp. 179-207, 2010.

[Gai10T] A. Gaillard, "Détection de défauts des convertisseurs de puissance à l'aide de FPGA: cas d'un système éolien basé sur une Machine Asynchrone à Double Alimentation", *Thèse de doctorat de l'Université Henri Poincaré, Nancy-I*, 2010.

[Gal10] J. Le Gal, "Intégration des fonctions de protection avec les dispositifs IGBT", *Thèse de doctorat de l'Université Toulouse III - Paul Sabatier*, 2010.

[Gir09] S. Girinon, H. Piquet, N. Roux, et B. Sareni, "Analytical input filter design in dc distributed power systems approach taking stability and quality criteria into account", *13th European Conference on Power Electronics and Applications (EPE'09)*, pp. 1-10, 2009.

[Gon11] M. Gonzalez, B. Raison, S. Bacha et L. Bun, "Fault diagnosis in a grid-connected photovoltaic system by applying a signal approach", *37th Annual Conference on IEEE Industrial Electronics Society (IECON2011)*, pp. 1354-1359, 2011.

[Gri12] A. Griffo, J. Wang, "Large Signal Stability Analysis of More Electric Aircraft Power Systems with Constant Power Loads", *IEEE Transactions on Aerospace and Electronic Systems*, vol. 48, no. 1, pp. 477-489, 2012.

[Gui11] R. Guillermin, "Intégration de la Sûreté de Fonctionnement dans les Processus d'Ingénierie Système", *Thèse de doctorat de l'Université de Toulouse*, 2011.

H :

[Had11] S. Hadji, F. Krim, J.-P. Gaubert, "Development of an algorithm of maximum power point tracking for photovoltaic systems using genetic algorithms", in *7th International Workshop on Systems, Signal Processing and their Applications (WOSSPA)*, pp. 43-46, 2011.

[Han08] L. Han, J. Wang, A. Griffo, et D. Howe, "Stability assessment of AC hybrid power systems for 'more electric' aircraft", *IEEE Vehicle Power and Propulsion Conference (VPPC'08)*, pp. 1-6, 2008.

[Has13] I. M. B. Hassine, M. W. Naouar, "Commande d'un étage DC/AC monophasé inclus dans un système de génération distribuée monophasée", *Techniques de l'Ingénieur*, 2013.

I :

[Iba11] E. Ibarra, J. Andreu, I. Kortabarria, E. Ormaetxea et I.M.D. Alegriaet, "New fault tolerant matrix converter" *Electric Power Systems Research*, Vol. 81, No. 2, pp. 538-552, 2011.

[Im12] W.S. Im, J. J. Moon, J.M. Kim, D.C. Lee et K.B. Lee, "Fault tolerant control strategy of 3-phase AC-DC PWM converter under multiple open-switch faults conditions", *Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC2012)*, pp. 789-795, 2012.

[Iov01] F. Iov, F. Abrahamsen, F. Blaabjerg, K. Ries, H. Rasmussen et P. Bjornaa, "Fusing IGBT-based inverters", *Power Conversion Conference & Intelligent Motion (PCIM 2001)*, pp. 19-21, 2001.

[Isl10] M. A. Islam, N. Mohammad, et P. S. Khan, "Modeling and performance analysis of a generalized photovoltaic array in Matlab", In *IEEE Joint International Conference on Power Electronics, Drives and Energy Systems (PEDES 2010), India*, pp. 1-5, 2010.

[Ism06] N. S. Ismail, I. Ahmad, H. Husain and S. Chuah, "Pulse Power Failure Model Of Power MOSFET Due To Electrical Overstress Using Tasca Method", *IEEE International Conference on Semiconductor Electronics, Kuala Lumpur, Malaysia, 2006*.

[Iza10] A. Izadian et P. Khayyer, "Application of Kalman filters in model-based fault diagnosis of a DC-DC boost converter", *36th Annual Conference on IEEE Industrial Electronics Society, IECON 2010, pp. 369-372, 2010*.

J :

[Jam13] E. Jamshidpour, B. Nahid-Mobarakeh, P. Poure, S. PIERFEDERICI, F. Meibody-Tabar et S. Saadate, "Distributed Active Resonance Suppression in Hybrid DC Power Systems Under Unbalanced Load Conditions", *IEEE Transactions on Power Electronics, Vol. 28, No. 4, 2013*.

K:

[Kar02] P. Karlsson, "DC Distributed Power Systems Analysis, Design and Control for a Renewable Energy System", *Doctoral Dissertation in Industrial Automation of Lund university, 2002*.

[Kar08] S. Karimi, P Poure et S Saadate, "FPGA-based fully digital fast power switch fault detection and compensation for three-phase shunt active filters" *Electric Power Systems Research, Vol. 78, No. 11, pp. 1933-1940, 2008*.

[Kar09] S. Karimi, A. Gaillard, P. Poure et S. Saadate, "Current sensor fault-tolerant control for WECS with DFIG", *IEEE Transactions on Industrial Electronics, Vol. 56, No. 11, pp. 4660-4670, 2009*.

[Kar09T] S. Karimi, "Continuité de service des convertisseurs triphasés de puissance et prototype "FPGA in the loop": application au filtre actif parallèle", *Thèse de doctorat, Université Henri Poincaré, 2009*.

[Kha02] H. K. Khalil, et J. W. Grizzle, "Nonlinear systems", *Upper Saddle River: Prentice hall, 2002*.

[Kha08] A. Khaligh, "Realization of Parasitics in Stability of DC-DC Converters Loaded by Constant Power Loads in Advanced Multiconverter Automotive Systems", *IEEE Transactions on Industrial Electronics, vol. 55, no. 6, pp. 2295-2305, 2008*.

[Khwh12] S. Khwan-on, L. de Lillo, L. Empringham et P. Wheeler, "Pat Wheeler, Member, IEEE Fault-Tolerant Matrix Converter Motor Drives With Fault Detection of Open Switch Faults", *IEEE Transactions On Industrial Electronics, Vol. 59, No. 1, 2012*.

[Kim08] S. Y. Kim, K. Nam, H.S. Song et H. G. Kim, “ Fault Diagnosis of a ZVS DC–DC Converter Based on DC-Link Current Pulse Shapes”, *IEEE Transactions On Industrial Electronics*, Vol. 55, No. 3, 2008.

[Kim09] T. J. Kim, W. C. Lee, and D. S. Hyun, “Detection Method for Open-Circuit Fault in Neutral-Point-Clamped Inverter Systems”, *IEEE Transactions On Industrial Electronics*, vol. 56, pp. 2754-2763, 2009.

[Ku12] H.K. Ku, W.S. Im, J.M. Kim et Y.S. Suh, “Fault detection and tolerant control of 3-phase NPC active rectifier”, *IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 4519-4524, 2012.

[Kuo03] B. Kuo et F. Golnaraghi, “Automatic control systems”, *Higher Education Press*, 2003.

[Kup13] A. Kuperman, I. Aharon, S. Malki, et A. Kara, “ Design of a Semiactive Battery-Ultracapacitor Hybrid Energy Source”, *IEEE Transactions On Power Electronics*, Vol. 28, No. 2, pp. 981-992, 2013.

[Kwa07] A. Kwasinski et P. Krein, “Stabilization of constant power loads in dc-dc converters using passivity-based control”, *IEEE 9th International Telecommunications Energy Conference (INTELEC)*, pp. 867-874, 2007.

[Kwa10] S. Kwak, “Fault-tolerant structure and modulation strategies with fault detection method for matrix converters”, *IEEE Transactions on Power Electronics*, vol. 25, pp. 1201-1210, 2010.

[Kwa11] A. Kwasinski et C. N. Onwuchekwa, “Dynamic Behavior and Stabilization of DC Microgrids With Instantaneous Constant-Power Loads,” *IEEE Transaction on Power Electronics*, vol. 26, no. 3, pp. 822-834, 2011.

[Kwa12] S. Kwak, “Four-Leg-Based Fault-Tolerant Matrix Converter Schemes Based on Switching Function and Space Vector Methods”, *IEEE Transactions On Industrial Electronics*, Vol. 59, No. 1, 2012.

L :

[Lar03] J. Larminie, et J. Lowry, “*Electric Vehicle Technology Explained*”, John Wiley & Sons, 2003.

[Lee08] D. J. Lee et L. Wang, “Small-Signal Stability Analysis of an Autonomous Hybrid Renewable Energy Power Generation/Energy Storage System Part I: Time-Domain Simulations”, *IEEE Transactions on Energy Conversion*, vol. 23, no. 1, pp. 311-320, 2008.

- [Lee09] W. J. Lee, et S. K. Sul, “DC-link voltage stabilization for reduced dc-link capacitor inverter”, *IEEE Energy Conversion Congress and Exposition (ECCE2009)*, pp. 1740-1744, 2009.
- [Lee11] J. Lee, B. Han, et Y. Seo, “Operational analysis of DC micro-grid using detailed model of distributed generation”, *IEEE 8th International Conference on Power Electronics and ECCE Asia (ICPE & ECCE2011)*, pp. 248-255, 2011.
- [Lef03] S. Lefebvre, et B. Multon, “MOSFET et IGBT : circuits de commande”, *Techniques de l'Ingénieur*, 2003.
- [Li07] X. Li, Y. J. Song, et S. B. Han, “Study on power quality control in multiple renewable energy hybrid microgrid system”, *IEEE Power Tech*, pp. 2000-2005, 2007.
- [Li12] J. Li, A. Huang, Z. Liang et S. Bhattacharya, “Analysis and design of active NPC (ANPC) inverters for fault-tolerant operation of high-power electrical drives”, *IEEE Transactions on Power Electronics*, Vol. 27, No. 2, pp. 519-533, 2012.
- [Li12A] Y. Li, N. S. Choi, B. M. Han, et E. C. Nho, “Direct Duty-ratio Modulated Faulttolerant Strategy for Matrix Converter-fed Motor Drives,” *Journal of Power Electronics*, vol. 12, pp. 24-32, 2012.
- [Li2012] J. Li, A. Huang, Z. Liang et S. Bhattacharya, “Analysis and design of active NPC (ANPC) inverters for fault-tolerant operation of high-power electrical drives”, *IEEE Transactions on Power Electronics*, Vol. 27, No. 2, pp. 519-533, 2012.
- [Liu07] X. Liu, A. Forsyth et A. Cross, “Negative input-resistance compensator for a constant power load”, *IEEE Transaction on Industrial Electronics*, vol.54, no. 6, pp. 3188-3196, 2007.
- [Liu07T] P. Liutanakul, “stabilité des réseaux embarqués Interaction Puissance – Structure – Commande”, *Thèse de doctorat de l'université de Lorraine*, 2007.
- [Liu10] P. Liutanakul, A. Awan, S. Pierfederici, B. Nahid-Mobarakeh et F. Meibody-Tabar, “Linear stabilization of a dc bus supplying a constant power load: A general design approach,” *IEEE Trans. on Power Electron.*, vol. 25, no. 2, pp. 475-488, 2010.
- [Lor10] I. Lorzadeh, E. Farjah et O. Lorzadeh, “Fault-tolerant matrix converter topologies and switching function algorithms for AC motor drives with delta connection windings”, *International Symposium on Power Electronics Electrical Drives Automation and Motion (SPEEDAM)*, pp. 1651-1657, 2010.

- [Lu09] B. Lu et K. S. Sharma, “ A literature review of IGBT fault diagnostic and protection methods for power inverters ”, *IEEE Transactions On Industry Applications*, Vol. 45, No. 5, pp. 1770-1777, 2009.
- [Mac12] B. MacCleery, O. Trescases, M. Mujagic, D. Bohls, O. Stepanov et G. Fick, “A new platform and methodology for system-level design of next-generation FPGA-based digital SMPS”, *IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1599-1606, 2012.
- [Mag10] P. Magne, B. Nahid-Mobarakeh, et S. Pierfederici, “DC-link voltage large signal stabilization and transient control using a virtual capacitor”, *IEEE Industry Applications Society Annual Meeting (IAS)*, pp. 1-8, 2010.
- [Mag12] P. Magne, B. Nahid-Mobarakeh et S. Pierfederici, “General Active Global Stabilization of multiloads DC-power networks,” *IEEE Trans. on Power Electron*, vol. 27, no. 4, pp. 1788-1798, 2012.
- [Mag12T] P. Magne, “Contribution à l’étude de la Stabilité Et à la Stabilisation des Réseaux dc à Récupération d’énergie”, thèse de doctorat de l’Université de Lorraine, 2012.
- [Mah04] N. R. Mahajan, “ System Protection for Power Electronic Building Block Based DC Distribution Systems”, *Thèse de doctorat de North Carolina State University*, 2004.
- [Mar09] D. Marx, “Contribution à l’Etude de la Stabilité des Systèmes Electrotechniques”, *thèse de doctorat de l’Institut National Polytechnique de Lorraine*, 2009.
- [Mar12] D. Marx, P. Magne, B. Nahid-Mobarakeh, S. Pierfederici, et B. Davat, “Large signal stability analysis tools in DC power systems with constant power loads and variable power loads—A review”, *IEEE Transactions on Power Electronics*, vol. 27, No. 4, pp. 1773-1787, 2012.
- [Mas10] M. A. Masrur, Z. Chen, et Y. Murphey, “Intelligent diagnosis of open and short circuit faults in electric drive inverters for real-time applications”, *Iet Power Electronics*, vol. 3, pp. 279-291, 2010.
- [Men06] A. Mendes et A.J.M. Cardoso, “Fault-tolerant operating strategies applied to three-phase induction-motor drives”, *IEEE Transactions on Industrial Electronics*, Vol. 53, No. 6, pp. 1807-1817, 2006.
- [Mi11] C. Mi, M. A. Masrur et D. W. Gao, “Hybrid Electric Vehicles: Principles and Applications with Practical perspectives”, John Wiley & son, 2011.

[Moh08] Y. A. R. I. Mohamed et E. F. El-Saadany, “Adaptive Decentralized Droop Controller to Preserve Power Sharing Stability of Paralleled Inverters in Distributed Generation Microgrids”, *IEEE Transactions on Power Electronics*, vol. 23, no. 6, pp. 2806-2816, 2008.

[Mon11] E. Monmasson, L. Idkhajine, M. N. Cirstea, I. Bahri, A. Tisan, and M. W. Naouar, “FPGAs in Industrial Control Applications”, *IEEE Transactions On Industrial Informatics*, vol. 7, pp. 224-243, 2011.

[Mon11A] E. Monmasson, L. Idkhajine, and M. W. Naouar, “FPGA-based Controllers”, *IEEE Industrial Electronics Magazine*, vol. 5, pp. 14-26, 2011.

N :

[Nah11] M. Nahouar, E. Monmasson, et A. Naassani, *Power Electronic Converters : PWM Strate and Current Control Techniques*, chapter PI Current Control of a Synchronous Motor”, pp. 289–317. Number ISBN : 978-1-84821-195-7. Iste/Hermes Science Pub, 2011.

[Nie10] S. Nie, Y. Chen, X. Pei et Y. Kang, “A DSP-based Diagnostic System for DC-DC Converters using the Shape of Voltage across the Magnetic Components”, *IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1908-1915, 2010.

[Nie14] S. Nie, X. Pei, et Y. Kang, “Fault diagnosis of PWM dc-dc converters based on magnetic component voltages,” *IEEE Trans. Power Electron.*, vol. PP, no. 99, p. 1, 2013, *IEEE Early Access*, Doi:10.1109/TPEL.2013.2283881.

P :

[Pan04] Y. Pankow, “Etude de l'intégration de la production décentralisée dans un réseau Basse Tension. Application au générateur photovoltaïque”, *thèse de doctorat de l'Ecole Nationale Supérieur d'Arts et Métiers*, 2004.

[Pan09] W. Pan, W. Gao, et E. Muljadi, “The dynamic performance and effect of hybrid renewable power system with diesel/wind/PV/battery”, *IEEE International Conference on Sustainable Power Generation and Supply (SUPERGEN'09)*, pp. 1-5, 2009.

[Par11] T. Park and T. Kim, “Novel fault tolerant power conversion system for hybrid electric vehicles”, *IEEE vehicle power and propulsion conference (VPPC)*, Chicago, IL, USA, 2011.

[Par13] M. Parker, L. Ran et S. Finney, “Distributed Control of a Fault Tolerant Modular Multilevel Inverter for Direct-Drive Wind Turbine Grid Interfacing”, *IEEE Transactions on Industrial electronics*, Vol. 60, No. 2, pp. 509-522, 2013

[Pay08] A. Payman, S., Pierfederici, et F. Meibody-Tabar, “Energy control of supercapacitor/fuel cell hybrid power source”, *Energy conversion and management*, vol. 49, No. 6, pp. 1637-1644, 2008.

[Pay09] A. Payman, S., Pierfederici, et F. Meibody-Tabar, “Energy management in a fuel cell/supercapacitor multisource/multiload electrical hybrid system”, *IEEE Transactions on Power Electronics*, vol. 24, No. 12, pp. 2681-2691, 2009.

[PayT09] A. Payman, “ Contribution à la Gestion de l’Energie dans les Systèmes Hybrides Multi-sources Multi-charges”, Thèse de doctorat de L’Institut National Polytechnique de Lorraine, 2009.

[Pei12] X. Pei, S. Nie, Y. Chen et Y. Kang, “Open-Circuit Fault Diagnosis and Fault-Tolerant Strategies for Full-Bridge DC--DC Converters”, *IEEE Transactions on Power Electronics*, Vol. 27, No. 5, pp. 2550-2565, 2012.

[Pic10] D.Picault, “Reduction Of Mismatch Losses In Grid-Connected Photovoltaic Systems Using Alternative Topologies”, *thèse de doctorat de l’Université de Grenoble*, 2010.

[Poo12] J. J. Poon, M. A. Kinsy, N. A. Pallo, S. Devadas et I. L. Celanovic, “Hardware-in-the-loop testing for electric vehicle drive applications”, *Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp.2576-2582, 2012.

[Pou09] P. Poure, P. Weber, D. Theilliol et S. Saadate, “Fault tolerant control of a three-phase three-wire shunt active filter system based on reliability analysis”, *Electric Power Systems Research* Vol. 79, No. 2, pp. 325-334, 2009.

R :

[Rab12] R. Rabinovici, D. Tokar et D. Baimel, “Medium Voltage Multi-Level Inverters: Hardware-In-the-Loop (HIL) Simulations”, *IEEE 27th Convention of Electrical and Electronics Engineers, Israel*, pp. 1-5, 2012.

[Rah091] A. M. Rahimi et A. Emadi, “An Analytical Investigation of DC/DC Power Electronic Converters With Constant Power Loads in Vehicular Power Systems”, *IEEE Transactions on Vehicular Technology*, vol. 58, no. 6, pp. 2689-2702, 2009

[Rah092] A. M. Rahimi et A. Emadi, ”Active Damping in DC/DC Power Electronic Converters: A Novel Method to Overcome the Problems of Constant Power Loads”, *IEEE Transactions on Industrial Electronics*, vol. 56, no. 5, pp. 1428-1439, 2009.

- [Rah10] A. Rahimi, G. Williamson et A. Emadi, “Loop-cancellation technique: A novel nonlinear feedback to overcome the destabilizing effect of constant-power loads,” *IEEE Transaction on Vehicular Technology*, vol. 59, no. 2, pp. 650-661, 2010.
- [Rak11] M. Rakotozafy, P. Poure, S. Saadate, C. Bordas et L. Leclere, “Real-time digital simulation of power electronics systems with Neutral Point Piloted multilevel inverter using FPGA”, *Electric Power Systems Research*, Vol. 81, No. 2, pp. 687-698, 2011.
- [Ren13] H. Renaudineau, “Hybrid Renewable Energy Sourced System”, Thèse de doctorat de l'université de Lorraine, 2013.
- [Rib04] R.L.A. Ribeiro, C.B. Jacobina, E.R.C. Silva et A.M.N. Lima, “Fault-tolerant voltage-fed PWM inverter AC motor drive systems”, *IEEE Transactions on Industrial Electronics*, Vol. 51, No. 2, pp. 439-446, 2004.
- [Rib13] E. Ribeiro, A. J. M. Cardoso, et C. Boccaletti, “Fault-Tolerant Strategy for a Photovoltaic DC–DC Converter”, *IEEE Transactions On Power Electronics*, Vol. 28, No. 6, pp. 3008-3018, 2013.
- [Rib14] E. Ribeiro, A. J. M. Cardoso, et C. Boccaletti, “Open-circuit fault diagnosis in interleaved dc-dc converters”, *IEEE Trans. Power Electron.*, vol. 29, no. 6, pp. 3091–3102, Jun. 2014.
- [Ric11] F.C. Richardeau, Z. Dou, E. Sarraute, J. Blaquiere et D. Flumian, “Comparison of IGBT short-circuit failure “ohmic mode”: Epoxy molded package versus silicone gel module for new fail-safe and interruptible power converters”, *Microelectronics Reliability*, Vol. 51, No. 9, pp. 1919-1926, 2011.
- [Riz06] N. Rizoug, “Modélisation électrique et énergétique des supercondensateurs et méthodes de caractérisation : Application au cyclage d'un module de supercondensateur basse tension en grand puissance”, *thèse de Doctorat de l'Ecole Centrale de Lille*, 2006.
- [Rod11] M. Rodriguez-Blanco, A. Claudio-Sanchez, D. Theilliol, L. Vela-Valdes, T. Sibaja-Teran, L. Hernandez-Gonzalez et J. Aguayo-Alquicira, “A failure-detection strategy for IGBT based on gate-voltage behavior applied to a motor drive system”, *IEEE Transactions on Industrial Electronics*, Vol. 58, No. 5, pp. 1625-1633, 2011.
- S :**
- [Sal06] V. Salas, E. Olias, A. Barrado et A. Lazaro, “Review of the maximum power point tracking algorithms for stand-alone photovoltaic systems”, *Solar Energy Materials and Solar Cells*, vol. 90, No. 11, pp. 1555–1578, 2006

- [San92] S. Sanders et G. Verghese, “Lyapunov-based control for switched power converters”, *IEEE Transaction on Power Electronics*, vol. 7, no.1, pp. 17–24, 1992.
- [Sha11] M. Shahbazi, P. Poure, S. Saadate et M. R. Zolghadri, “Five-leg converter topology for wind energy conversion system with doubly fed induction generator”, *Renewable Energy*, Vol. 36, No. 11, pp. 3187-3194, 2011.
- [Sha11A] M. Shahbazi, A. Gaillard, P. Poure et M.R. Zolghadri, “FPGA-based fault tolerant scheme with reduced extra-sensor number for WECS with DFIG”, *IEEE International Symposium on Industrial Electronics (ISIE)*, pp. 1595-1601, 2011.
- [Sha11B] M. Shahbazi, M. R. Zolghadri, P. Poure et S. Saadate, “Fast detection of open-switch faults with reduced sensor count for a fault-tolerant three-phase converter” *Power Electronics, Drive Systems and Technologies Conference (PEDSTC)*, pp. 546–550, 2011
- [Sha12] M. Shahbazi, P. Poure, S. Saadate et M. R. Zolghadri, “FPGA-based Fast Detection with Reduced Sensor Count for a Fault-Tolerant Three-Phase Converter”, *IEEE Transactions on Industrial Informatics*, Digital Object Identifier: 10.1109/TII.2012.2209665, 2012
- [Sha12T] M. Shahbazi, “Contribution à l'étude des convertisseurs statiques AC-DC-AC tolérants aux défauts”, *Thèse de doctorat de l'université de Lorraine*, 2012.
- [Sha13] M. Shahbazi, E.Jamshidpour, P. Poure, S. Saadate et M. Zolghadri, “Open and short-circuit switch fault diagnosis for nonisolated DC-DC converters using field programmable gate array”; *IEEE Transaction on Industrial Electronics*, vol. 60, no. 9, pp. 4136-4146, 2013.
- [She12] H. Sheng, F. Wang and C.W. Tipton, “A Fault Detection and Protection Scheme for Three-Level DC-DC Converters Based on Monitoring Flying Capacitor Voltage,” *IEEE Transaction on Power Electronics*, Vol. 27, pp. 685 – 697, 2012.
- [Shu08] Z. L. Shu, Y. H. Guo, et J. S. Lian, “Steady-state and dynamic study of active power filter with efficient FPGA-based control algorithm,” *IEEE Transactions On Industrial Electronics*, vol. 55, pp. 1527-1536, 2008.
- [Sin10] A. T. Singo, “ Système d'alimentation photovoltaïque avec stockage hybride pour l'habitat énergétiquement autonome”, *Thèse de doctorat de l'Université Henri Poincaré, Nancy-I*, 2010.
- [Sle09] W. Sleszynski, J. Nieznanski, and A. Cichowski, “Open-Transistor Fault Diagnostics in Voltage-Source Inverters by Analyzing the Load Currents,” *IEEE Transactions On Industrial Electronics*, vol. 56, pp. 4681-4688, 2009.

[Son12] Y. Song et B. Wang, "A hybrid electric vehicle powertrain with fault-tolerant capability", *Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC2012)*, pp. 951-956, 2012.

[Sve06] J. Svensson, "Active Distributed Power Systems Functional Structures for Real-Time Operation of Sustainable Energy Systems", *Doctoral Dissertation in Industrial Automation of Lund university*, 2006.

T :

[Tho10] P. Thounthong, S. Pierfederici and B. Davat, "Analysis of Differential Flatness-Based Control for a Fuel Cell Hybrid Power Source," *IEEE Trans. Energy Convers.*, vol 25, no. 3, pp. 909-920, 2010.

[Tom10] A.O.Di Tommaso, S. Favuzza ,F. Genduso, R. Miceli, G.R. Galluzzo, "Development of diagnostic systems for the fault tolerant operation of Micro-Grids.", *IEEE International Symposium on Power Electronics Electrical Drives Automation and Motion (SPEEDAM)*, pp. 1645-1650, 2010.

[Tra12] M. Trabelsi, M. Boussak, and M. Gossa, "PWM-Switching pattern-based diagnosis scheme for single and multiple open-switch damages in VSI-fed induction motor drives," *Isc Transactions, Elsevier Science Inc*, vol. 51, pp. 333-344, 2012.

[Tre07] O. Tremblay, L. A. Dessaint et A. I. Dekkiche, "A generic battery model for the dynamic simulation of hybrid electric vehicles", *IEEE Vehicle Power and Propulsion Conference(VPPC 2007)*, pp. 284-289, 2007.

[Tsa10] H. L. TSAI, C. S. Tu et Y. J. Su, "Insolation-oriented model of photovoltaic module using Matlab/Simulink", *Solar energy*, vol. 84, no 7, pp. 1318-1326, 2010.

W :

[Wai13] R. J. Wai, S. J. Jhung, J. J. Liaw, et Y. R. Chang, "Intelligent optimal energy management system for hybrid power sources including fuel cell and battery", *IEEE Transactions on Power Electronics*, vol. 28, No.7, pp. 3231-3244, 2013.

[Wan08] J. B. Wang et D. Howe, "A Power Shaping Stabilizing Control Strategy for DC Power Systems With Constant Power Loads," *IEEE Trans. on Power Electron.*, vol. 23, no. 6, pp. 2982-2989, 2008.

[Wel03] B. A. Welchko, T. A. Lipo, T. M. Jahns, S. E. Schulz “ Fault tolerant three-phase AC Motor drive topologies; a comparison of features, cost, and limitations”, *IEEE international Electric Machines and Drives Conference, Madison, WI, USA, 2004*.

[Wil95] C. M. Wildrick, F. C. Lee, B. H. Cho, et B. Choi, “A Method of Defining the Load Impedance Specification for A Stable Distributed Power System”, *IEEE Transaction on Power Electronics, vol. 10, no. 3, pp. 280–285, 1995*.

Y :

[Yan11] R. Yan et L. Yanpin, “Simulation and optimization of hybrid wind-solar-pumped-storage power system”, *International Conference on Electric Information and Control Engineering (ICEICE), pp.729-73, 2011*.

[Yaz11] A. Yazdani, H. Sepahvand, M. Crow and M. Ferdowsi, “Fault Detection and Mitigation in Multilevel Converter STATCOMs,” *IEEE Transaction on Industrial Electronics, Vol. 58, No. 4, pp. 1307-1315, 2011*.

[Yu10] H. Yu, R. Lu, T. Wang et C. Zhu, “ Battery/ultra-capacitor Hybrid Energy Storage System Used in HEV”, *Journal of Asian Electric Vehicles, Volume 8, Number 1, June 2010*.

Z :

[Zan11] M. Zandi, A. Payman, J. P. Martin, S. Pierfederici, B. Davat, F. Meibody-Tabar, “Energy management of a fuel cell/supercapacitor/battery power source for electric vehicular applications”, *IEEE Transactions on Vehicular Technology, vol. 60, No.2, pp. 433-443, 2011*.

[ZanT10] M. Zandi, “ Contribution au pilotage des sources hybrides d'énergie électrique”, thèse de doctorat de L'Institut National Polytechnique de Lorraine, 2010.

[Zha11] X. Zhang et C. Mi, “Vehicle Power Management : Modeling, Control and Optimization”, *Springer, 2011*.

[Zhao11] Y. Zhao et W. Qiao, “A third-order sliding-mode controller for DC/DC converters with constant power loads”. *IEEE Industry Applications Society Annual Meeting (IAS), (pp. 1-8), 2011*.

[Zid08] F. Zidani, D. Diallo, M. E. H. Benbouzid, and R. Nait-Said, “A fuzzy-based approach for the diagnosis of fault modes in a voltage-fed PWM inverter induction motor drive,” *IEEE Transactions on Industrial Electronics, vol. 55, pp. 586-593, 2008*.

Résumé : Les Systèmes électriques à Puissance Distribuée (SPD) sont utilisés dans de nombreux secteurs industriels. La sûreté de fonctionnement (SDF) et la continuité de service de ces SPDs sont aujourd'hui des préoccupations majeures. Une stratégie de gestion globale de l'énergie adaptée ainsi que leur stabilité sont des exigences fondamentales pour que ces systèmes puissent fonctionner correctement. La présence de charges déséquilibrées ainsi que les interactions entre convertisseurs dans ces systèmes peuvent conduire à l'instabilité du bus DC commun. Un des cas les plus connus en terme de cause d'instabilité est celui d'une charge "à puissance constante" (CPL). Par ailleurs, toute défaillance au niveau de l'interrupteur commandable du convertisseur peut provoquer de graves dysfonctionnements du système. Tout défaut non détecté et non compensé en temps réel peut rapidement mettre en danger l'ensemble du système de puissance. Par conséquent, la mise en œuvre de méthodes efficaces et rapides de détection et de compensation de défaut est impérative. Afin d'assurer la continuité de service de ces système.

Dans ce mémoire, nous étudions la gestion de l'énergie, la stabilité et la continuité de service d'un DC-SPD. Après l'étude de la gestion de l'énergie et la stabilité du système, une méthode de stabilisation active décentralisée est proposée afin d'augmenter le domaine de stabilité du SPD et afin d'éviter l'instabilité en présence de charges déséquilibrées. Par ailleurs, des méthodes de détection de défaut au niveau d'un interrupteur commandable, efficaces et très rapides, sont également proposées. Nous présentons également une topologie de convertisseur DC-DC à tolérance de pannes, intégrant un interrupteur redondant ; dans tous les cas de défaut (court-circuit ou circuit-ouvert), cette topologie doit permettre d'assurer la continuité de service du système de puissance en mode normal. Les études théoriques ont été validées par la simulation et par des tests expérimentaux.

Mot clés : Continuité de service, Tolérance de pannes, FPGA, Stabilité, Systèmes électriques à Puissance Distribuée.

Abstract: Electric Distributed Power Systems (DPS) are used in many industrial sectors. Continuity of service of these systems as well as their reliability are now of the major concerned. Energy management and stability are fundamental requirements for these systems to operate normally. In these systems, load converters exhibit Constant Power Load (CPL) behavior tend to destabilize the system. The system stability also can be threatened by unbalanced loads connected to the common bus. Furthermore, the failure of the controllable switch of the converter can cause serious malfunctions of the system. Undetected and uncompensated fault in real time can quickly endanger the entire power system. Therefore, the implementation of effective and rapid fault detection methods and compensation is mandatory.

In this thesis, we study the energy management, stability and continuity of service of a DC-DPS. After the study of energy management and system stability, an active decentralized stabilization method is proposed to increase the stability domain of the system and to avoid instability in the case of unbalanced loads. Furthermore, efficient and very rapid methods of fault detection for a controllable switch are also proposed. We have presented a fault tolerant topology with redundancy for a DC-DC converter, which must ensure continuity of service of the DPS in any fault conditions (open or short circuit). Theoretical studies have been validated by simulation and experimental tests.

Keywords: Continuity of service, Fault tolerant, FPGA, Stability, Distributed Power System.